



**ULPGC**  
Universidad de  
Las Palmas de  
Gran Canaria

Instituto Universitario de  
Microelectrónica Aplicada



# Máster Universitario en Electrónica y Telecomunicación Aplicadas (META)



## Trabajo Fin de Máster

### Diseño de un amplificador de potencia Doherty en tecnología SiGe 0,13 $\mu\text{m}$ para comunicaciones 5G

**Autor:** José Luis Saiz Pérez  
**Tutor(es):** Dr. Francisco Javier del Pino Suárez  
Dr. Sunil Lalchand Khemchandani  
**Fecha:** **septiembre de 2021**



t +34 928 451 150  
+34 928 451 086  
f +34 928 451 083

e: [iuma@iuma.ulpgc.es](mailto:iuma@iuma.ulpgc.es)  
w: [www.iuma.ulpgc.es](http://www.iuma.ulpgc.es)

Campus Universitario de Tafira  
35017 Las Palmas de Gran Canaria



# Máster Universitario en Electrónica y Telecomunicación Aplicadas (META)



## Trabajo Fin de Máster

**Diseño de un amplificador de potencia Doherty en  
tecnología SiGe 0,13  $\mu\text{m}$  para comunicaciones 5G**

## HOJA DE FIRMAS

**Alumno/a:** José Luis Saiz Pérez Fdo.:

**Tutor/a:** Dr. Francisco Javier del Pino Suárez Fdo.:

**Tutor/a:** Dr. Sunil Lalchand Khemchandani Fdo.:

**Fecha:** septiembre de 2021



# Máster Universitario en Electrónica y Telecomunicación Aplicadas (META)



## Trabajo Fin de Máster

Diseño de un amplificador de potencia Doherty en  
tecnología SiGe 0,13  $\mu\text{m}$  para comunicaciones 5G

## HOJA DE EVALUACIÓN

Calificación: .....

Presidente Fdo.:

Secretario Fdo.:

Vocal Fdo.:

Fecha: septiembre de 2021



## Resumen

El objetivo de este proyecto es el diseño y fabricación de un amplificador de potencia Doherty para comunicaciones 5G, en la banda de 27 GHz con la tecnología de SiGe 0,13  $\mu\text{m}$  de la fundidora IHP (*Innovations for High Performance Microelectronics*).

Inicialmente, se diseña con componentes ideales cada elemento que conforma un amplificador Doherty con la herramienta *PathWave Advanced Design System* (ADS) de *Keysight*: un divisor de potencia, dos amplificadores de potencia y la etapa final llamada modulación de carga. Posteriormente, se sustituyen estos componentes ideales por los componentes reales que contiene el kit de diseño de IHP, exceptuando las bobinas que se realizan manualmente con el fin de reducir área en el circuito. Una vez se tiene el esquema con componentes reales, se pasa al diseño del *layout* utilizando la herramienta de Cadence y se prepara el circuito para su fabricación.

Finalmente, se muestran las conclusiones del proyecto junto con los resultados obtenidos y comparando estos con más trabajos dentro del estado del arte. Además, se proponen distintas líneas futuras de trabajo.



## **Abstract**

The main purpose of this project is the design and manufacture of a Doherty power amplifier for 5G communications, in the 27 GHz band with 0,13  $\mu\text{m}$  SiGe technology from the IHP foundry.

Initially, each element that characterizes a Doherty amplifier is designed with ideal components using Keysight's PathWave Advanced Design System (ADS) tool: a power divider, two power amplifiers, and the final stage called load modulation. Subsequently, these ideal components are replaced by the real components contained in the IHP (Innovations for High Performance Microelectronics) design kit, except for the coils that are made manually in order to reduce area in the circuit. Once the schematic is done with real components, the layout design is carried out using the Cadence tool and the circuit is prepared for its manufacture.

Finally, the conclusions of the project are shown together with the results obtained and comparing these with more works within the state of the art. In addition, different future lines of work are proposed.



# Índice general

---

<b>Parte I: Memoria</b> .....	<b>1</b>
1. Introducción .....	3
1.1. Antecedentes .....	5
1.2. Objetivos .....	9
1.3. Estructura de la memoria .....	10
2. Estado del arte y estudio de la tecnología .....	13
2.1. Tecnología 5G .....	15
2.2. Tecnología de Silicio Germanio (SiGe) .....	19
3. Conceptos teóricos .....	23
3.1. Transistores de unión bipolar .....	25
3.2. Amplificadores: descripción básica de un amplificador y sus características .....	31
3.3. Amplificador Doherty .....	39
3.4. Resumen .....	49
4. Diseño de un amplificador Doherty ideal .....	51
4.1. Estudio y elección del transistor .....	53
4.2. Análisis de la estabilidad del transistor .....	57
4.3. <i>Load-pull</i> y <i>source pull</i> .....	62
4.4. Adaptación de impedancias .....	65
4.5. Simulación de los amplificadores .....	69
4.6. Amplificador Doherty ideal .....	71
4.7. Resumen .....	79
5. Inductores tipo solenoide .....	81
5.1. Introducción .....	83
5.2. Inductores integrados .....	83
5.3. Diseño de las bobinas tipo solenoide .....	92

5.4. Resumen.....	94
6. Diseño del amplificador Doherty a nivel de <i>layout</i> .....	95
6.1. Proceso de diseño .....	97
6.2. <i>Layout</i> del amplificador Doherty.....	97
6.3. Preparación del diseño para la fabricación .....	110
6.4. Resultados finales.....	115
7. Conclusiones y líneas futuras.....	117
7.1. Conclusiones .....	119
7.2. Líneas futuras .....	123
<b>Parte II: Bibliografía .....</b>	<b>125</b>
<b>Parte III: Pliego de condiciones .....</b>	<b>133</b>
<b>Parte IV: Presupuesto .....</b>	<b>137</b>
P1. Trabajo tarifado por tiempo empleado .....	139
P2. Amortización del inmovilizado material.....	140
P3. Redacción del trabajo .....	141
P4. Derechos de visado del COITT .....	142
P6. Costes de fabricación .....	143
P6. Costes de tramitación y envío .....	143
P7. Aplicación de impuestos y coste total .....	143

# Índice de figuras

---

Figura 1. Esquema de un amplificador Doherty. ....	6
Figura 2. Señal de salida del amplificador principal (señal azul) y señal de salida del amplificador auxiliar (señal roja).....	7
Figura 3. Prestaciones de un Doherty simétrico y asimétrico.....	7
Figura 4. Comparativa de los PAPR de la OFDM y PTS-OFDM.....	8
Figura 5. Comparativa de la BER para una OFDM y una F-OFDM.....	9
Figura 6. Estimaciones para el 2023 de las redes inalámbricas globales. ....	15
Figura 7. Cobertura 4G vs 5G en Alemania. ....	17
Figura 8. Servicios que ofrecerá el 5G y algunas aplicaciones. ....	19
Figura 9. Diagrama de bloques de un beamformer analógico.....	20
Figura 10. Transistor BJT.....	25
Figura 11. Curva característica del colector del transistor.....	27
Figura 12. Rectas de carga y puntos de trabajo (Q) de un transistor en diferentes posiciones. ....	28
Figura 13. Transistor con solo una base (izquierda) y transistor con dos fingers (derecha).....	29
Figura 14. Layout con más de dos fingers y colectores conectados. ....	30
Figura 15. Capacidades parásitas en función del número de fingers.....	31
Figura 16. Clases de amplificadores según el ángulo de conducción frente a la eficiencia. ....	37
Figura 17. Esquema básico de un amplificador Doherty.....	40
Figura 18. Señales de salida del amplificador principal y auxiliar.....	41
Figura 19. Eficiencia de un amplificador Doherty (izquierda) y la corriente y tensión de ambos amplificadores (derecha). ....	41
Figura 20. Esquema de un amplificador Doherty con sus redes de adaptación...	42
Figura 21. Línea de transmisión de cuarto de onda y sus impedancias.....	42
Figura 22. Circuito equivalente de un amplificador Doherty.....	43
Figura 23. Circuito equivalente en la primera región.....	44
Figura 24. Impedancia de los amplificadores en función de la tensión de entrada, amplificador principal (azul) y amplificador auxiliar (roja). ....	45
Figura 25. Gráfica de la PAE de un amplificador Doherty.....	46
Figura 26. Gráfica del <i>back-off</i> de entrada y salida.....	48

Figura 27. Modelos de transistor ofrecidos por IHP. ....	53
Figura 28. Esquema para simular las curvas I-V del transistor. ....	55
Figura 29. Polarización y curvas I-V del transistor para clase AB. ....	56
Figura 30. Polarización y curvas características del transistor para clase C. ....	57
Figura 31. Esquema para el estudio de parámetros S y de estabilidad. ....	58
Figura 32. Simulación de la estabilidad del transistor. ....	59
Figura 33. Topologías para redes de estabilización. ....	59
Figura 34. Esquema del cascodeo con la red de estabilización incorporada. ....	60
Figura 35. Simulación de la estabilidad con la red RC. ....	60
Figura 36. Simulación de la estabilidad con la red RC y la resistencia en la entrada del puerta común. ....	61
Figura 37. Amplificador principal con la red de estabilidad RC y la nueva resistencia de base. ....	61
Figura 38. Simulación de la estabilidad del amplificador auxiliar. ....	62
Figura 39. Esquema para la simulación de <i>Load-Pull</i> . ....	64
Figura 40. Esquema para la simulación de <i>Source-Pull</i> . ....	64
Figura 41. Carta de Smith, PAE (azul) y potencia (rojo) del amplificador principal. ....	65
Figura 42. Cálculo de la red LC para la adaptación de entrada del amplificador principal. ....	66
Figura 43. Red de adaptación a la entrada del amplificador principal. ....	67
Figura 44. Cálculo de la red LC para la adaptación de salida del amplificador principal. ....	67
Figura 45. Red de adaptación a la salida del amplificador principal. ....	68
Figura 46. Red LC entrada/salida para el amplificador auxiliar. ....	68
Figura 47. Esquema empleado para obtener las prestaciones del amplificador principal. ....	69
Figura 48. Ecuaciones utilizadas para el cálculo de las prestaciones del amplificador. ....	70
Figura 49. PAE, potencia de salida y ganancia del amplificador principal. ....	70
Figura 50. PAE, potencia de salida y ganancia del amplificador auxiliar. ....	71
Figura 51. Divisor de potencia. ....	71
Figura 52. Estructura clásica de un divisor de potencia Wilkinson asimétrico. ....	72
Figura 53. Amplificador <i>Doherty</i> con componentes ideales. ....	73

Figura 54. Resultados de simulación del Doherty ideal.....	74
Figura 55. Wilkinson asimétrico con líneas de transmisión. ....	75
Figura 56. PAE obtenida con el divisor de ADS (roja) vs Wilkinson (azul). ....	75
Figura 57. Equivalente de línea de transmisión en red $\pi$ y red T.....	76
Figura 58. Wilkinson con Tlines y con redes en $\pi$ .....	77
Figura 59. Modulación de carga con Tlines y con redes en $\pi$ .....	77
Figura 60. PAE con Tlines (roja) vs con redes en pi (azul). ....	77
Figura 61. Doherty ideal con redes pi.....	78
Figura 62. Doherty ideal con redes $\pi$ simplificadas.....	79
Figura 63. PAE del amplificador Doherty con la simplificación de componentes. ....	79
Figura 64. Layout de una bobina espiral cuadrada. ....	84
Figura 65. Campos que se generan en un inductor integrado.....	86
Figura 66. Corrientes torbellino que se producen en las pistas de un inductor plano. .....	87
Figura 67. Inductor apilado usando dos capas de metal. ....	88
Figura 68. Inductor 3D usando 4 capas de metal.....	88
Figura 69. Inductor tipo solenoide vista superior (a) y vista lateral (b) usando dos capas de metal. ....	88
Figura 70. Factor de calidad de un inductor convencional en función de la frecuencia y de la inductancia.....	89
Figura 71. Bobina resorte fabricada. ....	90
Figura 72. Simulación y medidas de la bobina resorte.....	90
Figura 73. Layout de la bobina diseñada. ....	93
Figura 74. Bobina en vista 3D. ....	93
Figura 75. Inductancia y factor de calidad de la bobina diseñada.....	93
Figura 76. Modelos capacitivos de la tecnología de IHP.....	98
Figura 77. Parámetros del modelo rfcmm. ....	99
Figura 78. Setup de simulación para la optimización de los condensadores. ....	100
Figura 79. Resultado de la optimización del condensador.....	100
Figura 80. Resultados de la capacidad y factor de calidad del condensador después de la optimización.....	101
Figura 81. Modelos resistivos de la tecnología de IHP.....	101
Figura 82. Extracto del documento de los modelos de las líneas de transmisión. .....	102

Figura 83. Modelos fiables de TLs para utilizar en simulación. ....	102
Figura 84. Opciones configurables del modelo de línea de transmisión. ....	103
Figura 85. Área disponible para fabricar el amplificador Doherty. ....	104
Figura 86. Esquema en Cadence con componentes reales. ....	105
Figura 87. Layout del divisor de potencia Wilkinson en Cadence. ....	105
Figura 88. Wilkinson con las bobinas rediseñadas. ....	106
Figura 89. Comparación de la bobina rediseñada en la modulación de carga. ...	107
Figura 90. Comparación del factor de calidad de la bobina rediseñada. ....	107
Figura 91. Bobina de la tecnología de IHP. ....	108
Figura 92. Esquema del amplificador Doherty con componentes reales. ....	109
Figura 93. Layout <i>del amplificador Doherty sin pads</i> . ....	109
Figura 94. Puntas DC. ....	110
Figura 95. Tamaño mínimo y recomendado de los pads para la punta WPH Probe. .....	110
Figura 96. Layout del amplificador Doherty con pads. ....	111
Figura 97. Separación mínima entre el searing y los pads de la tecnología IHP. .....	112
Figura 98. Doherty con el searing y los pads. ....	112
Figura 99. Errores de densidad de metales en el layout del Doherty. ....	113
Figura 100. Filler diseñado para cumplir las reglas de density. ....	113
Figura 101. Colocación de los fillers diseñados entre los pads (izquierda) y vista ampliada de los fillers (derecha). ....	114
Figura 102. Layout final del amplificador Doherty. ....	114
Figura 103. Resultados finales del amplificador Doherty. ....	115

# Índice de tablas

---

Tabla I. Especificaciones del diseño. ....	10
Tabla II. Características del 5G. ....	16
Tabla III. Eficiencia máxima y ángulo de conducción de cada clase lineal.....	37
Tabla IV. Comparativa con otros trabajos. ....	120



# Acrónimos

*3rd Generation Partnership (3GPP)*  
*ADS (Advanced Design System)*  
*Alliance for Telecommunications Industry Solutions (ATIS)*  
*Arseniuro de Galio (GaAs)*  
*Austria MicroSystems (AMS)*  
*Bit Error Rate (BER)*  
*China Communications Standards Association (CCSA)*  
*Design Rule Checks (DRC)*  
*Direct Current (DC)*  
*Doherty Power Amplifier (DPA)*  
*European Telecommunication Standards Institute (ETSI)*  
*Extremely High Frequency (EHF)*  
*Figure of Merit (FOM)*  
*Heterojunction Bipolar Transistor (HBT)*  
*Innovations for High Performance Microelectronics (IHP)*  
*Input Back-Off (IBO)*  
*Internet of Things (IoT)*  
*Layout vs Schematic (LVS)*  
*Nitruro de Galio (GaN)*  
*Orthogonal frequency division multiplexing (OFDM)*  
*Output Back-Off (OBO)*  
*Partial Transmit Sequence (PTS)*  
*Peak-to-Average Power Ratio (PAPR)*  
*Power Added Efficiency (PAE)*  
*Radiofrecuencia (RF)*  
*SiGe (Silicio de Germanio)*  
*Telecommunication Union (ITU)*  
*enhanced Mobile Broadband (eMBB)*  
*massive Machine Type Communications (mMTC)*  
*ultra-Reliable and Low Latency Communications (uRLLC)*



# **Parte I: Memoria**



## **Capítulo 1.**

---

### **1. Introducción**

En este capítulo se tendrá un primer acercamiento a los amplificadores de potencia Doherty (DPA). Para ello, en el primer apartado se explicarán los antecedentes y los principales conceptos que se verán a lo largo de este proyecto como lo son la tecnología 5G y los amplificadores Doherty. Posteriormente, en el apartado 1.2 se contemplan los objetivos del proyecto y en el apartado 1.3 se describirá la estructura que seguirá este documento.



## 1.1. Antecedentes

Hoy en día, en los sistemas de comunicaciones inalámbricas se demanda que las redes móviles sean capaces de alcanzar altas tasas de transferencia y que consuman a su vez menos potencia [1]. Esto requiere del uso de técnicas para diseñar amplificadores de potencia que sean más eficientes y sean capaces de operar en bandas más anchas. En este proyecto se abordará este problema.

En los sistemas de comunicaciones donde las tasas de datos son muy elevadas, el espectro debe ser aprovechado al máximo. No obstante, el ancho de banda es limitado por lo que es necesario utilizar métodos de modulación variables que dan como resultado un *Peak-to-Average Power Ratio* (PAPR) elevado. Esto a su vez requiere que los amplificadores de potencia operen en niveles de *back-off* altos para trabajar de forma lineal. Por este motivo, los amplificadores de potencia tradicionales no son adecuados en estos casos ya que no son capaces de soportar los picos de potencia que pueden recibir. La curva de eficiencia para un amplificador de potencia convencional, es decir, la relación porcentual entre la potencia útil a la salida con respecto a la potencia consumida de la fuente de alimentación, alcanza su máximo cerca del punto de compresión y al llegar a niveles de *back-off* baja drásticamente, región donde es necesario que el amplificador trabaje de forma lineal. La bajada de la eficiencia en esta región es por el constante uso de corriente para la polarización. Para solventar esto, hay que usar técnicas que mejoren la eficiencia de los amplificadores además de aumentar la eficiencia en los niveles de potencia de *back-off*.

Diversas técnicas se han propuesto para abordar este problema y mejorar la eficiencia en *back-off*, como por ejemplo la modulación por pulsos en radiofrecuencia (RF), *envelope tracking* y *dynamic load modulation*. Un ejemplo de esto último es el amplificador de potencia Doherty (DPA) que se muestra en la Figura 1. La ventaja principal de hacer uso de esta topología es que no necesita de un control externo para mantener buena eficiencia en regiones de *back-off* y por ello se considera autosuficiente [1] [2] [3].

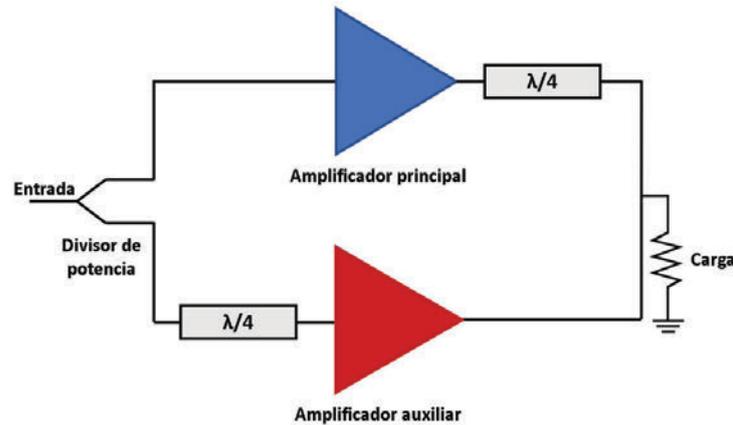


Figura 1. Esquema de un amplificador Doherty.

La configuración tradicional de un amplificador Doherty consta de dos amplificadores, uno principal y otro auxiliar. Para niveles bajos de potencia tan sólo se encuentra en funcionamiento el amplificador principal, permaneciendo el amplificador auxiliar apagado. A medida que la potencia de entrada aumenta, el amplificador principal se comienza a saturar, momento en el que el amplificador auxiliar entra en funcionamiento. Cuando el amplificador auxiliar entra en funcionamiento, la impedancia que ve el amplificador principal a su salida va disminuyendo, esto se conoce como modulación de carga y es una de las características más importantes para el correcto funcionamiento de los amplificadores de potencia Doherty. En definitiva, el funcionamiento principal de este tipo de amplificadores es combinar dos amplificadores para que operen de manera conjunta, el amplificador principal amplifica las señales con baja amplitud y el amplificador auxiliar se activa cuando el principal satura y así poder llegar a niveles de potencia más elevados. Un ejemplo de esto último se puede ver en la Figura 2 donde el amplificador auxiliar compensa la saturación en los picos de la señal [4].

En el funcionamiento del amplificador Doherty se pueden definir tres regiones de funcionamiento en función de la potencia de entrada. Región de baja potencia, donde sólo opera el amplificador principal, región umbral, donde opera el amplificador principal y el amplificador auxiliar comienza a operar, y región de alta potencia, donde operan ambos. Generalmente, el amplificador principal se polariza en clase AB y el auxiliar en clase C [5] [6] [7].

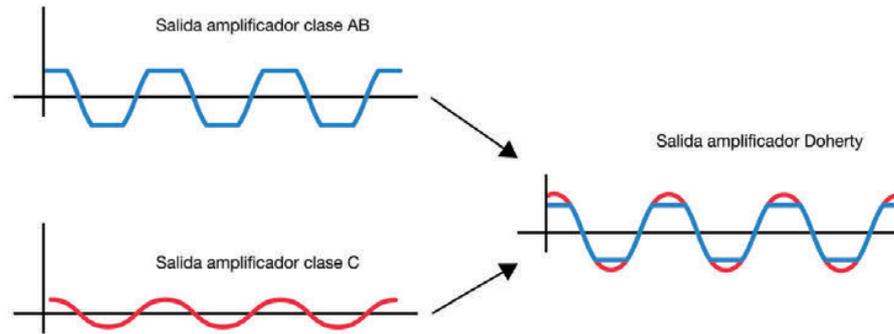


Figura 2. Señal de salida del amplificador principal (señal azul) y señal de salida del amplificador auxiliar (señal roja).

Unas de las técnicas de transmisión más utilizadas en los sistemas de comunicación inalámbricos en los últimos años es la *Orthogonal Frequency Division Multiplexing* (OFDM). La OFDM tiene muchas ventajas que la hacen candidata para seguir utilizándose en esta y en las siguientes generaciones de comunicaciones móviles debido a su simplicidad de implementación y su alta capacidad en comunicaciones de banda ancha. No obstante, cuenta con un alto PAPR por lo que no es viable su uso en comunicaciones 5G si se utiliza un amplificador Doherty convencional. La característica principal de un amplificador Doherty convencional es que tanto el amplificador principal y el amplificador auxiliar son simétricos, es decir, los transistores tienen las mismas dimensiones pero están polarizados en distintas clases. Teóricamente, con un amplificador Doherty simétrico se podrían llegar a alcanzar niveles de *back-off* de 6dB que podría ser suficiente dependiendo de la aplicación [8]. Para aumentar este nivel de back-off hasta los 9,5 dB, se puede diseñar un amplificador de potencia Doherty asimétrico. En la Figura 3 se muestra una comparativa de las prestaciones que se pueden alcanzar con un Doherty simétrico y asimétrico.

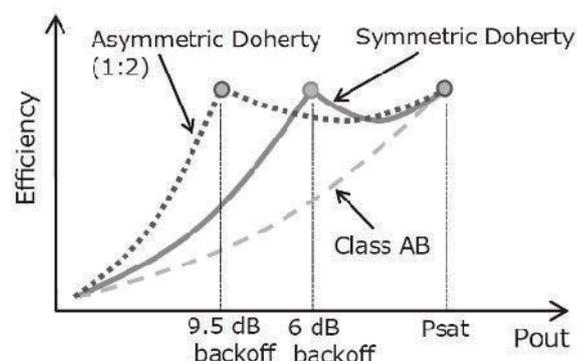


Figura 3. Prestaciones de un Doherty simétrico y asimétrico.

Actualmente, existen dos líneas principales de investigación para mejorar la eficiencia que se consigue en las comunicaciones inalámbricas. La primera es mejorar el esquema de comunicación por ejemplo de la OFDM para reducir su PAPR y no saturar tanto a los amplificadores de potencia y, la segunda, mejorar el *back-off* de estos amplificadores realizando por ejemplo amplificadores Doherty asimétricos. Un ejemplo de mejora en la OFDM es utilizar la técnica *Partial Transmit Sequence* (PTS) que reduce el PAPR en este tipo de sistemas [8]. En la Figura 4 se puede ver una comparativa utilizando la OFDM y PTS-OFDM con sus respectivos PAPR.

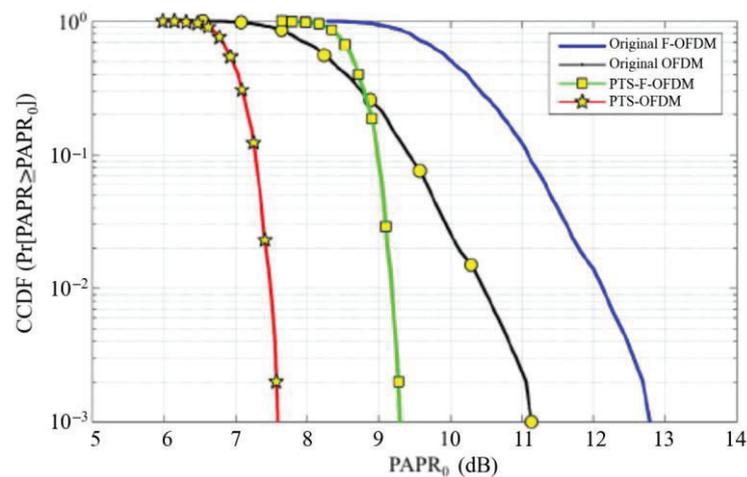


Figura 4. Comparativa de los PAPR de la OFDM y PTS-OFDM.

A pesar de que existan técnicas que reduzcan el PAPR incluso por debajo de los 6 dB, esta reducción siempre trae consigo una serie de inconvenientes y es por esta razón que es necesario seguir investigando en desarrollar amplificadores de potencia que soporten altos niveles de *back-off*. Uno de los inconvenientes más relevantes es el aumento del *Bit Error Rate* (BER) como se puede ver en la Figura 5, donde se muestra la BER de una OFDM utilizando una modulación 64-QAM en función del PAPR [8].

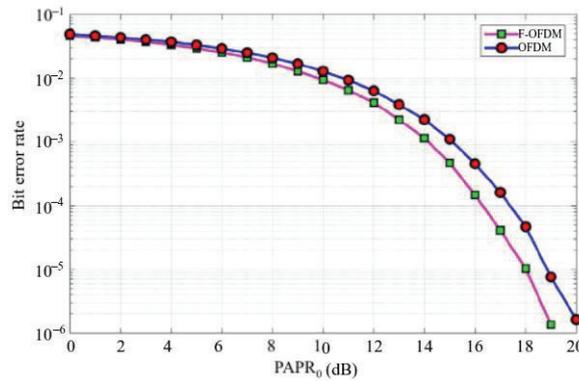


Figura 5. Comparativa de la BER para una OFDM y una F-OFDM.

Con esto se concluye que no basta con mejorar los esquemas de comunicaciones actuales para reducir el PAPR, es necesario seguir mejorando los amplificadores de potencia para que soporten niveles altos de back-off y a su vez seguir mejorando los sistemas de la nueva generación de comunicaciones móviles para reducir el PAPR sin perder demasiadas prestaciones.

## 1.2. Objetivos

El objetivo principal de este Trabajo Fin de Máster (TFM) es el diseño y posterior fabricación de un amplificador de potencia integrado para el estándar 5G en configuración Doherty. Para ello, se empleará la tecnología SiGe (Silicio de Germanio) proporcionada por la fundidora IHP, concretamente el proceso SG13S.

Cualquier dispositivo electrónico que se vaya a diseñar debe tener de antemano unas especificaciones iniciales las cuales sirven como referencia al inicio del diseño. Posteriormente estas especificaciones podrán variar en menor o mayor medida. En la Tabla I se muestran las especificaciones iniciales que sigue el diseño planteado.

Tabla I. Especificaciones del diseño.

<b>Frecuencia</b>	27 GHz
<b><i>Back-off</i></b>	>7 dB
<b>Máxima potencia de salida</b>	>20 dBm
<b><math>Z_0</math></b>	50 $\Omega$

Para llevar a cabo el proyecto se ha empleado la herramienta software ADS de la empresa *Keysight* y la herramienta Virtuoso de la empresa *Cadence Design Systems*. Estas dos herramientas son ampliamente utilizadas para el diseño de circuitos RF, puesto que son un instrumento muy potente y poseen un gran número de librerías, así como diversas opciones de simulación.

### 1.3. Estructura de la memoria

Este proyecto se compone de 4 partes. La primera, la memoria, cuenta con 7 capítulos, en los que se comienza dando una introducción al proyecto y se exponen los principales objetivos que se pretenden lograr. Seguidamente, se realiza un estudio del estado del arte y de la tecnología que se usará, Silicio de Germanio. También se explicará detalladamente como funciona un transistor bipolar y un amplificador de potencia, además de los parámetros a tener en cuenta al realizar el diseño del circuito. Finalizado esto, se tiene una primera toma de contacto con los amplificadores Doherty tanto teóricamente como en un entorno de simulación. Se tomará como modelo un amplificador Doherty asimétrico ideal para posteriormente ir evolucionando hasta llegar a nivel de *layout*. Como se verá a lo largo del documento, en este diseño se ha optado por utilizar un tipo de bobinas no estándar llamado solenoide. Estas bobinas presentan unas características ideales para trabajar en la banda de ondas milimétricas, pero no están soportadas por la

librería de la fundidora. Por esta razón, se ha incluido un apartado específico en el que se presentan y diseñan a medida las bobinas utilizadas en el diseño final. Este apartado finaliza con la preparación del *layout* para la fabricación y con las conclusiones extraídas de los resultados obtenidos. Al final de la memoria se esbozan algunas líneas futuras que se pueden desarrollar a partir de este proyecto. Tras la memoria, se exponen las diferentes fuentes de información de las que se han hecho uso para el correcto desarrollo de este documento, además del material que se ha empleado para poder llevarlo a cabo. Finalmente, se resumirán los costes que vienen asociados con este proyecto, en los que se tienen en cuenta las horas trabajadas, el material empleado y el coste de fabricación.



## **Capítulo 2.**

---

### **2. Estado del arte y estudio de la tecnología**

En este capítulo se exponen las principales características de la tecnología 5G y se discutirá la importancia que tiene la tecnología SiGe para esta nueva generación.



## 2.1. Tecnología 5G

En los últimos 10 años se ha visto un desarrollo en las prestaciones de los dispositivos electrónicos, como los *smartphones* o las *tablets*, casi exponencial. Algunos de estos dispositivos superan incluso a ordenadores en rendimiento y en capacidad, algo impensable hace unos años. Junto a este crecimiento de los dispositivos electrónicos han aparecido nuevas tecnologías como el 4G, que permiten optimizar el uso de estos dispositivos además de permitir la creación de nuevos servicios y aplicaciones [9].

Las nuevas aplicaciones que han ido apareciendo como el *Internet of Things* (IoT), Big Data, realidad virtual y coches autónomos, requieren de un gran ancho de banda, baja latencia y buena fiabilidad.

Se estima que para el 2023 el número de usuarios con dispositivos móviles ascienda hasta los 5,7 billones y se aumenten las conexiones de los dispositivos a casi un 33%, respecto al 2018 según el *Cisco Annual Internet Report (2018-2023)* tal y como se muestra en la Figura 6 [10].

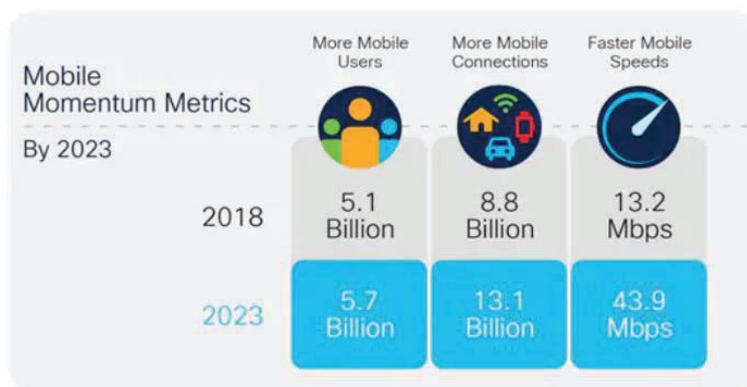


Figura 6. Estimaciones para el 2023 de las redes inalámbricas globales.

El 4G no es capaz de cumplir con estos requerimientos ya que esta generación está pensada para tener un acceso a internet básico, por lo que no es útil para las nuevas y futuras aplicaciones [11].

La idea que se plantea con la llegada del 5G no es solamente tener más velocidad para mejorar el entretenimiento personal, sino que el objetivo es interconectar la sociedad de una forma nunca vista. Esta nueva generación proporcionará grandes oportunidades a las industrias, lo cual supone un reto a la hora de crear una red que pueda soportar esta cantidad de datos.

La organización encargada de estandarizar esta nueva tecnología es la *3rd Generation Partnership* (3GPP) [12]. Un consorcio formado por los órganos de estandarización a nivel mundial, como son la *European Telecommunication Standards Institute* (ETSI) a nivel europeo, *China Communications Standards Association* (CCSA) en China o *Alliance for Telecommunications Industry Solutions* (ATIS) en Estados Unidos.

En la Tabla II se pueden ver de forma resumida las principales características que ofrece el 5G [13]. Una de las grandes ventajas que ofrece esta tecnología es su gran versatilidad, gracias a la cual se puede optimizar para cada aplicación específica [14] [15]. Esto último se puede ver reflejado en la Tabla II, donde se permite el uso de bandas de hasta incluso menos de 1 GHz y de bandas por encima de los 24 GHz, cada una con las ventajas e inconvenientes que conlleva su uso.

Tabla II. Características del 5G.

<b>Latencia</b>	1 ms
<b>Tasa de datos</b>	Superiores a 20 Gb/s
<b>Rangos de frecuencia</b>	0,41 GHz – 7,125 GHz 24,25 GHz – 71 GHz
<b>Tipo de modulación</b>	Hasta 256-QAM
<b>Ancho de banda por canal</b>	100-400 MHz

### 2.1.1. Bandas de frecuencias

El 5G trabajará en Europa en tres bandas de frecuencia distintas [13]. La más baja, sub 1 GHz, se empleará para cubrir grandes áreas. El uso de una frecuencia inferior al GHz permite un gran alcance y la posibilidad de ofrecer servicios a muchos usuarios. La ventaja de esta banda es que se puede desplegar mediante redes ya existentes hoy en día, haciendo más fluida su transición [15].

La segunda banda se encuentra en el rango de 3,4 GHz – 3,8 GHz. Esta banda está considerada como una de las bandas que mayor impacto tendrá a nivel europeo. Permitirá cubrir un área de tamaño mediano-grande mientras transmite una gran cantidad de datos. Un ejemplo de la cobertura de esta banda en Alemania se puede ver en la Figura 7, donde se compara la cobertura del 4G con la cobertura actual del 5G en la banda de 3 GHz de la operadora Telekom [16].

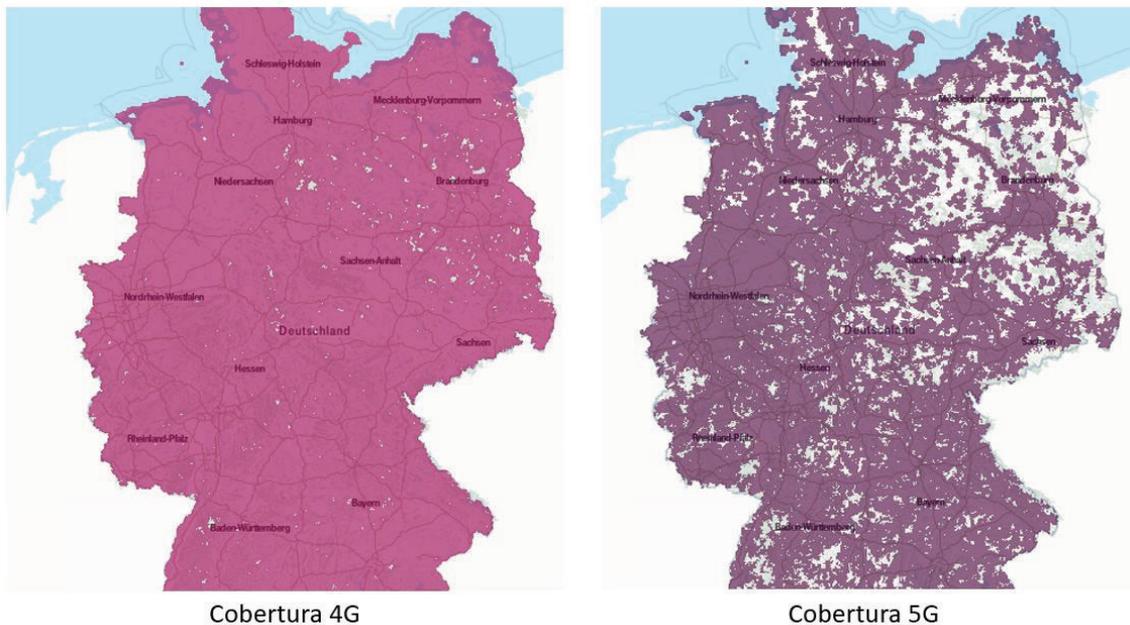


Figura 7. Cobertura 4G vs 5G en Alemania.

La tercera banda se define entre 24,25 GHz y 27,5 GHz. Debido a las especificaciones intrínsecas de las ondas, esta banda tendrá un alcance muy reducido. No obstante, esto lo hará ideal para puntos estratégicos que requieran de

una gran tasa de transferencia de datos, como pueden ser hospitales, aeropuertos, etc.

Las ondas a esta frecuencia y mayores se conocen como “ondas milimétricas”, y pertenecen a la banda *Extremely High Frequency* (EHF), cuyo rango va de 30 a 300 GHz. Estas bandas son muy atractivas para realizar diseños ya que es una parte del espectro que apenas se encuentra en uso.

En definitiva, el objetivo es hacer un uso simultáneo de las tres bandas para dar cobertura a ciudades enteras y prevenir la saturación de las redes, dando a cada zona los requisitos que esta requiera.

## 2.1.2. Aplicaciones

Las aplicaciones para el 5G cubrirán una gran cantidad de sectores y cada uno de ellos tendrá sus propios requisitos para operar correctamente [9]. Esta nueva generación influirá en campos como la realidad aumentada, los coches autónomos, medicina, drones, etc.

Según la aplicación se definirán una serie de condiciones para garantizar su correcto funcionamiento. Por ejemplo, para realizar el control de un coche autónomo será necesario garantizar muy poca latencia mientras que si sólo se está visualizando multimedia esto no será un aspecto crítico. Otro ejemplo particular sería el caso del IoT que su principal característica es tener la capacidad suficiente para poder conectar una gran cantidad de dispositivos sin necesidad de un gran ancho de banda. Por este motivo, la *International Telecommunication Union* (ITU) ha clasificado los servicios que ofrece el 5G en función de tres categorías [17]: *enhanced Mobile Broadband* (eMBB), *massive Machine Type Communications* (mMTC) y *ultra-Reliable and Low Latency Communications* (uRLLC). En la Figura 8 se clasifican varias aplicaciones y los servicios del 5G asociados.

- eMBB: Servicio dedicado a proporcionar un alto ancho de banda a las aplicaciones que lo requieran, podrá ofrecer hasta picos de 20 Gbps y

100 Mbps a cada dispositivo conectado a la red. Principalmente su uso será visualizar videos en alta definición (4k), videojuegos, realidad aumentada, etc.

- mMTC: Se encargará de dar capacidad de conexión a una gran cantidad de dispositivos, servicio fundamental para el desarrollo de las ciudades inteligentes o agricultura inteligente con un número muy elevado de sensores.
- uRLLC: Servicio dedicado a ofrecer latencias muy bajas de hasta 1 ms para aplicaciones como el control de coches autónomos o alguna aplicación industrial.

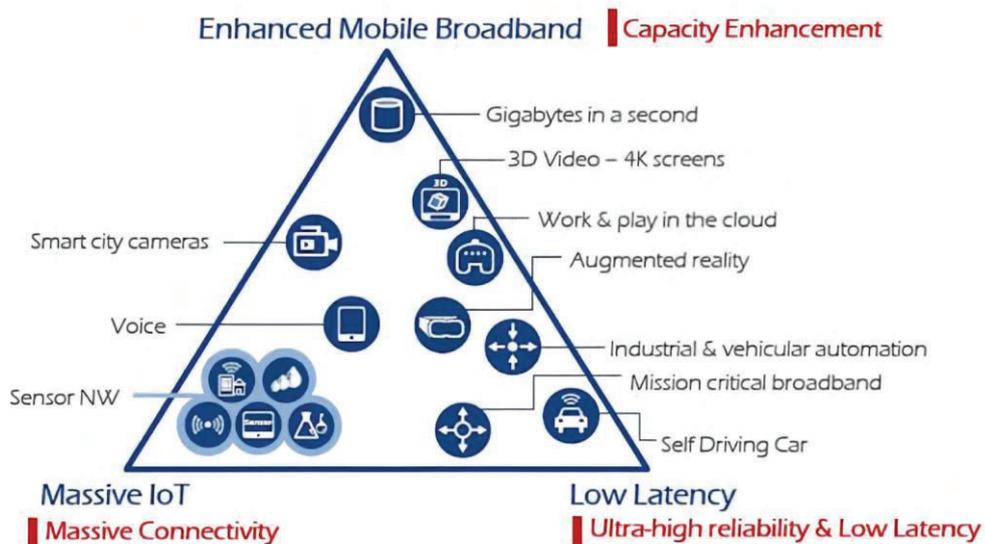


Figura 8. Servicios que ofrecerá el 5G y algunas aplicaciones.

## 2.2. Tecnología de Silicio Germanio (SiGe)

Desde que se descubrieron las prestaciones que ofrecían semiconductores como el Arseniuro de Galio (GaAs) y el Nitruro de Galio (GaN) para amplificadores de potencia, debido a que cuentan con una respuesta en frecuencia superior a otras tecnologías, daba la impresión de que estos semiconductores podrían reemplazar

a otras tecnologías como SiGe con la llegada del 5G y el futuro 6G. No obstante, gracias a los últimos desarrollos obtenidos en el Silicio Germanio, se están consiguiendo resultados que pueden rivalizar con otras tecnologías [18]. A pesar de que con tecnologías como GaN y GaAs se puedan conseguir eficiencias y potencias de salida más elevadas, existe una característica que posee la tecnología SiGe con la que no pueden competir hoy en día: el precio de fabricación y la alta integración. Su bajo coste en comparación a otras tecnologías lo hace ideal para aplicaciones donde se requiera un gran volumen de fabricación. Su alto nivel de integración permite el diseño de sistemas que requieren de circuitería digital y analógica, característica que no poseen GaN y GaAs. Un ejemplo de esto último sería el diseño de un *beamformer* para transmitir información en direcciones particulares, elemento que tendrá bastante relevancia en la generación 5G. En la Figura 9 se muestra un diagrama de bloques de un *beamformer* analógico y las tecnologías que se podrían utilizar para diseñarlo a modo de ejemplo [19]. En función de los requerimientos del sistema se podrán usar más o menos tecnologías para realizarlo, factor a tener en cuenta si se quieren abaratar costes. Es aquí donde entra la importancia de continuar investigando la tecnología SiGe, sobre todo en las partes finales del sistema de comunicación como lo son los amplificadores de potencia y así no tener que recurrir a tecnologías que tienen alto coste de producción.

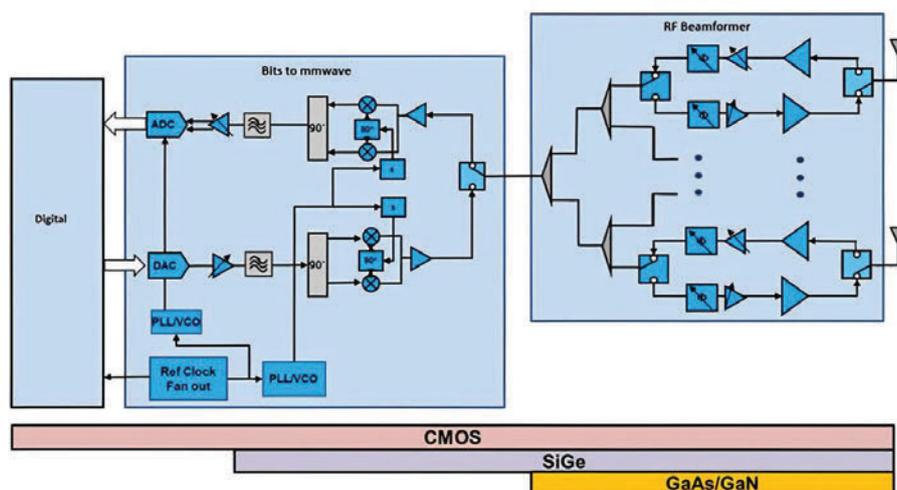


Figura 9. Diagrama de bloques de un *beamformer* analógico.

La tecnología de SiGe utilizada en este proyecto tiene una  $f_t$  de 250 GHz, esta frecuencia es la frecuencia de transición donde el transistor alcanza una ganancia unitaria, a mayor  $f_t$ , mayor será la frecuencia donde se podrán conseguir mejores óptimos. Sin embargo, para conseguir buenos resultados en amplificadores de potencia hay que trabajar muy por debajo de esta frecuencia y, por ello, esta tecnología es viable a la frecuencia de 27 GHz. Esto es debido a que se recomienda trabajar a una frecuencia de un orden menos de magnitud de la frecuencia de transición para alcanzar resultados aceptables.

Por esta razón, a día de hoy se están realizando proyectos de investigación para mejorar las prestaciones de la tecnología SiGe como el proyecto europeo TARANTO, donde sus objetivos son mejorar las prestaciones y el nivel de integración de esta tecnología para que sean capaces de soportar las grandes velocidades de datos que tendrán los sistemas de comunicaciones en las nuevas generaciones. El proyecto TARANTO ya ha reportado transistores que alcanzan una  $f_t$  de 400 GHz y su objetivo es conseguir transistores que lleguen hasta los 500 y 600 GHz [20].



## Capítulo 3.

---

### 3. Conceptos teóricos

En este capítulo se definirá el concepto de transistor BJT (*Bipolar Junction Transistor*), así como su funcionamiento y sus principales parámetros a tener en cuenta a la hora de utilizarlos. Seguidamente, se explicará lo que es un amplificador de potencia además de las distintas características que se tendrán en cuenta para este proyecto. Por último, se describirá en detalle el funcionamiento de un amplificador Doherty.



## 3.1. Transistores de unión bipolar

Un transistor de unión bipolar es un componente electrónico que consta de tres terminales: la base, el emisor y el colector (ver Figura 10). Estos dispositivos funcionan controlando la corriente del emisor y el colector mediante la corriente que se le aplica a la base, y pueden ser de dos tipos: NPN y PNP.

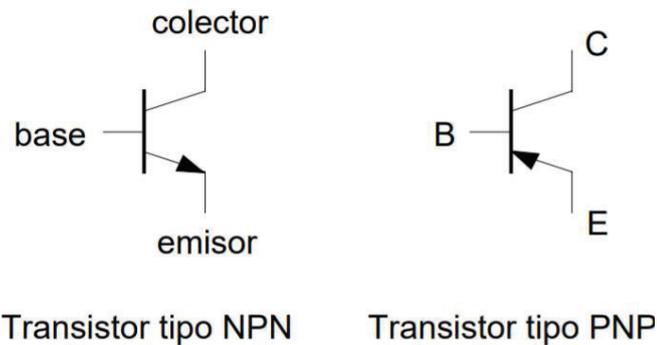


Figura 10. Transistor BJT.

En este trabajo se usarán transistores tipo HBT (*Heterojunction Bipolar Transistor*) en tecnología SiGe, que pertenecen a la familia de los transistores bipolares. La principal diferencia de los transistores HBT respecto a los BJT es que se utilizan diferentes materiales semiconductores para las regiones de emisor y base, creando la denominada heterounión. Esto mejora el transistor HBT y lo hace capaz de alcanzar frecuencias más altas.

### 3.1.1. Funcionamiento

Para que un transistor entre en funcionamiento y ejerza su función de amplificador, se aplica una tensión entre la base y el emisor ( $V_{BE}$ ) y otra del colector al emisor ( $V_{CE}$ ). En función del valor de cada una de estas tensiones el transistor estará funcionando o no. Así, se pueden definir distintas regiones de funcionamiento del transistor: zona de corte, zona activa y zona de saturación [21].

- **Zona de corte:** El transistor se encuentra en corte cuando no circula corriente por sus terminales. Concretamente se puede afirmar que el transistor se encuentra en zona de corte cuando se cumple la siguiente Ecuación 3.1:

$$I_E = 0 \quad (3.1)$$

Para polarizar el transistor en corte basta con no polarizar en directa la unión base-emisor, es decir,  $V_{BE} = 0$ .

- **Zona Activa:** Esta región es la zona normal de funcionamiento del transistor. En la zona activa, circula corriente en todos los terminales y se cumple que la unión base-emisor está polarizada en directa a su vez que la de colector-base en inversa. En general, se verifica que esta región cumple con lo que se expone en la Ecuación 3.2:

$$V_{BE} = V_T, \quad I_C = \beta I_B \quad (3.2)$$

Siendo  $V_T$  la tensión umbral de conducción de la unión base-emisor.

- **Zona de saturación:** En esta región se da la condición de que tanto la unión base-emisor como la base-colector se encuentran en directa. Se dejan de cumplir las condiciones de la zona activa y se verifica lo expuesto en la Ecuación 3.3:

$$V_{BE} = V_{BEsat}, \quad V_{CE} = V_{CEsat} \quad (3.3)$$

### 3.1.2. Curvas características

Conociendo las distintas zonas que rigen la operación de los transistores, se pueden trazar las denominadas “curvas características”. Estas curvas muestran las prestaciones de un transistor entre la tensión  $V_{CE}$  y las corrientes  $I_C$  e  $I_B$  que fluyen

en las distintas regiones de trabajo. En la Figura 11 se puede ver un ejemplo de estas curvas.

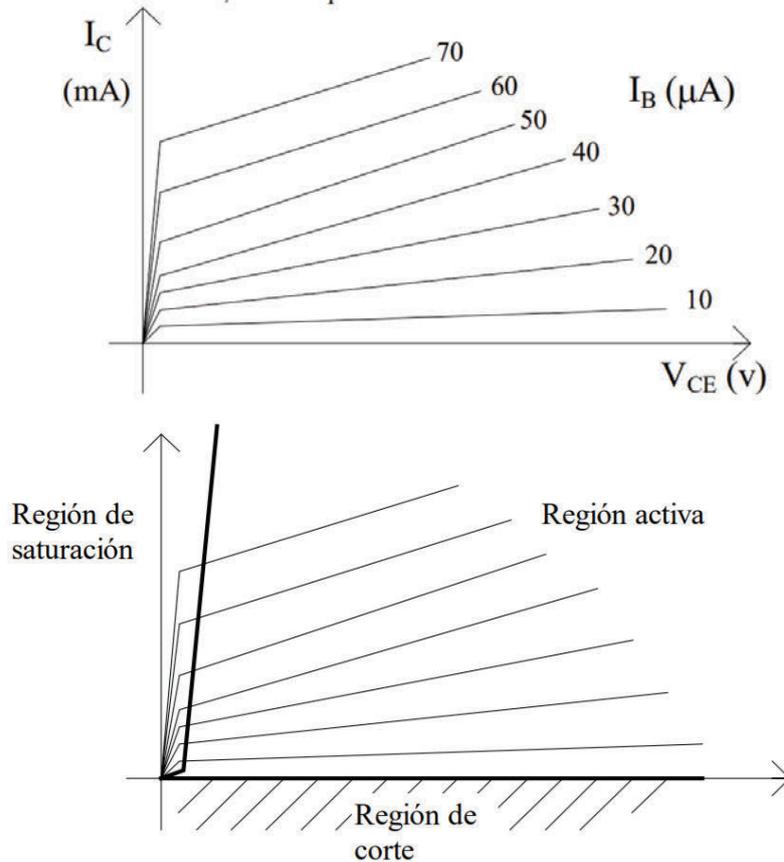


Figura 11. Curva característica del colector del transistor.

En la Figura 11 se puede ver la curva de transferencia de un transistor, con  $I_C$  en función de  $I_B$ . También se observa que si  $I_B = 0$ , el transistor se encuentra en zona de corte y que cuando ésta es superior a 0, el transistor se encuentra en conducción (zona activa). En función de los valores de  $I_B$ , la cantidad de corriente es mayor o menor.

A partir de las curvas características de un transistor se puede también definir su recta de carga y punto de trabajo y, por tanto, su polarización [22]. Polarizar un transistor consiste en establecer un punto de trabajo mediante restricciones de circuito, es decir, estableciendo las tensiones  $V_{BE}$ ,  $V_{CE}$  y la corriente  $I_C$  para que el transistor opere en la región que cumpla los siguientes requisitos [23]:

- Estar ubicado de tal forma que el dispositivo trabaje en zona y permitir suficiente variación de la señal sin que el dispositivo salga de esa zona de funcionamiento.
- Ser permanente, predecible y estable ante cualquier posible variación de los parámetros del dispositivo.
- Disipar la mínima potencia posible.

La ventaja de obtener la recta de carga es que permite conocer todos los puntos de trabajo posibles para el circuito. A partir de ahí, se pueden variar los distintos parámetros del circuito y elegir el punto más conveniente en función de las necesidades que cada aplicación requiera. Es importante elegir bien este punto y cómo varía en función de la entrada, ya que de él depende la forma de la onda que sale del transistor, como se puede apreciar en la Figura 12 [24] [25]. Si se elige demasiado ajustado en los límites inferior y superior, se saturará, como en la imagen de la izquierda y el transistor cortará la señal.

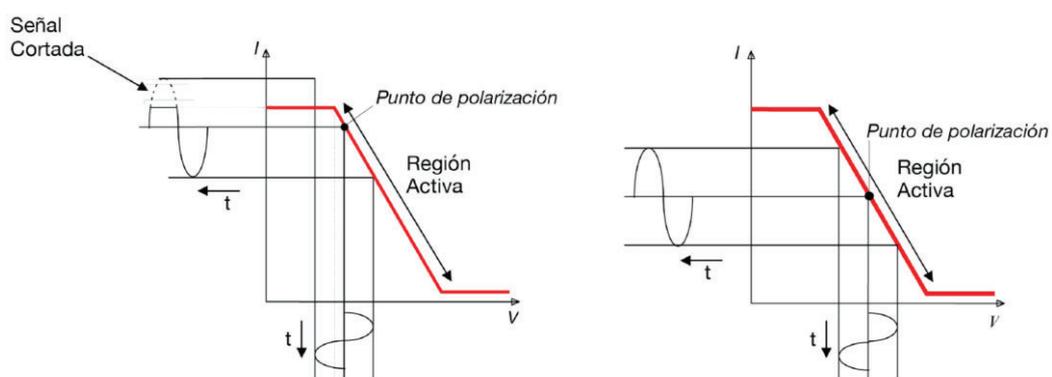


Figura 12. Rectas de carga y puntos de trabajo (Q) de un transistor en diferentes posiciones.

### 3.1.3. *Fingers*

Otro de los parámetros que influye en el funcionamiento de un transistor y que es importante tener en cuenta, es el número de *fingers* y la anchura de los mismos.

Un transistor en ocasiones se constituye de una única base ancha como el que tenemos a la izquierda de la Figura 13, que para transistores de tamaño reducido no supone ningún problema. No obstante, cuando el tamaño debe ser grande, la resistencia de la base  $R_B$  será también elevada, como se puede ver en la Ecuación 3.4.

$$R_B = R_{B0} \cdot W \quad (3.4)$$

Cuanto mayor sea la anchura ( $W$ ) mayor será la resistencia y, por tanto, más baja será la ganancia total disponible, además de que aumentará el ruido introducido por este componente [26].

Para evitar este efecto, se introduce el concepto de *fingers*. Al crear *fingers* como se muestra a la derecha de la Figura 13, se generan internamente varias bases en paralelo en el transistor.

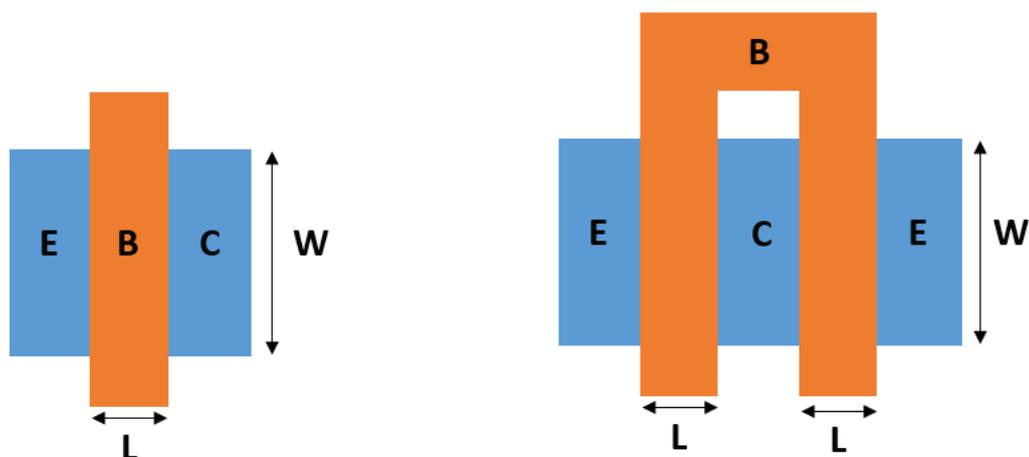


Figura 13. Transistor con solo una base (izquierda) y transistor con dos fingers (derecha).

Al aumentar el número de *fingers*, la resistencia de la base disminuirá en función de la Ecuación 3.5.

$$R_B = \frac{R_{B0} \cdot W}{N^2} \quad (3.5)$$

Donde N es el número de *fingers* usados. Se puede observar que la resistencia total ofrecida por la base en estas situaciones se reduce considerablemente. El número de *fingers* usados suelen ser par para tener un emisor a cada lado. En caso de que se usen más de dos *fingers*, dichos emisores deben estar interconectados haciendo uso de “puentes” en los colectores, como se puede ver en la Figura 14.

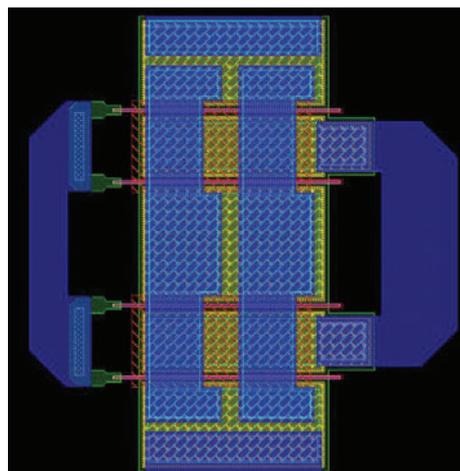


Figura 14. Layout con más de dos fingers y colectores conectados.

Aunque aparentemente parece ventajoso hacer uso del mayor número de *fingers* posible para reducir la resistencia al máximo, también esto tiene sus limitaciones [27]. Por ejemplo, aumentando demasiado el número de *fingers*, o sus anchuras, puede dar como resultado una mayor capacidad parásita en el funcionamiento del transistor, como se puede comprobar en la Figura 15.

Otra consecuencia de elegir un elevado número de *fingers* es el aumento del coste de producción del circuito ya que el transistor ocupará más espacio.

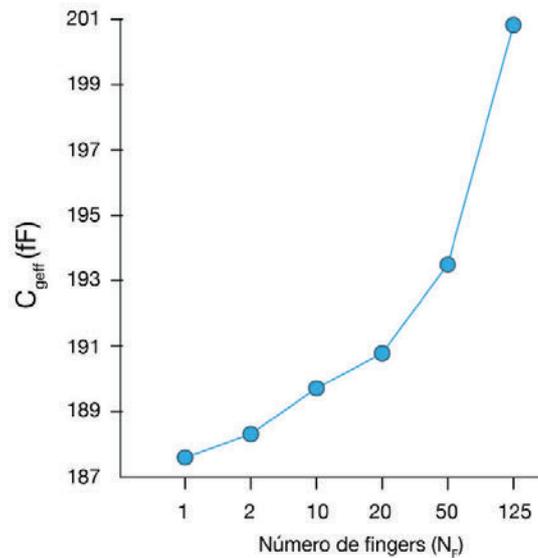


Figura 15. Capacidades parasitarias en función del número de fingers.

## 3.2. Amplificadores: descripción básica de un amplificador y sus características.

En este apartado se detallarán las características más importantes a tener en cuenta de un amplificador.

### 3.2.1. Estabilidad

La estabilidad es un factor fundamental a tener en cuenta. Este determina la capacidad que tiene un amplificador de mantener su eficacia en los valores nominales de operación, es decir, es la oposición que presta a oscilar [31].

En una red de dos puertos (entrada y salida) las oscilaciones son posibles cuando en cualquiera de ellos se presenta una impedancia con parte real negativa. Que se cumplan estos requisitos depende de varios factores, tales como los parámetros del dispositivo, las redes de adaptación utilizadas y las terminaciones del circuito. Además, un circuito puede ser estable en algunas frecuencias y a otras no para los mismos valores de impedancias de generadores y de carga [32].

Existen dos tipos de estabilidad. La primera, denominada “incondicionalmente estable”, se cumple cuando para una frecuencia dada, el transistor es estable para todas las impedancias de fuente y carga, es decir, que las impedancias de entrada y salida tienen siempre parte real positiva.

Un transistor también puede ser “condicionalmente estable”. Se encuentra en este estado cuando para una frecuencia dada, algunas de las impedancias de fuente y carga pueden producir impedancias de entrada y salida con parte real negativa [32].

En el caso de los amplificadores de potencia multietapa, es importante no solo analizar la estabilidad global sino que se aplican distintos criterios para la verificación de la misma. Lo más común a la hora de estudiar la estabilidad de un circuito compuesto por varias etapas, es analizar las estabilidades par e impar de cada “celda” que lo compone. Se considera celda a cada transistor incluyendo su red de estabilización.

Para realizar este tipo de análisis de estabilidad se aplica el criterio de Nyquist. A continuación, se explica brevemente dicho criterio para ambos modos de estabilidad [33] [34].

### **3.2.1.1. Estabilidad par en pequeña señal**

Para saber si un amplificador es estable, se deben cumplir un número de condiciones, que se reúnen en el factor de Rollett o de estabilidad, representado mediante la letra K y cuya expresión matemática se muestra en la Ecuación 3.6. Si este valor es menor que la unidad ( $K < 1$ ), el transistor es inestable; en caso contrario ( $K > 1$ ) es estable.

$$K = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{21} * S_{12}|} > 1 \quad (3.6)$$

Siendo los parámetros S:

- **S11**: Indica el grado de adaptación de la impedancia de entrada. Estando bien adaptada, no habría potencia reflejada y por tanto  $S_{11} = 0 + 0j$ .
- **S22**: Indica el grado de adaptación de la impedancia de salida. Bien adaptada, no se refleja potencia a la carga y  $S_{22} = 0 + 0j$ .
- **S12**: Ganancia en potencia en inversa. Mide el nivel de aislamiento.
- **S21**: Ganancia de potencia en directa. Interesa que sea elevado.

Para proporcionar estabilidad a un transistor es posible añadir una red de estabilidad. Este tipo de redes reducen la ganancia del transistor en favor de un mayor factor de estabilidad.

### 3.2.1.2. Estabilidad par en gran señal

El criterio de Nyquist para el modo par sirve para comprobar si un transistor del circuito es estable por sí mismo. Es decir, se analiza que cada transistor (o celda) sea estable sin que el resto de los transistores interfieran en el análisis.

Se dice que una celda es estable en modo par según el criterio de Nyquist si el producto de los coeficientes de reflexión a la entrada o a la salida del circuito es menor que 1 y no engloba el punto  $-1+j0$  en el sentido de las agujas del reloj. En otras palabras, si el producto es menor que 1 se asegura que no van a ocurrir inestabilidades de esta naturaleza. Sin embargo, en caso de ser mayor que 1, si no

engloba el punto  $-1+j0$  se puede asegurar que no ocurrirán inestabilidades de modo par [34].

### 3.2.1.3. Estabilidad impar

Las inestabilidades de modo impar ocurren en gran señal y cabe destacar que aparecen normalmente en amplificadores con más de un dispositivo (celda), debido a las distintas características de los transistores y las técnicas de adaptación aplicadas. En este tipo de amplificadores, la combinación en paralelo de los transistores se emplea para conseguir altas potencias de salida. Esta combinación en paralelo puede causar inestabilidades por fugas de la señal entre celdas debido a los bucles existentes. Otra razón que puede causar inestabilidades de modo impar son las posibles asimetrías que existan entre las redes de adaptación de los transistores.

En este caso, se vuelve a aplicar el criterio de Nyquist, pero para el modo impar. Este método determina las inestabilidades asociadas a los bucles mediante el análisis de su función de transferencia en bucle abierto en las uniones entre las redes pasivas y la entrada de los dispositivos activos. De esta forma, se analiza el coeficiente de reflexión de entrada en ese punto para cada uno de los dispositivos activos  $(G_1(j\omega), \dots, G_k(j\omega))$ , siendo  $k$  el número de dispositivos activos y se comprueba que ninguno de ellos engloba el punto  $1+j0$  [34].

### 3.2.2. Ganancia

La ganancia ( $G$ ) de un amplificador se define como el *ratio* de potencia de salida ( $P_{out}$ ) frente a la potencia de entrada ( $P_{in}$ ). Su expresión matemática viene dada por la Ecuación 3.7.

$$G = \frac{P_{out}}{P_{in}} \quad (3.7)$$

### 3.2.3. Eficiencia

El amplificador de potencia es, con diferencia, uno de los componentes que más consume en un circuito. Una mayor eficiencia implica menores pérdidas y, por tanto, una mejor gestión del calor generado y mejores costes de operación del amplificador.

La eficiencia es un parámetro que permite medir la relación entre la potencia útil a la salida con respecto a la potencia consumida de la fuente de alimentación. La parte que no es transformada se disipa en forma de calor. Existen dos formas de representar numéricamente la eficiencia en un amplificador: mediante la eficiencia del colector ( $\eta$ ) y la *Power Added Efficiency* (PAE).

#### 3.2.3.1. Eficiencia del colector

La eficiencia del colector viene dada por la Ecuación 3.8 y se define como la potencia de salida del amplificador ( $P_{out}$ ) frente a la potencia en continua ( $P_{dc}$ ) que recibe de alimentación [35].

$$\eta_{colector} = \frac{P_{out}}{P_{dc}} \quad (3.8)$$

El problema contemplado en esta ecuación es la falta de consideración de la potencia de entrada y, por tanto, no se puede saber con precisión la cantidad de potencia proveniente de la fuente de alimentación que es convertida en potencia de la señal de salida. Es decir, es independiente de la ganancia del amplificador.

#### 3.2.3.2. *Power Added Efficiency* (PAE)

Para solucionar el problema anterior, otra forma de medir la eficiencia del circuito es mediante el PAE, cuya Ecuación (3.9) incluye la potencia de entrada del amplificador.

$$PAE = \frac{P_{out} - P_{in}}{P_{dc}} \quad (3.9)$$

Otra forma de obtener el PAE es mediante la Ecuación 3.10 que, como se puede observar, sí contempla la ganancia del circuito para obtener la eficiencia del circuito.

$$PAE = \eta_{colector} \frac{G - 1}{G} \quad (3.10)$$

En el caso de un amplificador real, el PAE siempre será menor que la eficiencia del colector ( $PAE < \eta$ ). Sin embargo, a partir de los 30 dB de ganancia, o 1000 en la escala lineal, la diferencia será del 0,1%, lo cual es una diferencia despreciable.

El PAE es considerada FOM (*Figure of Merit*) y por esta razón será usada a lo largo de este trabajo.

### 3.2.4. Clases

Los amplificadores de potencia se pueden clasificar por el porcentaje de tiempo que están operando al recibir una entrada senoidal [36]. Este principio depende del denominado "ángulo de conducción", que muestra durante qué parte de los ciclos de las ondas de entrada el transistor está conduciendo. Dicho ángulo de conducción se puede regular mediante la tensión de polarización de base-emisor  $V_{BE}$ .

En función de cada ángulo de conducción se define una "clase" de amplificador, pudiendo así clasificar estas dentro de dos grupos. Por una parte, los amplificadores lineales; cuya salida es proporcional a la entrada. Dentro de este grupo se encuentran las clases A, AB, B y C, que se observan de forma más

detallada en la Figura 16 donde se encuentran los ejemplos gráficos de los ángulos de conducción asociados a las clases de los amplificadores.

En el segundo grupo el transistor actúa como *switch*, variando la tensión de base emisor ( $V_{BE}$ ), consiguiendo así que funcione en ciertos rangos de entrada. Cada una de las clases de los amplificadores de potencia difiere en términos de linealidad, potencia de salida y eficiencia.

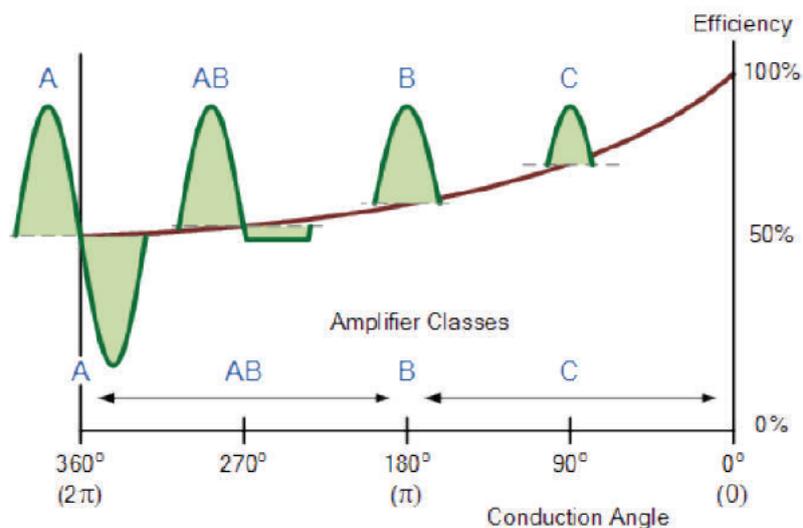


Figura 16. Clases de amplificadores según el ángulo de conducción frente a la eficiencia.

El ángulo de conducción es importante ya que define la eficiencia y la linealidad de los amplificadores de potencia. Estos valores ya están calculados y están resumidos en la Tabla III.

Tabla III. Eficiencia máxima y ángulo de conducción de cada clase lineal.

Clase	Ángulo	Eficiencia
A	$2\pi$	50%
B	$\pi$	78,5%
AB	$\pi < \sigma < 2\pi$	$50\% < \eta < 78,5\%$
C	$< \pi$	$> 78,5\%$

### 3.2.4.1. Clase A

Esta clase de amplificadores conducen durante el periodo entero de una onda, es decir,  $2\pi$  radianes. Se polarizan la corriente y el voltaje DC (*Direct Current*) en medio de los máximos y mínimos de la onda, para así asegurar la conducción en todo momento.

Como se ve en la Figura 16, la función de un amplificador clase A es prácticamente una función lineal y destaca por tener una ganancia elevada y una reducida distorsión. El principal inconveniente que se encuentra es la baja eficiencia, debido al alto consumo de energía. La máxima eficiencia que se puede obtener es del 50%.

Este tipo de amplificadores se usan en la mayoría de los casos cuando se requiere una elevada linealidad de la señal de salida.

### 3.2.4.2. Clase B

El transistor polarizado en clase B se distingue por tener un ángulo de conducción de  $\pi$  radianes, es decir, conduce medio ciclo de una onda de entrada. Esto queda reflejado en su punto de polarización, que está en  $\frac{V_{CEmax}}{2}$ . Existen varias diferencias frente a un transistor polarizado en clase A. Una de ellas es que un transistor en clase B tiene una mayor eficiencia, de hasta 78,5%, pero sacrificando linealidad debido a una mayor presencia de armónicos.

### 3.2.4.3. Clase AB

Esta clase se distingue por estar entre la clase A y B, es decir, su ángulo de conducción se encuentra entre  $\pi$  y  $2\pi$ . Como se ha comentado con anterioridad, en un transistor polarizado en clase A, la eficiencia es del 50% y tiene un bajo contenido armónico, mientras que en el clase B la eficiencia es del 78,5% y con un alto contenido armónico. Consecuentemente, mediante un clase AB se puede obtener una eficiencia que se encuentre en el rango  $50\% < \eta < 78,5\%$  y una

linealidad mayor o menor. Esto depende de si el transistor es polarizado más cerca de clase A o clase B.

Este tipo de configuración es usada ampliamente hoy en día porque su estructura permite buscar un compromiso óptimo entre linealidad y eficiencia.

#### **3.2.4.4. Clase C**

Los transistores polarizados en clase C tienen un ángulo de conducción menor que  $\pi$ . La principal razón para hacer uso de transistores polarizados en esta clase es debido a su alta eficiencia, ya que no consume potencia para más de la mitad del ciclo de una señal.

Como se puede ver en la Figura 16, la corriente de salida de un transistor polarizado en clase C son picos de corta duración. Como en el nivel de corriente máximo, el voltaje también es bajo, la potencia disipada es menor y, por ello, la potencia consumida por el amplificador es casi igual a la que se entrega a la carga.

La distorsión de la señal, en comparación con la señal de entrada, es elevada debido a la alta frecuencia de encendido y apagado del transistor; es la clase menos lineal de todas las nombradas anteriormente. Su mayor uso es para amplificar señales moduladas en frecuencia, donde la distorsión armónica y la falta de linealidad no son importantes.

### **3.3. Amplificador Doherty**

El concepto del amplificador Doherty (ver Figura 17) se basa en combinar dos amplificadores de potencia para que trabajen conjuntamente, uno denominado “principal” y otro “auxiliar”. Estos amplificadores por lo general se polarizan en clase AB para el principal y en clase C para el auxiliar [4]. Inicialmente, la potencia se entrega a los amplificadores mediante un divisor de potencia, ya sea con un divisor

Wilkinson o un divisor híbrido de 90°. Además, ambos amplificadores tienen conectadas unas líneas de retardo, el principal la tiene conectada después del amplificador y el auxiliar a su entrada. Durante el funcionamiento, las señales de los amplificadores se encuentran desfasadas, pero en la salida se encontrarán de nuevo en fase. A lo largo de este capítulo se explicará la función de estas líneas de retardo y cómo se realiza la unión de las señales de forma constructiva.

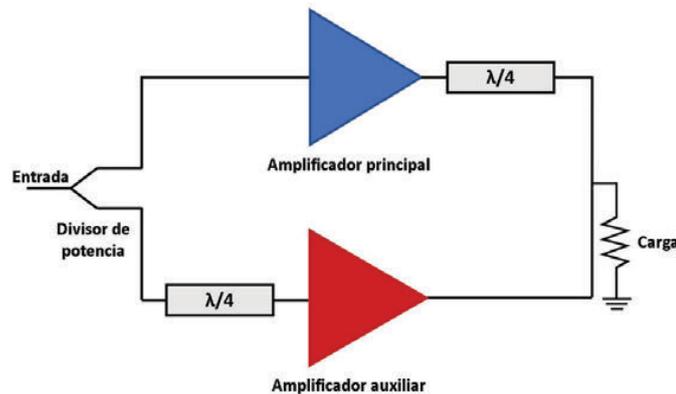


Figura 17. Esquema básico de un amplificador Doherty.

En el funcionamiento de un amplificador Doherty se pueden diferenciar dos regiones [7]. Cuando se tiene una potencia de entrada baja, únicamente entra en funcionamiento el amplificador principal, mientras que el amplificador auxiliar se encuentra apagado. Esto se debe a que ha sido polarizado para que trabaje con niveles de entrada altos.

A medida que aumenta la potencia de entrada, el amplificador principal llega a su límite de eficiencia y entra en la región de saturación, momento en el cual el amplificador auxiliar pasa a la región activa. En este momento comienza la denominada modulación de carga que permite la suma de las señales de ambos amplificadores de forma constructiva, y que será explicado detenidamente en un apartado posterior a este. La señal que se obtiene a la salida de un amplificador Doherty se puede apreciar en la Figura 18.

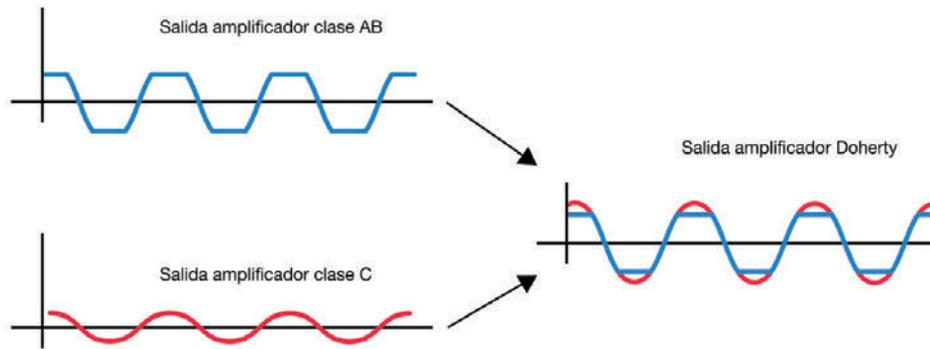


Figura 18. Señales de salida del amplificador principal y auxiliar.

La eficiencia total del circuito se puede ver en la Figura 19, donde se diferencian claramente las distintas regiones de funcionamiento, cuando entra en funcionamiento el principal (de 0 a  $V_{inMAX}/2$ ), a cuando empieza a funcionar el auxiliar (de  $V_{inMAX}/2$  a  $V_{inMAX}$ ). De forma ideal, el auxiliar estará apagado por debajo de la zona de *back-off* y en activa en esta región [1].

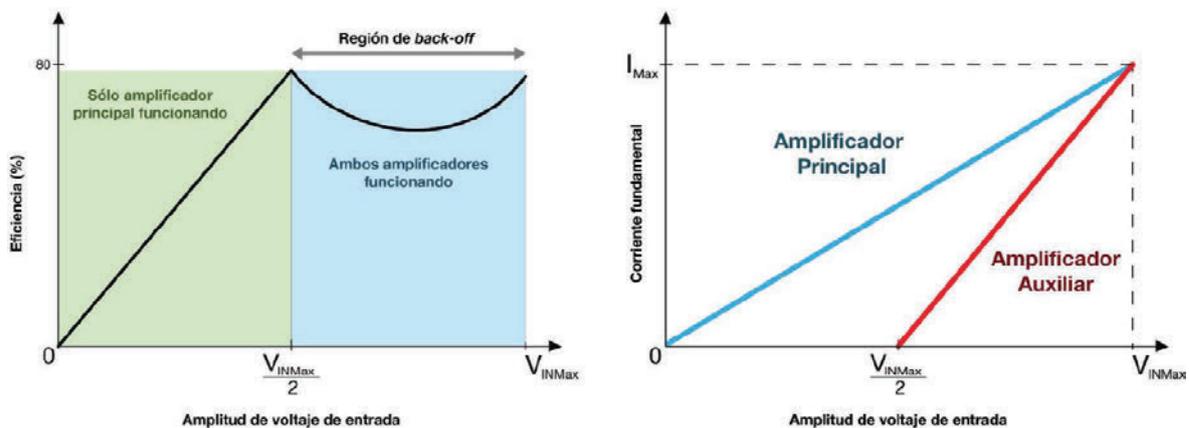


Figura 19. Eficiencia de un amplificador Doherty (izquierda) y la corriente y tensión de ambos amplificadores (derecha).

La principal ventaja de utilizar este tipo de amplificadores es que mantiene la eficiencia del amplificador principal durante un mayor periodo de tiempo y, a consecuencia de ello, aumenta la potencia de salida del circuito y permite que el amplificador opere en un mayor rango de tensiones de entrada [4].

Así mismo, para asegurar la máxima transferencia de potencia durante el funcionamiento del Doherty es necesario hacer uso de redes de adaptación. Dichas

redes se encontrarán a la entrada y a la salida de cada amplificador [4], como se puede ver en la Figura 20.

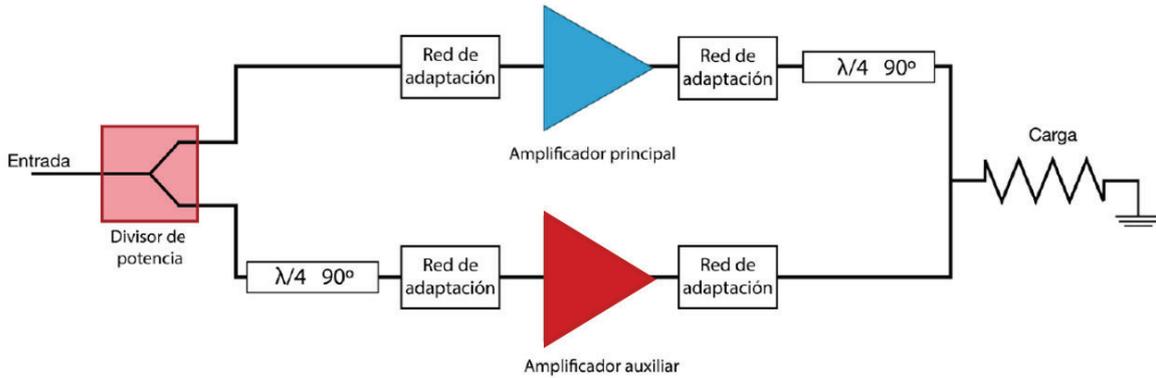


Figura 20. Esquema de un amplificador Doherty con sus redes de adaptación.

### 3.3.1 Principio de modulación de carga

Como se ha comentado anteriormente, el principio de funcionamiento de los amplificadores Doherty se basa en el concepto de la modulación de carga [7].

Antes de comenzar la explicación de este principio, es necesario entender primero el cálculo de la impedancia vista desde un transformador de cuarto de onda (ver Figura 21).

La línea de transmisión tiene asociada una impedancia característica  $Z_0$  y conectada a ella una carga  $Z_L$ , mientras que desde la entrada se ve una impedancia  $Z_{in}$ . La relación entre todas estas impedancias es la que se tiene en la Ecuación 3.11.

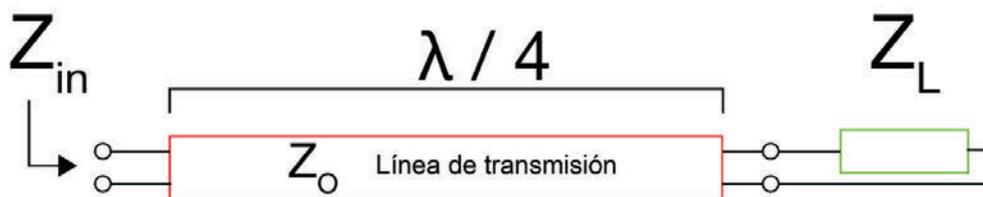


Figura 21. Línea de transmisión de cuarto de onda y sus impedancias.

$$\frac{Z_{in}}{Z_0} = \frac{Z_0}{Z_L} \quad (3.11)$$

Entendido este concepto y con el fin de comprender mejor el funcionamiento de la modulación de carga, se traza el circuito equivalente del amplificador Doherty (Figura 22).

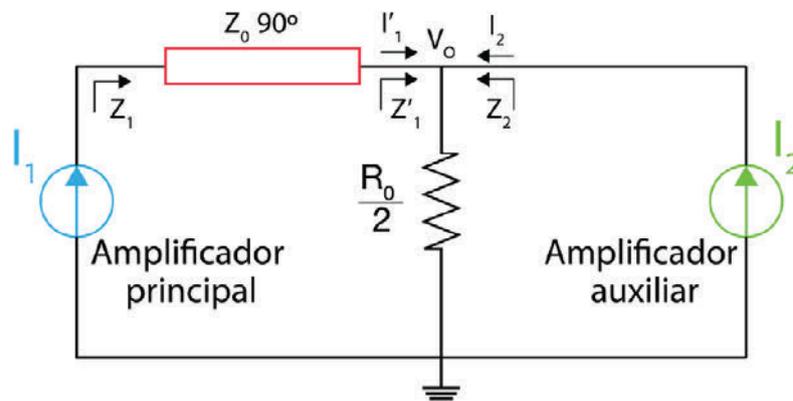


Figura 22. Circuito equivalente de un amplificador Doherty.

Los amplificadores actúan como fuentes de corrientes controladas, mientras que la línea de transmisión de cuarto de onda produce el efecto deseado de modulación de carga [28]. A continuación, se explica cómo quedaría el circuito equivalente en cada región de funcionamiento.

### ***Primera región de funcionamiento***

En esta región de funcionamiento únicamente se halla operando el amplificador principal. El auxiliar actuará como circuito abierto y no influirá en el circuito. Sabiendo esto, el circuito equivalente en esta región es el de la Figura 23.

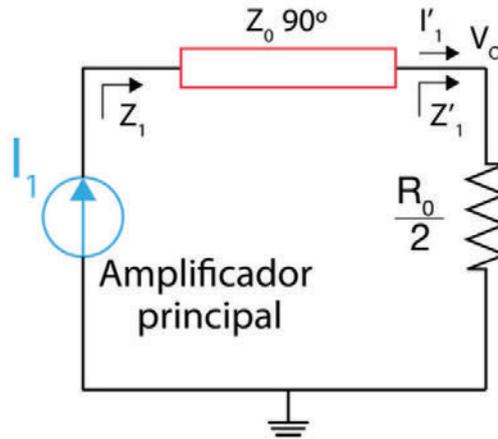


Figura 23. Circuito equivalente en la primera región.

La impedancia vista por el amplificador principal se obtiene haciendo uso de la Ecuación (3.12).

$$Z_1 = \frac{Z_T^2}{Z_L} \quad (3.12)$$

Se observa que la impedancia vista por el amplificador principal en esta región de funcionamiento es mucho mayor debido a la implementación de una línea de transmisión [5]. Concretamente, el valor de la impedancia vista por el amplificador es el doble de la carga. De esta forma se justifica que este amplificador alcance su nivel de tensión máxima en  $V_{inMAX}/2$  [29]. Además, en esta región la impedancia del amplificador auxiliar es infinita.

### **Segunda región de funcionamiento**

En esta región es donde se comienza a ver la modulación de carga activa. El circuito equivalente en esta región sería el que se muestra en la Figura 22, ya que ambas fuentes de corriente comienzan a operar. Llegados a este punto, la impedancia vista por el amplificador principal disminuirá en función de la Ecuación (3.13) por el efecto de la línea de transmisión. Esto hará que a pesar de estar en saturación, el amplificador principal aumente su corriente de salida y continúe operando, mientras que la eficiencia se mantiene en niveles altos, originando la gráfica de la Figura 19 [7].

$$Z_1 = \frac{Z_T^2}{Z_L \left(1 + \frac{i_p}{i_c}\right)} \quad (3.13)$$

Por otra parte, la impedancia vista por el auxiliar se calcula según la Ecuación (3.14).

$$Z_2 = \frac{Z_T^2}{Z_L \left(1 + \frac{i_c}{i_p}\right)} \quad (3.14)$$

Para visualizar de forma gráfica las funciones de las impedancias de ambas regiones se tiene la Figura 24. Se puede ver cómo el amplificador principal mantiene constante su impedancia de salida en la primera región y en la segunda disminuye debido a la modulación de carga, momento en el que empieza a converger con la impedancia vista por el amplificador auxiliar.

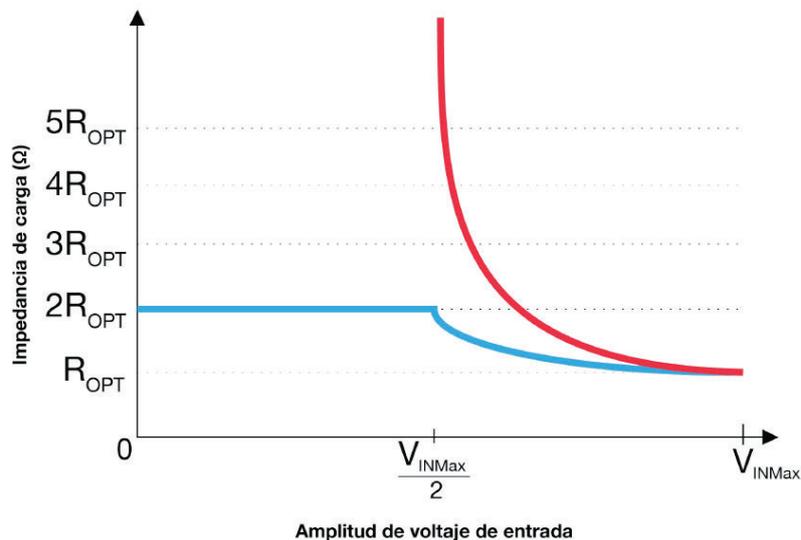


Figura 24. Impedancia de los amplificadores en función de la tensión de entrada, amplificador principal (azul) y amplificador auxiliar (roja).

Como la potencia de entrada es dividida entre dos ramas, la ganancia total del circuito no aumenta, sino que se mantiene constante con respecto a la primera

región de funcionamiento. Es por esto que la ganancia en pequeña señal del amplificador Doherty va a depender de la ganancia que posea el amplificador principal.

### 3.3.2 Eficiencia

La curva de eficiencia característica de un amplificador Doherty se puede ver en la Figura 25 y se obtiene al combinar el funcionamiento de ambos amplificadores, tal y como se ha explicado en el apartado anterior. Idealmente, se pueden distinguir dos picos de eficiencia, el primer pico es debido al amplificador principal y ocurre justo cuando el amplificador auxiliar comienza su funcionamiento, en el punto  $V_{inMAX}/2$ .

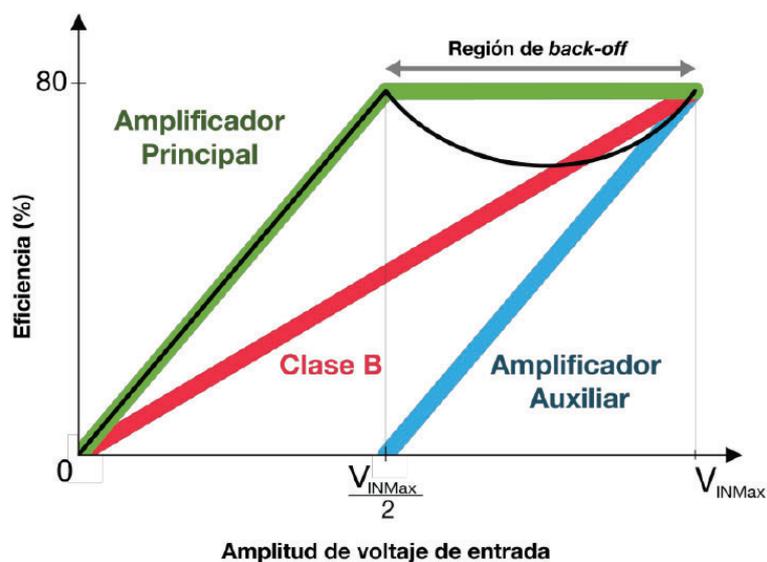


Figura 25. Gráfica de la PAE de un amplificador Doherty.

Como se ha explicado en el apartado anterior, la impedancia vista por el amplificador principal en la primera región de funcionamiento es el doble que la carga. Con esto se consigue que el amplificador principal sature antes de su punto normal de saturación, en concreto, en el punto  $V_{inMAX}/2$ . Esto provocará que se alcance antes su máxima eficiencia y potencia de salida [29]. Este efecto se consigue debido al fenómeno de modulación de carga.

Como resultado, el nivel de potencia que alcanzará el amplificador principal será la mitad de la que realmente permite el amplificador [29]. Además, la eficiencia del Doherty en ese punto será la misma eficiencia que tiene el amplificador principal.

En la segunda región de funcionamiento, donde comienza a funcionar el amplificador auxiliar, el principal sigue generando potencia con la eficiencia máxima alcanzable por este. Esto se mantiene constante debido a la modulación de carga.

El amplificador auxiliar comienza a operar con una impedancia muy alta, de forma que alcanza su máximo nivel de eficiencia rápidamente, no obstante, al comienzo del funcionamiento esta eficiencia sigue siendo más baja que la del amplificador principal y por este motivo la eficiencia total del amplificador Doherty se reduce ligeramente antes de alcanzar su segundo pico de eficiencia. Este segundo pico de eficiencia se alcanza cuando ambos amplificadores están proporcionando su máxima potencia. Es por este motivo que un amplificador Doherty proporciona una mayor eficiencia a lo largo de un mayor rango de potencias de entrada, circunstancia que no pasa con un amplificador de potencia convencional.

### **3.3.3. Back-off**

El *Input Back-Off* (IBO) en un amplificador de potencia mide cuánto hay que reducir la potencia de entrada para tener la potencia y linealidad deseada en la señal de salida [30]. Es la diferencia entre la potencia de entrada para que el amplificador entregue la máxima potencia, es decir,  $P_{sat}$  y la potencia de entrada que proporciona la linealidad deseada.

El *Output Back-Off* (OBO) es la diferencia entre la potencia de salida de saturación y la potencia media transmitida después de la amplificación. Suele ser 5 dB menos que el IBO y depende del punto de compresión del circuito. Viene dada por la Ecuación 3.15.

$$OBO = P_{sat}(dB) - P_{av}(dB) \quad (3.15)$$

Reducir el OBO puede ser de gran interés. Si un circuito puede operar correctamente con un *back-off* menor, es decir, que la potencia de operación  $P_{av}$  es más cercana a  $P_{sat}$ , el circuito será más eficiente y a su vez se verá reducido su consumo de potencia. Los amplificadores de potencia tienen su mayor eficiencia cuando se usan a la máxima potencia, o lo que es lo mismo, con 0 dB de *back-off*. El problema de trabajar con 0 dB de *back-off* es que esta región no es lineal y puede ser un problema dependiendo de la aplicación como en este caso. Para una mayor linealidad, es necesario operar por debajo del punto de compresión de 1 dB, como se puede ver en la Figura 26, donde se tiene el problema principal que la eficiencia del circuito baja drásticamente [5].

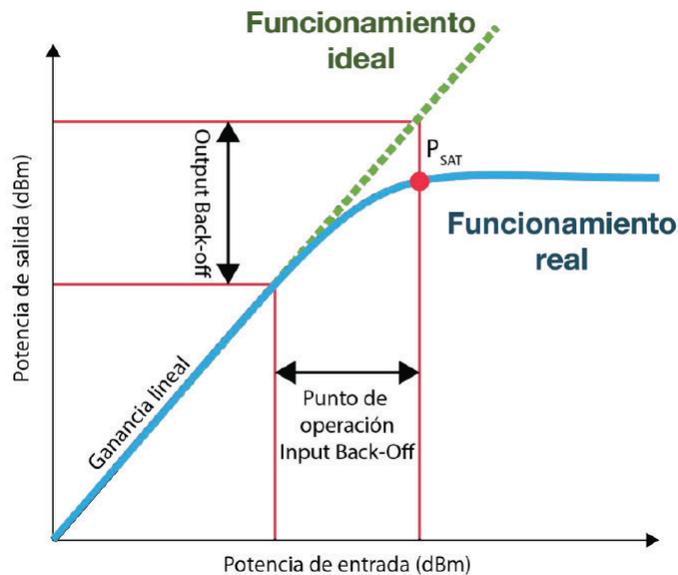


Figura 26. Gráfica del *back-off* de entrada y salida.

Como se explicó previamente en la Figura 19, un amplificador Doherty alcanza rápidamente su máxima eficiencia, teóricamente 6 dB antes de alcanzar su máxima potencia de salida,  $P_{sat}$ . En consecuencia, se puede operar en regiones de *back-off* sin que se vea sacrificada la eficiencia del circuito ni el consumo.

## 3.4. Resumen

En este capítulo se han explicado los conceptos básicos de un amplificador de potencia, así como sus parámetros fundamentales (estabilidad, ganancia, eficiencia).

Los amplificadores se dividen en dos grupos: los amplificadores lineales, cuya salida es proporcional a la entrada y los no lineales donde el transistor actúa como *switch*, variando la tensión de base emisor ( $V_{BE}$ ), consiguiendo así que funcione en ciertos rangos de entrada. A su vez, los amplificadores lineales se dividen en diferentes clases (clase A, B, AB y C) en función del ángulo de conducción, que es el que define la linealidad y la eficiencia de estos.

Además, se ha explicado con detalle el funcionamiento de un amplificador Doherty convencional para entender el proceso de diseño a nivel de esquema que se explicará en el siguiente capítulo.



## **Capítulo 4.**

# **4. Diseño de un amplificador Doherty ideal**

Este capítulo comenzará con el diseño del amplificador Doherty que se ha introducido hasta ahora. Primero se especificarán los transistores de la tecnología y se configurarán correctamente. Posteriormente, se unirán a la estructura característica de un amplificador Doherty y se realizarán las simulaciones y cambios pertinentes para cumplir con los objetivos fijados.



## 4.1. Estudio y elección del transistor

Antes de comenzar el diseño a nivel de esquema, es importante hacer la elección adecuada de los transistores de los que se hará uso ya que será la base de todo el proyecto. En las librerías de IHP se podrán encontrar tres modelos de transistores, estos se muestran en la Figura 27.

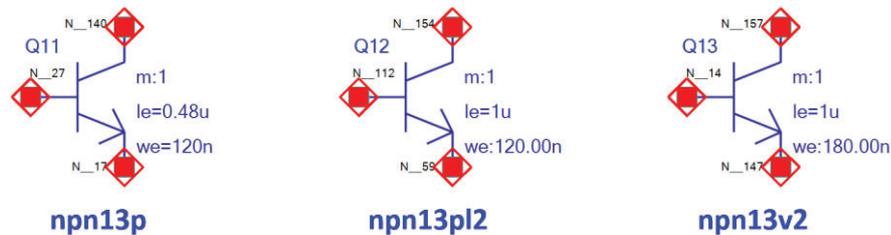


Figura 27. Modelos de transistor ofrecidos por IHP.

Las descripciones proporcionadas por IHP sobre cada uno de los modelos son las siguientes:

- **Npn13p:** Modelo HBT de altas prestaciones con una  $f_t$  de 250 GHz. Longitud máxima del emisor hasta 0,84u. Tensión colector-emisor máxima de 1,65 V.
- **Npn13pl2:** Modelo HBT de altas prestaciones con una  $f_t$  de 250 GHz. Longitud máxima del emisor hasta 2u. Tensión colector-emisor máxima de 1,9 V.
- **Npn13v2:** Modelo HBT diseñado para aguantar una mayor tensión de alimentación con una  $f_t$  de 45 GHz. Longitud máxima del emisor hasta 5u. Tensión colector-emisor máxima de 3,6 V.

Como en este proyecto se trabajará en gran señal y a una frecuencia de 27 GHz, se descarta el transistor npn13v2 por tener una  $f_t$  de tan solo 45 GHz. A pesar de ser un modelo de transistor que se puede alimentar con una mayor tensión que el resto de las opciones y, por tanto, proporcionar unas mejores prestaciones en

cuanto a potencia de salida se refiere, no es válido para este proyecto ya que para obtener unos buenos resultados, hay que trabajar alejados de la  $f_t$  del transistor. Este modelo podría ser ideal para un amplificador Doherty que opere entorno a la banda de 3 GHz. En cuanto a los dos modelos restantes, el modelo elegido es el npn13pl2 por ser un modelo que soporta una mayor tensión colector-emisor y por tener una longitud de emisor mayor, lo que se traducirá en una mayor potencia de salida respecto al modelo npn13p.

En este transistor, los principales parámetros que se podrán modificar y de los que se hará uso a lo largo del proyecto son:

- *X-Multiplier*: El número de *fingers* en la base.
- *Emitter Length*: Longitud de cada *finger* de base individual.
- *Multiplier*: El número de transistores en paralelo que se quiera añadir.

### 4.1.1. Obtención de las curvas del transistor

El primer paso a la hora de realizar cualquier diseño es conocer el transistor con el cual se va a trabajar. Para ello, se debe realizar un estudio de las curvas I-V del mismo. Dichas curvas nos permitirán decidir el punto de operación del transistor. Como se ha descrito en capítulos anteriores, idealmente el amplificador principal operará en clase AB y el amplificador auxiliar en clase C. Como se verá más adelante, es conveniente polarizarlo en clase C pero algo más cerca de la clase B para evitar que disminuya en exceso la ganancia en la segunda región de funcionamiento.

#### ***Amplificador principal***

El circuito para obtener las curvas del transistor se muestra en la Figura 28. El circuito se compone por una fuente de corriente denominada  $I_{BB}$  y por una fuente de tensión  $V_{CE}$  que alimenta el transistor. Para visualizar las curvas, se hace un barrido de la corriente de base y se coloca un amperímetro en el colector para

visualizar la corriente  $I_C$ . El número de *fingers* se ha fijado en 8 y la longitud del emisor en  $2\mu$  por haber proporcionado unas mejores prestaciones en potencia de salida y eficiencia para el amplificador principal.

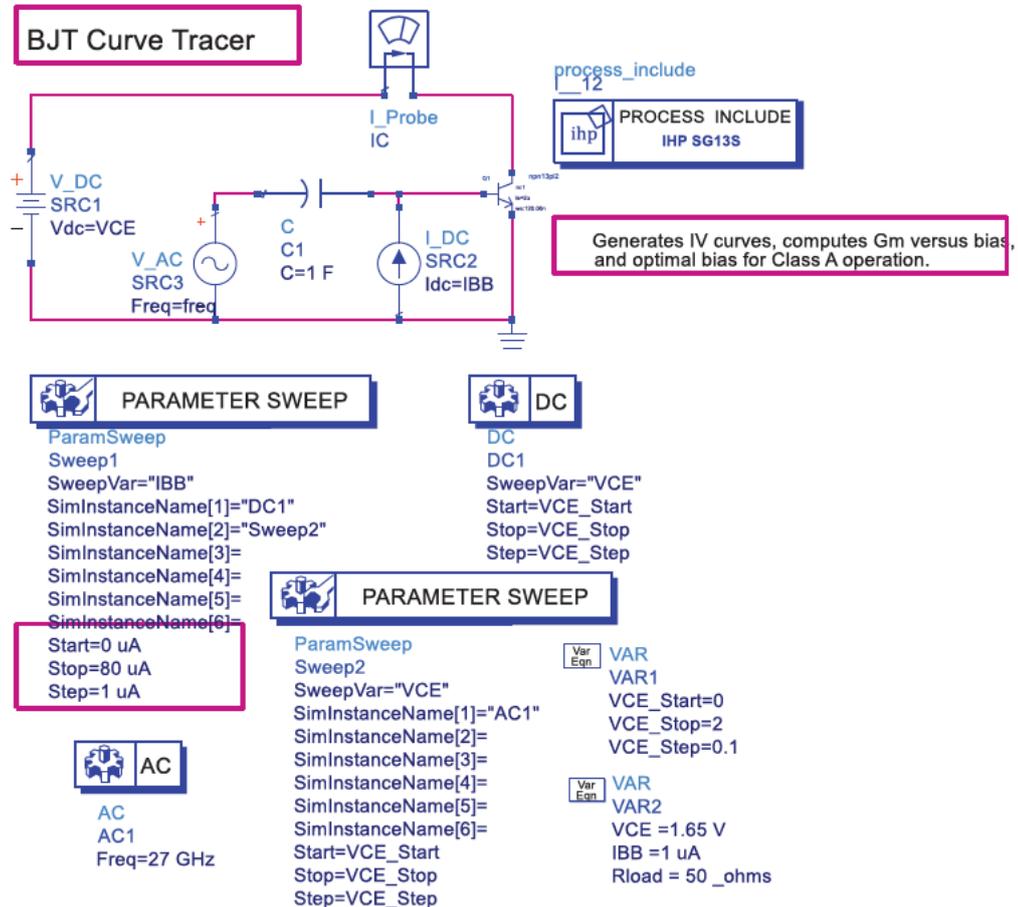


Figura 28. Esquema para simular las curvas I-V del transistor.

El resultado de esta simulación se puede ver en la Figura 29. En la parte izquierda se ha calculado la curva de transferencia del transistor y se puede observar que para una tensión en la base de 0,8 V, se produce una corriente en la base del transistor para operar en clase B, por encima de ese valor ya estaríamos operando en clase AB/A y por debajo de ese valor entraríamos en una clase C. En la parte derecha, obtenemos las curvas características del transistor, la línea trazada en color azul nos indica el punto de polarización para obtener una clase A y la línea trazada en color marrón es el punto de polarización elegido para una clase AB.

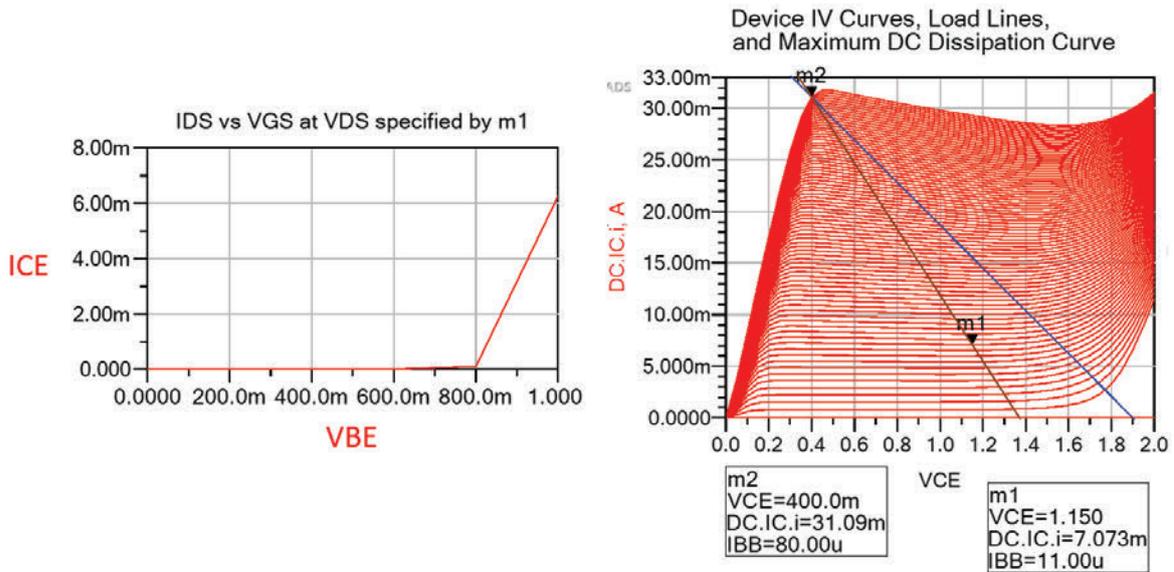


Figura 29. Polarización y curvas I-V del transistor para clase AB.

Para corroborar que las dos gráficas calculadas sean correctas, se puede observar que para el punto de polarización en clase AB, el marcador m1 nos indica que la corriente de base  $I_{BB}$  tiene que ser de 11  $\mu\text{A}$  y para conseguir esto, es necesario aplicar una tensión de base de 0,848 V (región por encima de los 0,8 V que corresponde con la clase B), por lo que efectivamente, la curva de transferencia se ha calculado correctamente y se podrá utilizar para polarizar el transistor auxiliar de forma más rápida y exacta.

### ***Amplificador auxiliar***

Para polarizar el amplificador auxiliar, se usará el mismo circuito de la Figura 28, la longitud del emisor se reducirá a  $1\mu$  y se colocarán más transistores en paralelo respecto al amplificador principal para obtener una potencia de salida superior. Observando la Figura 30, se ha establecido la tensión VCE en 1,5 V con el fin de obtener más potencia en este amplificador y sea capaz de apoyar al amplificador principal en las regiones de alta potencia. La tensión necesaria en la base para que se genere una corriente que haga al amplificador operar en clase C tiene que ser menor que 0,8 V por lo que para este amplificador se ha seleccionado una tensión de base de 0,75 V. Se podría haber bajado aún más la tensión de base para intentar reducir el consumo del amplificador auxiliar y hacerlo algo más eficiente, no obstante, cuanto más se baje la tensión, peor será la ganancia en gran

señal que obtendremos en el amplificador Doherty y, por este motivo, se ha polarizado en clase C aunque bastante cerca de una clase B.

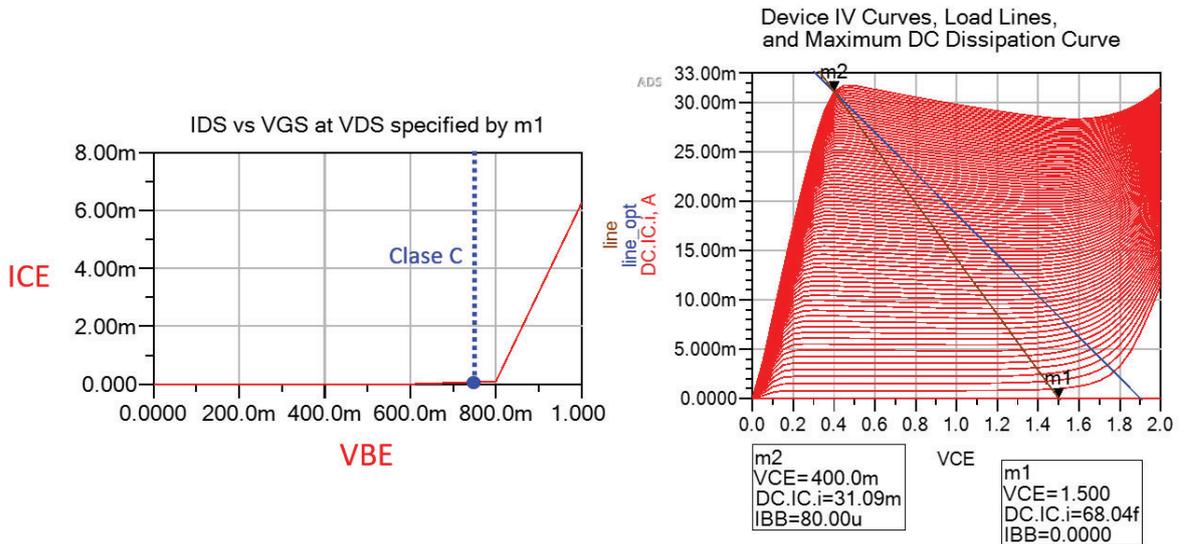


Figura 30. Polarización y curvas características del transistor para clase C.

## 4.2. Análisis de la estabilidad del transistor

Como se ha descrito en el capítulo de conceptos teóricos, la estabilidad es un factor fundamental en los amplificadores. Si es inestable, el circuito puede no funcionar o incluso dañarse. Por tanto, es necesario realizar un análisis de estabilidad del transistor y en caso de que sea necesario introducir una red de estabilización. Para ello se debe realizar un análisis de parámetros S del transistor de la forma que se ve en la Figura 31. En esta figura se muestra un amplificador cascado en lugar de un amplificador de un solo transistor. Esto se debe a que con un solo transistor no se alcanzan buenos niveles de ganancia y tampoco se puede cumplir con el objetivo principal de llegar a más de 20 dBm de potencia de salida.

### ***Amplificador principal***

En los extremos del colector y de la base se conectan unos terminales, **term1** y **term2**, que son necesarios para el cálculo de los parámetros S. La función de

estos terminales es la de absorber las ondas reflejadas de la entrada y la salida para poder calcular los parámetros  $S_{11}$ ,  $S_{12}$ ,  $S_{21}$  y  $S_{22}$ .

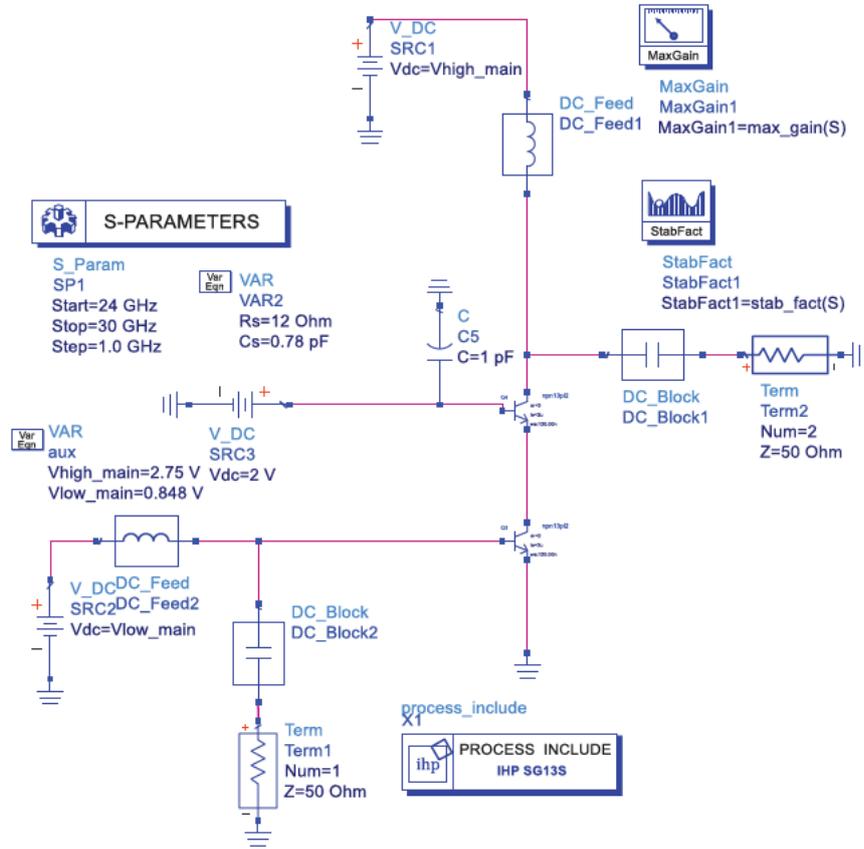


Figura 31. Esquema para el estudio de parámetros S y de estabilidad.

El análisis se realizará de 24 a 30 GHz para asegurar la estabilidad en la frecuencia de trabajo de 27 GHz. Por otra parte, se han incluido condensadores de bloqueo de continua (DC\_Block) y las bobinas de *choke* (DC\_Feed). Una vez se ha dispuesto el esquema, los resultados obtenidos se muestran en la Figura 32.

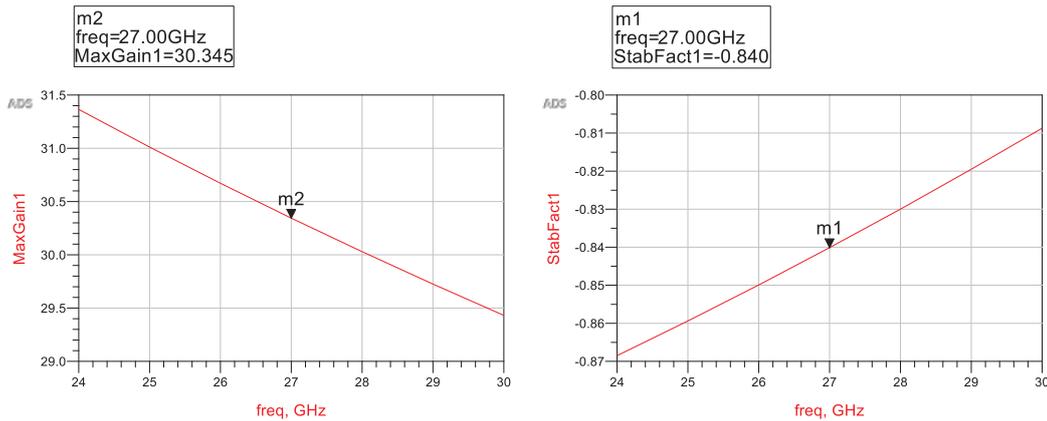


Figura 32. Simulación de la estabilidad del transistor.

Tal y como se puede comprobar en parte derecha de la Figura 32, el factor  $K$  ( $K_{Rollet}$ ) es  $<1$  para la frecuencia deseada y por lo tanto el cascodo no sería estable dentro del amplificador Doherty. Debido a este problema se debe incluir una etapa de estabilización que aumente el factor  $K$ . Existen varias opciones tal como se ve en la Figura 33. En este caso se va a incluir una red RC paralela conectada en serie a la puerta del emisor común de la forma que se ve en la Figura 34. Esta red se encargará de reducir la ganancia del circuito de tal forma que se logre la estabilidad del mismo.

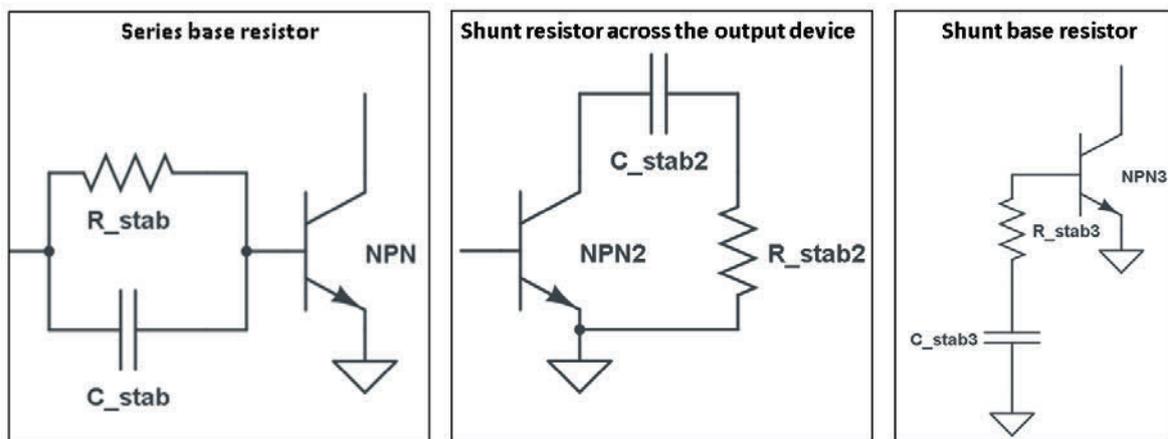


Figura 33. Topologías para redes de estabilización.

Con el fin de encontrar un valor óptimo de la red RC para minimizar la influencia en la ganancia del transistor se hace un barrido de los componentes. Los valores óptimos corresponden con  $R=12 \Omega$  y  $C=0,78 \text{ pF}$ . En la Figura 34 y Figura

35 se visualiza el esquema para realizar el estudio de la estabilidad con la red RC junto con la gráfica de la estabilidad.

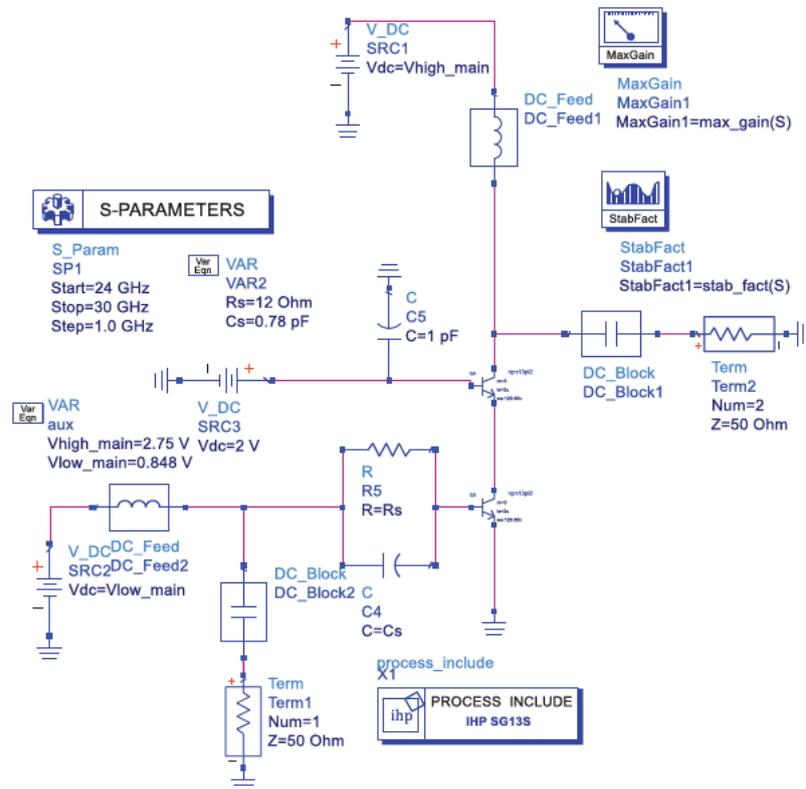


Figura 34. Esquema del cascode con la red de estabilización incorporada.

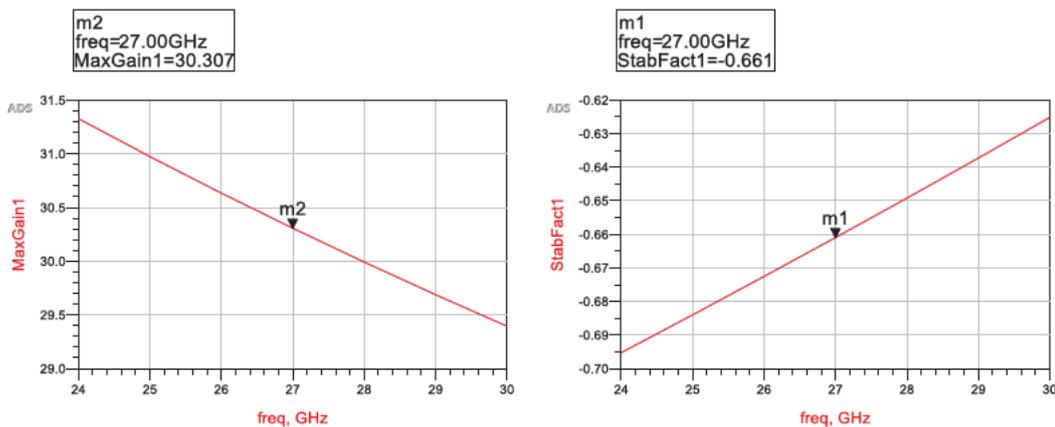


Figura 35. Simulación de la estabilidad con la red RC.

Como se puede apreciar en la Figura 35, la estabilidad aun no supera la unidad, esto es debido principalmente a la gran ganancia que se está obteniendo con el cascode (30,3 dB). Estos problemas de estabilidad son comunes en este tipo de configuraciones de cascode en los que no es suficiente con esta red de

estabilización. Para solventar esto, se puede introducir una resistencia en la entrada del base común con el fin de reducir la ganancia del cascode sin afectar prácticamente al consumo [37]. La resistencia necesaria para hacer el cascode estable es de  $25 \Omega$  y los resultados de la ganancia y estabilidad se pueden ver en la Figura 36. Se puede observar que la ganancia ha disminuido de 30,3 dB a 21,44 dB y que el factor K ya se encuentra por encima de la unidad en 27 GHz. El amplificador principal quedaría tal y como se muestra en la Figura 37 con la nueva resistencia añadida a la entrada del base común.

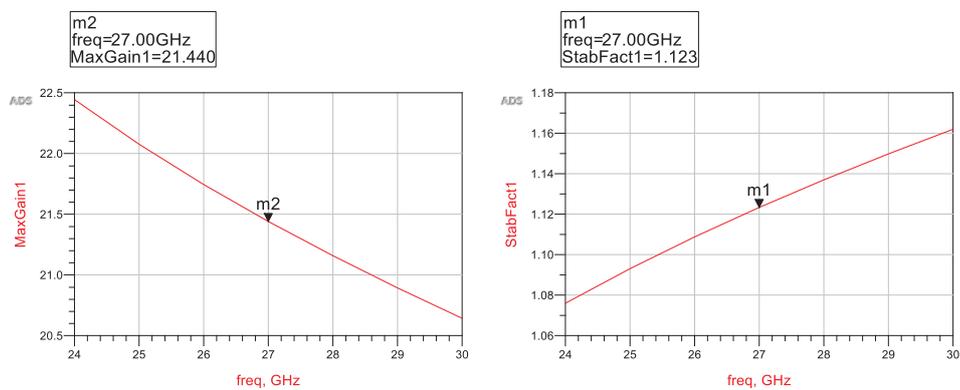


Figura 36. Simulación de la estabilidad con la red RC y la resistencia en la entrada del puerta común.

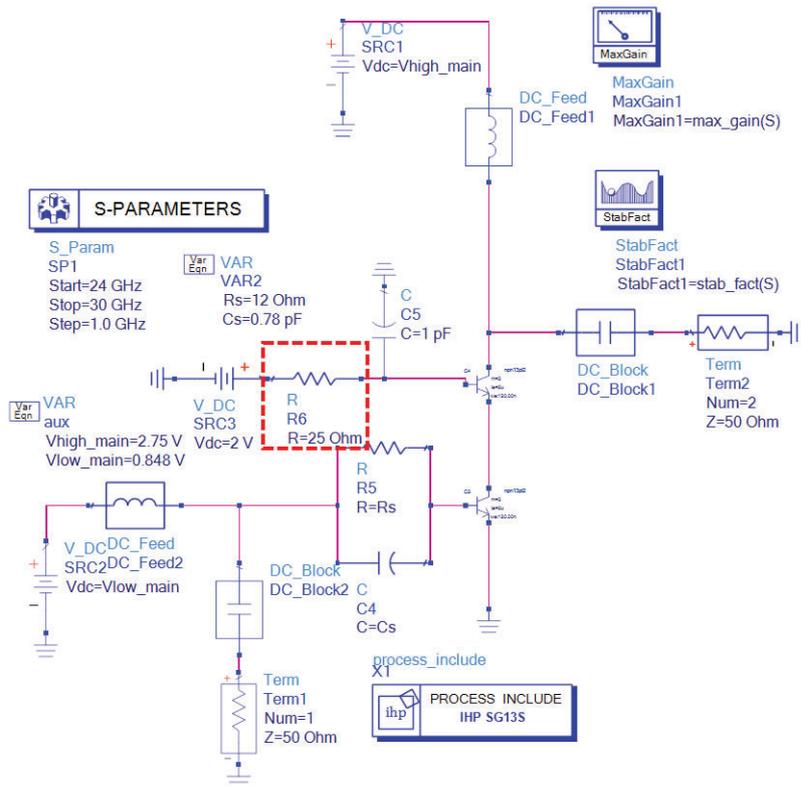


Figura 37. Amplificador principal con la red de estabilidad RC y la nueva resistencia de base.

### ***Amplificador auxiliar***

Siguiendo los mismos pasos que el caso anterior, se configura el cascodo con los parámetros para obtener un clase C y se simulan los parámetros S para obtener el factor K. En este caso se ha añadido también la resistencia en la entrada del base común, así como la red de estabilización RC en la puerta del emisor común. Se puede ver en la Figura 38 que este tipo de amplificadores en clase C no tienen ganancia en pequeña señal, pero como se ha explicado en el apartado teórico, la ganancia en pequeña señal vendrá impuesta por el amplificador principal.

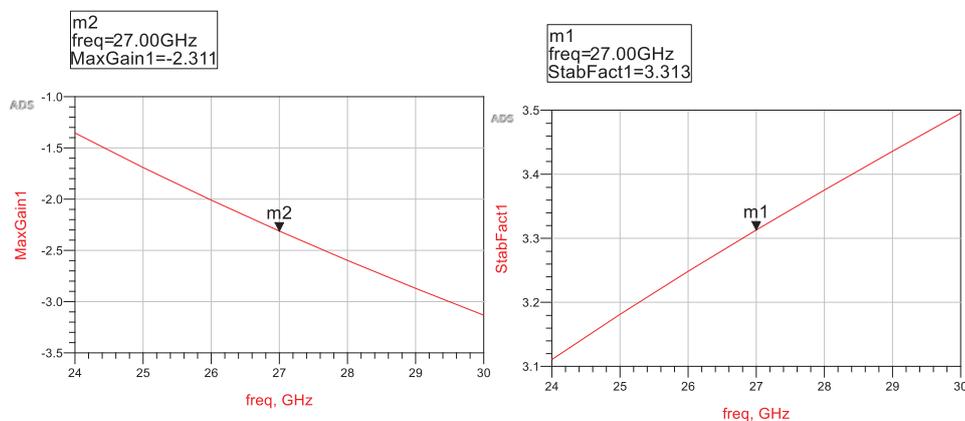


Figura 38. Simulación de la estabilidad del amplificador auxiliar.

### ***4.3. Load-pull y source pull***

En este tipo de amplificadores de alta frecuencia de operación, la longitud de la onda es mucho menor que las dimensiones físicas del circuito, por lo que se producen fenómenos de reflexión e incidencia de la onda. Para solventar este fenómeno, es de vital importancia adaptar las impedancias entre la entrada, el amplificador de potencia y la salida para que se consiga transferir la mayor cantidad de potencia posible. Por lo general, las impedancias que se tienen en la fuente y en la salida del circuito son conocidas, pero no son conocidas las impedancias que tiene el transistor. Para conocer las impedancias que necesita el transistor para proporcionar la máxima potencia se suele utilizar el método llamado *load-pull* y *source-pull* [4] [28].

La técnica de *load-pull* consiste en ir variando el valor de la impedancia de carga que se conecta a la salida del transistor a medida que se va calculando la potencia de salida que tiene. En cada variación de la impedancia de carga, se reajusta la de entrada para maximizar la ganancia. Los resultados serán una serie de curvas, como se verá más adelante, que indican la potencia transmitida, frente a la óptima, que estará en el centro de dichas curvas [38]. Este proceso es interesante principalmente para evitar pérdidas y optimizar al máximo las prestaciones del circuito.

De manera similar, la técnica de *source-pull* consiste en encontrar la impedancia óptima que tiene que haber en la entrada del transistor para que se produzca la máxima transferencia de potencia.

### ***Amplificador principal***

El setup de simulación para realizar el *load-pull* y el *source-pull* se muestra en la Figura 39 y Figura 40. Los resultados de estas simulaciones se pueden observar en la Figura 41 con una carta de Smith donde se visualizan las curvas que se mencionaban anteriormente. Las curvas en color azul se corresponden a la máxima PAE y las curvas en rojo a la máxima potencia. Estas curvas están en función de la impedancia de adaptación y generalmente, la impedancia que necesita ver a su salida/entrada un transistor no coincide cuando se quiere adaptar a máxima potencia o a máxima PAE, es por este motivo que es necesario establecer un compromiso entre ambas.

Una vez realizadas las simulaciones, se obtiene que las impedancias óptimas a las que debe estar adaptado el cascode para máxima PAE son las siguientes:

- Impedancia a la entrada:  $5+j*11,6$
- Impedancia a la salida:  $22+j*16,5$

# Diseño de un amplificador Doherty ideal

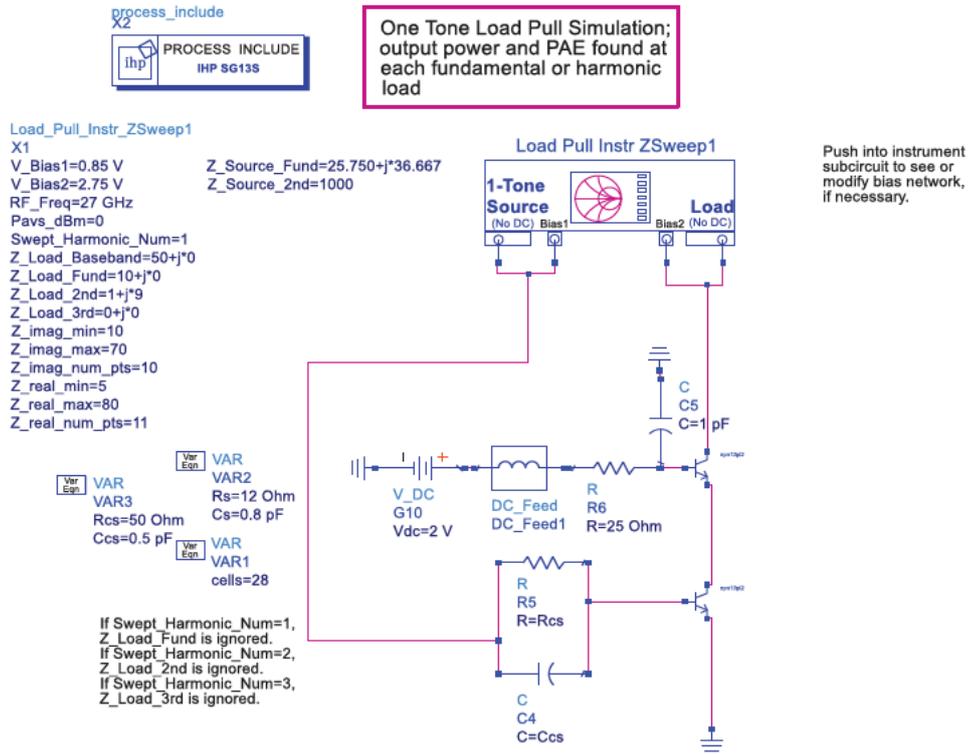


Figura 39. Esquema para la simulación de *Load-Pull*.

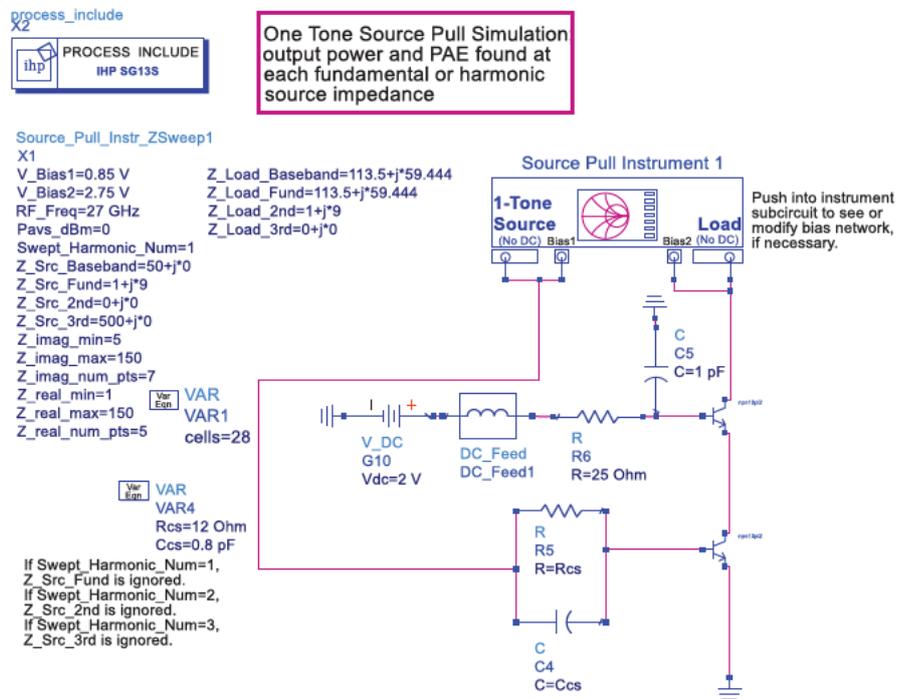


Figura 40. Esquema para la simulación de *Source-Pull*.

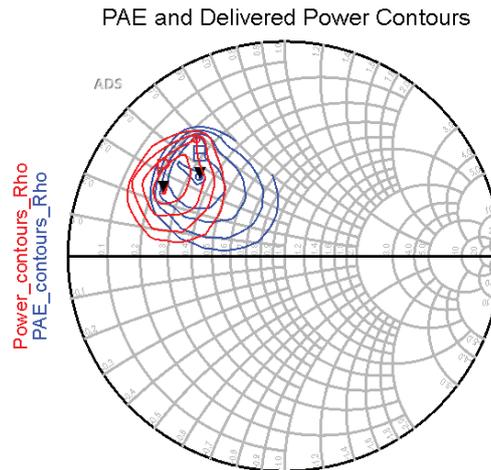


Figura 41. Carta de Smith, PAE (azul) y potencia (rojo) del amplificador principal.

### ***Amplificador auxiliar***

El procedimiento para calcular las impedancias óptimas para la máxima transferencia de potencia en el amplificador auxiliar es exactamente igual que el usado para el amplificador principal. Para ello se utilizan los mismos *setups* que en la Figura 39 y Figura 40 y tan sólo se modifican las tensiones de alimentación y las dimensiones de los transistores. En este caso, el amplificador auxiliar se ha diseñado para obtener la máxima potencia posible y las impedancias que cumplen con este requisito son:

- Impedancia a la entrada:  $5,45 + j \cdot 12,65$
- Impedancia a la salida:  $9,4 + j \cdot 16,2$

## **4.4. Adaptación de impedancias**

Una vez obtenidas las impedancias óptimas para la máxima transferencia de potencia en los dos amplificadores, es momento de diseñar las redes de adaptación que irán tanto en la entrada como en la salida de los amplificadores. Existen diversas formas de diseñar las redes de adaptación, incluso herramientas que ofrece el propio software de ADS, no obstante, se ha decidido utilizar una herramienta online que te permite calcular redes LC (compuesta por una bobina y

un condensador) para adaptar impedancias. Se ha utilizado esta herramienta por ser más sencilla su uso respecto a la herramienta que proporciona ADS [39].

Para adaptar la salida de los amplificadores se emplea el conjugado de las impedancias que se obtuvieron anteriormente, de esta forma, se asegura la máxima transferencia de potencia.

### ***Amplificador principal***

Teniendo en cuenta las impedancias óptimas calculadas y utilizando la herramienta online, se fija la impedancia de la fuente a la que está conectada la base del transistor (*Source Resistance*) que en este caso será de  $50 \Omega$ , y en *Load Resistance* colocamos el conjugado de la impedancia de entrada que necesita ver el transistor para que se establezca la máxima transferencia de potencia (ver Figura 42). De esta forma, estaremos adaptando la línea donde estará conectado el amplificador principal ( $50 \Omega$ ) a la impedancia óptima que necesita tener el transistor a la entrada.

## **Impedance Matching Network Designer**

(Now with 16 networks!)

Source Resistance:	<input type="text" value="50"/>	Source Reactance:	<input type="text" value="0"/>
Load Resistance:	<input type="text" value="5"/>	Load Reactance:	<input type="text" value="-11.6"/>
Desired Q:	<input type="text" value="3"/>	Frequency:	<input type="text" value="27e9"/>

Figura 42. Cálculo de la red LC para la adaptación de entrada del amplificador principal.

Una vez introducidos los datos, la herramienta nos da la posibilidad de elegir varias configuraciones posibles. En este caso se ha decidido por la estructura LC mostrada en la Figura 43 por tener una bobina con menor inductancia y así reducir las dimensiones de la red de adaptación.

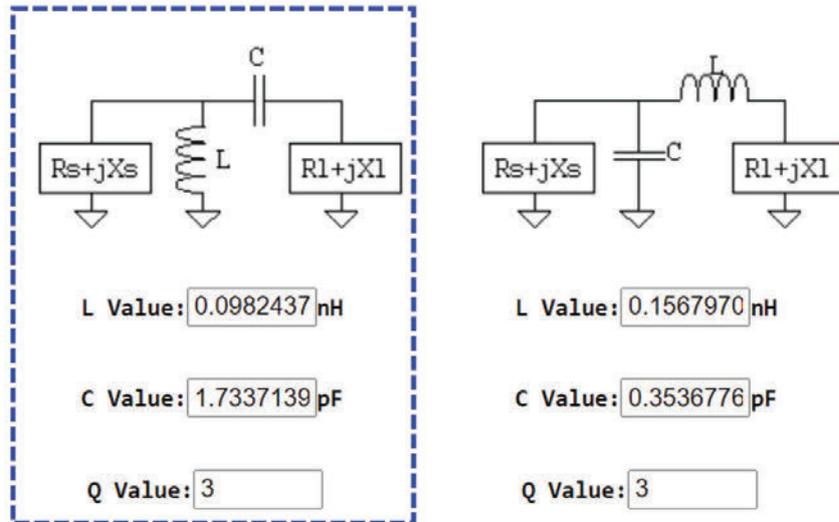


Figura 43. Red de adaptación a la entrada del amplificador principal.

Para adaptar la salida, se realiza el mismo procedimiento, aunque ahora se adapta la impedancia óptima del transistor hacia la carga que en este caso es de  $100 \Omega$  para que el amplificador sature mucho antes como ya se comentó en el apartado teórico. En la Figura 44 y Figura 45 se puede ver la configuración de los parámetros y la red elegida.

## Impedance Matching Network Designer

(Now with 16 networks!)

Source Resistance:  Source Reactance:

Load Resistance:  Load Reactance:

Desired Q:  Frequency:

Figura 44. Cálculo de la red LC para la adaptación de salida del amplificador principal.

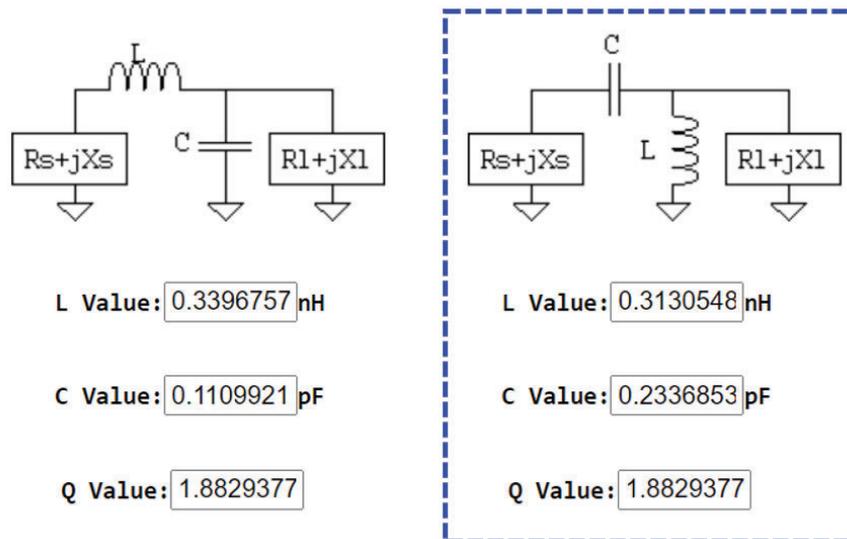


Figura 45. Red de adaptación a la salida del amplificador principal.

### ***Amplificador auxiliar***

Los pasos a seguir para el amplificador auxiliar son exactamente los mismos que en el amplificador principal, aunque tanto la entrada como la salida se adaptan a 50 Ω. Las redes calculadas se muestran en la Figura 46.

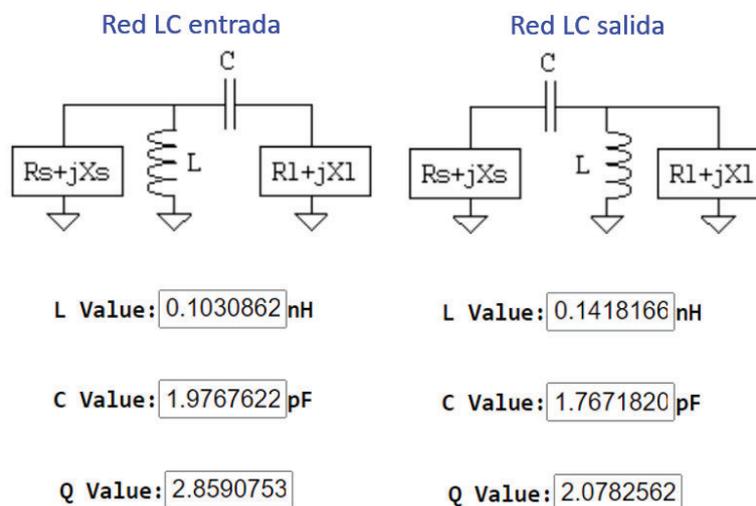


Figura 46. Red LC entrada/salida para el amplificador auxiliar.

## 4.5. Simulación de los amplificadores

Antes de unir los dos amplificadores diseñados con sus redes de adaptación para formar el amplificador Doherty, es necesario comprobar que las prestaciones proporcionadas por estos cumplen los requisitos deseados en cuanto a potencia de salida y PAE.

### Amplificador principal

Para realizar un análisis de las prestaciones del amplificador principal, se diseña el circuito de la Figura 47. Además, se marcan en color verde las redes de adaptación calculadas anteriormente para visualizar donde se colocan dentro del amplificador.

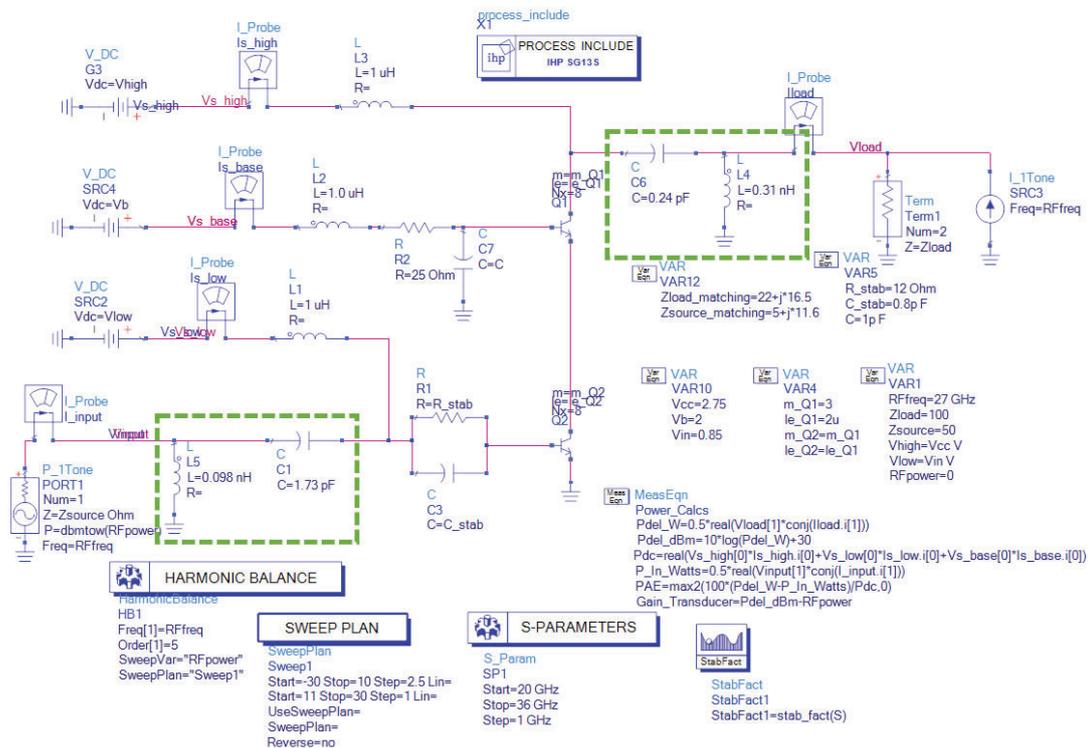


Figura 47. Esquema empleado para obtener las prestaciones del amplificador principal.

Para visualizar las gráficas que corresponden con la potencia de salida, PAE y ganancia se utilizan las fórmulas mostradas en la Figura 48. Una vez hecha la simulación, la máxima PAE que alcanza el amplificador es de 44,879 % con una

potencia de salida de 19,4 dBm y una ganancia en pequeña señal de 18,65 dB como se puede ver en la Figura 49. Analizando estos resultados, se puede dar por válida la polarización del amplificador, así como las redes de adaptación calculadas.

```

MeasEqn
Power_Calcs
Pdel_W=0.5*real(Vload[1]*conj(Iload.i[1]))
Pdel_dBm=10*log(Pdel_W)+30
Pdc=real(Vs_high[0]*Is_high.i[0]+Vs_low[0]*Is_low.i[0]+Vs_base[0]*Is_base.i[0])
P_In_Watts=0.5*real(Vinput[1]*conj(I_input.i[1]))
PAE=max2(100*(Pdel_W-P_In_Watts)/Pdc,0)
Gain_Transducer=Pdel_dBm-RFpower
    
```

Figura 48. Ecuaciones utilizadas para el cálculo de las prestaciones del amplificador.

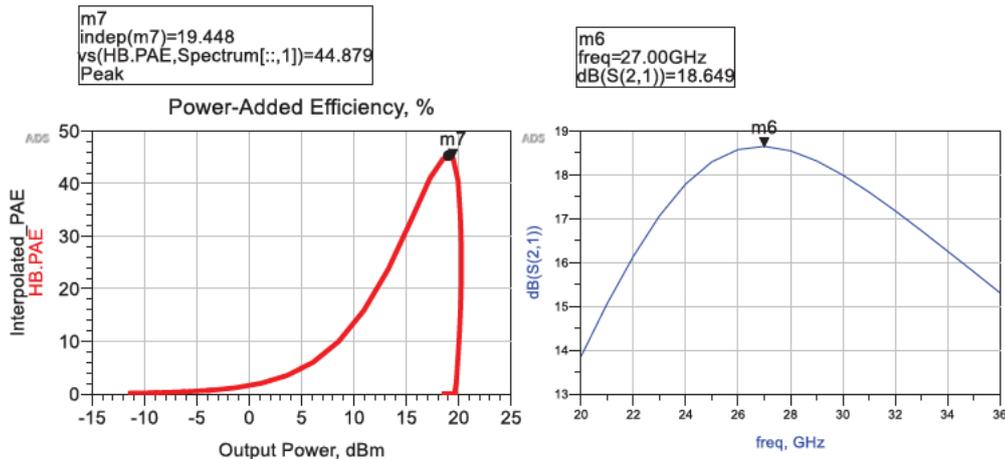


Figura 49. PAE, potencia de salida y ganancia del amplificador principal.

### **Amplificador auxiliar**

Para calcular las prestaciones del amplificador auxiliar, se emplea la misma estructura mostrada en la Figura 47. Siguiendo los mismos pasos descritos anteriormente, se muestran los resultados del amplificador auxiliar en la Figura 50, con una máxima PAE de 50,55 % y una potencia de salida de 21,37 dBm. La ganancia en pequeña señal no es relevante ya que la ganancia del Doherty será la ganancia que tenga el amplificador principal. Los resultados obtenidos por el amplificador principal son satisfactorios al tener una mayor eficiencia y mayor potencia de salida que el amplificador principal.

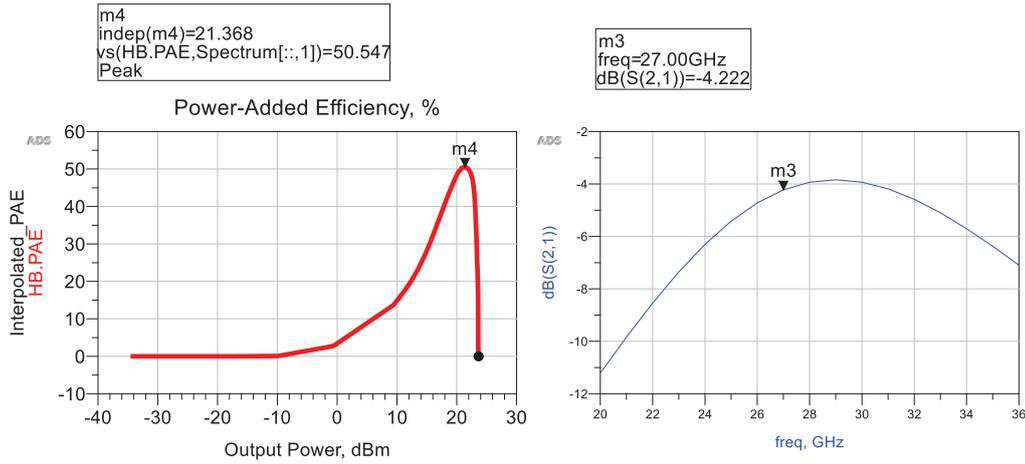


Figura 50. PAE, potencia de salida y ganancia del amplificador auxiliar.

## 4.6. Amplificador Doherty ideal

Una vez obtenidas las prestaciones de los dos amplificadores y dados por satisfactorios los resultados, se conectarán los amplificadores con sus redes de adaptación y de estabilidad, tal y como se muestra en la Figura 17. No obstante, hay que configurar correctamente una serie de elementos para que el amplificador Doherty funcione correctamente.

Para dividir la señal de entrada entre ambos amplificadores se hace uso de un divisor de potencia (ver Figura 51). Este componente es propio de la librería de ADS, recibe la señal de entrada de la fuente y realiza una división de potencia de forma equitativa por sus salidas si no se modifican sus valores por defecto.

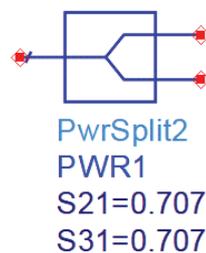


Figura 51. Divisor de potencia.

Para diseñar un Doherty asimétrico, es necesario diseñar un divisor de potencia asimétrico para controlar la cantidad de potencia que se transfiere a los

amplificadores y asegurar que se realiza la activación del amplificador auxiliar de forma correcta además de garantizar un buen nivel de *back-off* [40].

Para abordar esto, se puede diseñar un divisor de potencia Wilkinson asimétrico. Este tipo de divisores de potencia se utiliza constantemente en sistemas de comunicaciones 5G para distribuir/combinar potencia. Una de sus características más relevantes, es que ofrece adaptación entrada/salida y un alto aislamiento entre sus distintos puertos [41]. La arquitectura tradicional de un divisor de potencia Wilkinson asimétrico se puede ver en la Figura 52 y se compone de líneas de transmisión  $\lambda/4$  [42].

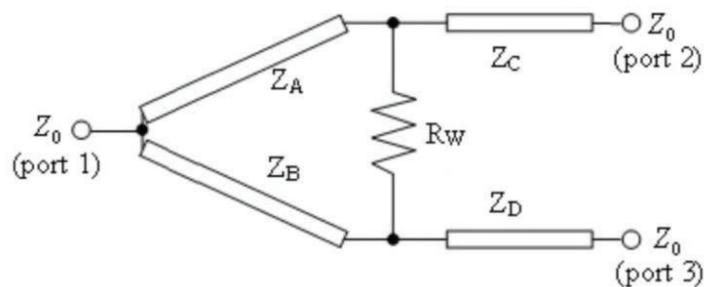


Figura 52. Estructura clásica de un divisor de potencia Wilkinson asimétrico.

Para que se produzca correctamente la modulación de carga y los dos amplificadores trabajen conjuntamente en este proyecto, es necesario aplicar un *ratio* de potencia de 0,818 entre el puerto que se conecta al amplificador principal y al auxiliar. Para calcular el *ratio*, se utiliza el componente ideal de la Figura 51 y se hacen una serie de iteraciones hasta encontrar el valor exacto que produce el efecto Doherty en la gráfica de la PAE. Además, la línea de transmisión a la entrada del amplificador auxiliar ha sido ajustada respecto al valor teórico pasando de  $50 \Omega$  y  $90^\circ$  a  $50 \Omega$  y  $70^\circ$  con el fin de ajustar el desfase que realiza cada uno de los amplificadores a la señal y que se produzca correctamente la modulación de carga.

El esquema diseñado en ADS del amplificador Doherty ideal se puede ver en la Figura 53, donde se pueden distinguir los distintos elementos que caracterizan a un amplificador Doherty. El divisor de potencia asimétrico en la entrada, la línea de transmisión en la entrada del auxiliar y las líneas de transmisión a la salida del principal para realizar la modulación de carga. En la parte superior se encuentran

las alimentaciones de cada uno de los amplificadores y el circuito está conectado a una carga de  $50 \Omega$ . Los resultados de PAE, potencia de salida y ganancia (pequeña señal y gran señal) se muestran en la Figura 54. Se tiene una potencia de saturación de 26 dBm, una PAE estable dentro de las dos regiones de funcionamiento por encima del 34% y una ganancia en pequeña señal de 16,7 dB.

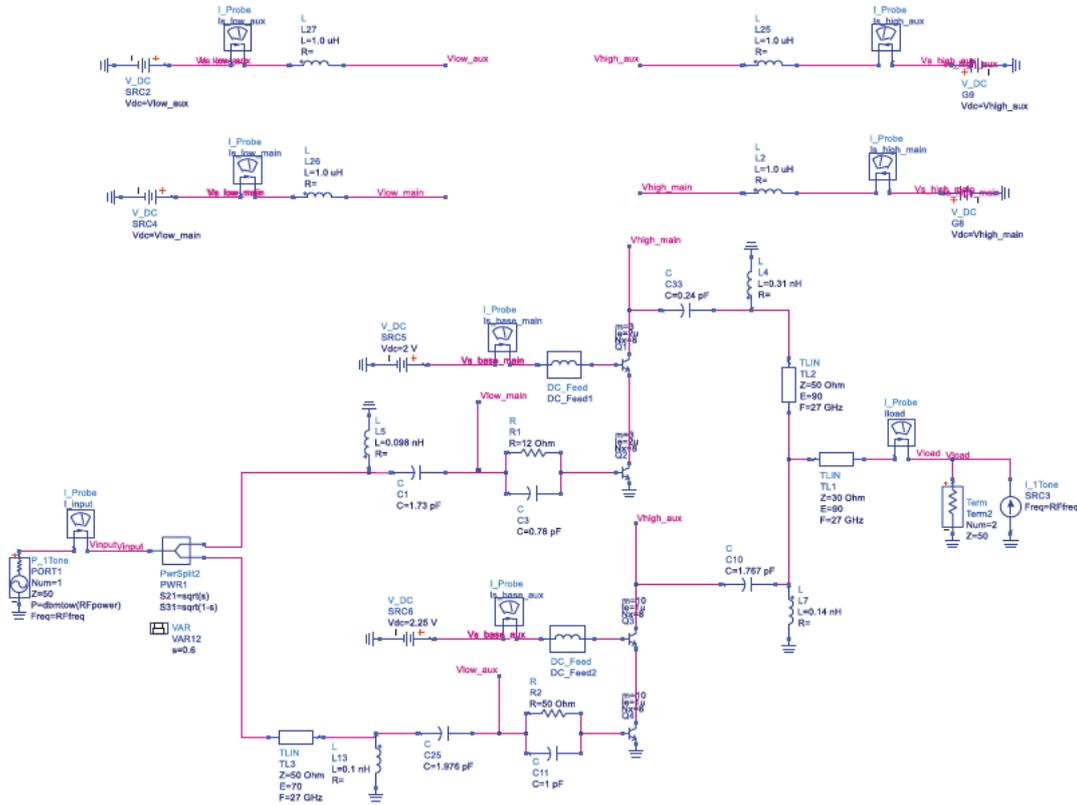


Figura 53. Amplificador *Doherty* con componentes ideales.

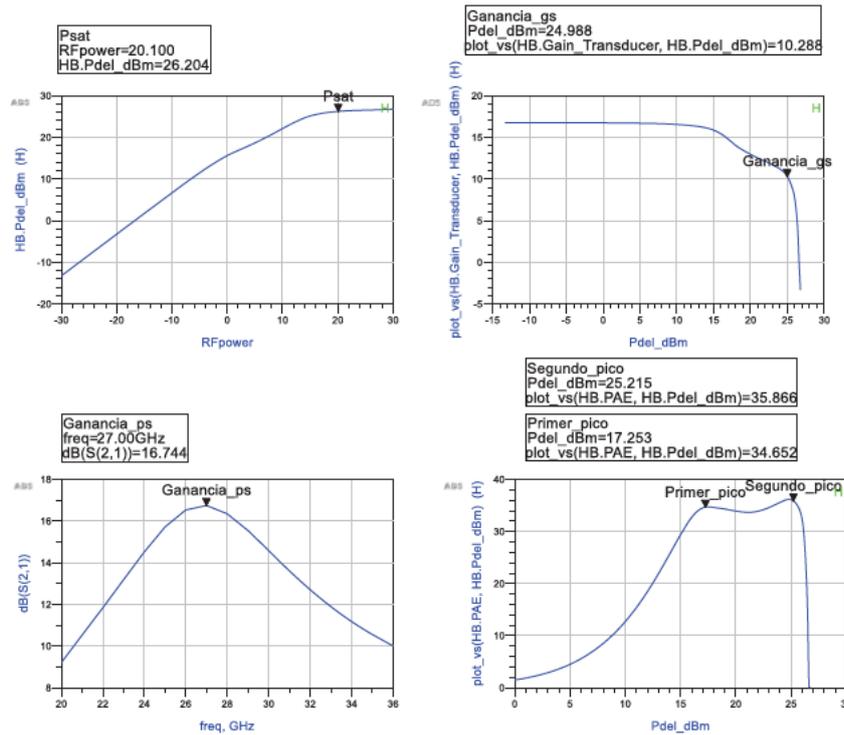


Figura 54. Resultados de simulación del Doherty ideal.

Una vez diseñado el amplificador Doherty ideal, se diseña el divisor de potencia Wilkinson asimétrico con líneas de transmisión tal y como se propone en [43]. Las ecuaciones empleadas para obtener el valor de las impedancias características del Wilkinson asimétrico visto en la Figura 52 con un *ratio* de 0,818 son:

$$Z_B = \frac{Z_A}{Ratio} = \frac{64 \Omega}{0,818} = 78,23 \Omega \quad (5.1)$$

$$Z_C = \frac{Z_A}{\sqrt{1 + Ratio}} = \frac{64 \Omega}{\sqrt{1 + 0,818}} = 47,46 \Omega \quad (5.2)$$

$$Z_D = \frac{Z_C}{\sqrt{Ratio}} = \frac{47,46 \Omega}{\sqrt{0,818}} = 52,47 \Omega \quad (5.3)$$

$$R_W = \frac{Z_C^2}{Z_0} + \frac{Z_D^2}{Z_0} = \frac{(47,46 \Omega)^2}{50 \Omega} + \frac{(52,47 \Omega)^2}{50 \Omega} = 100,5 \Omega \quad (5.4)$$

En la Figura 55 se muestra el divisor Wilkinson diseñado y, en la Figura 56, la PAE del Doherty usando el divisor de potencia ideal que trae la librería de ADS

(línea roja) junto con la PAE que se obtiene al sustituir el divisor por el Wilkinson diseñado (línea azul). Se puede ver claramente que el comportamiento del Wilkinson diseñado no afecta a las prestaciones obtenidas con el divisor ideal de la librería de ADS.

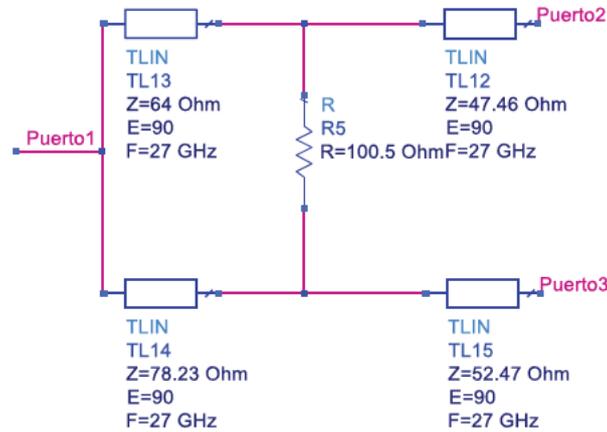


Figura 55. Wilkinson asimétrico con líneas de transmisión.

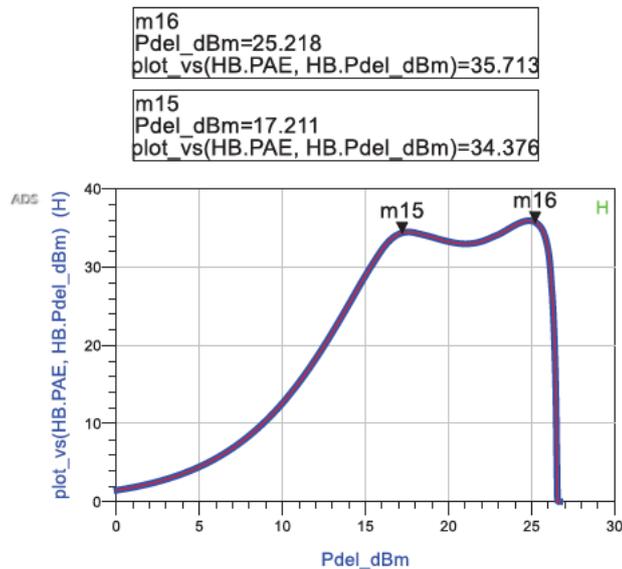


Figura 56. PAE obtenida con el divisor de ADS (roja) vs Wilkinson (azul).

Con el Wilkinson diseñado surge el primer inconveniente de esta configuración con líneas de transmisión. A la frecuencia de 27 GHz, la longitud de onda está en el orden de 11 mm por lo que no sería viable su implementación con líneas  $\lambda/4$ . Para poder implementarlo, es necesario sustituir las líneas de transmisión por su equivalente discreto en forma de redes compuestas por

condensadores y bobinas [41]. Los dos tipos de redes que se pueden usar son las redes en  $\pi$  y en T como se puede ver en la Figura 57.

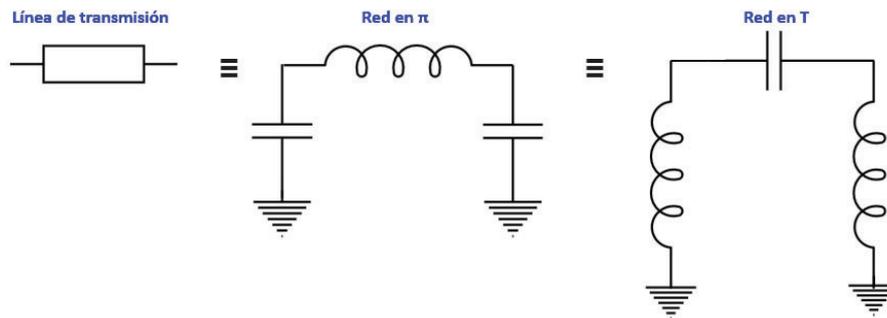


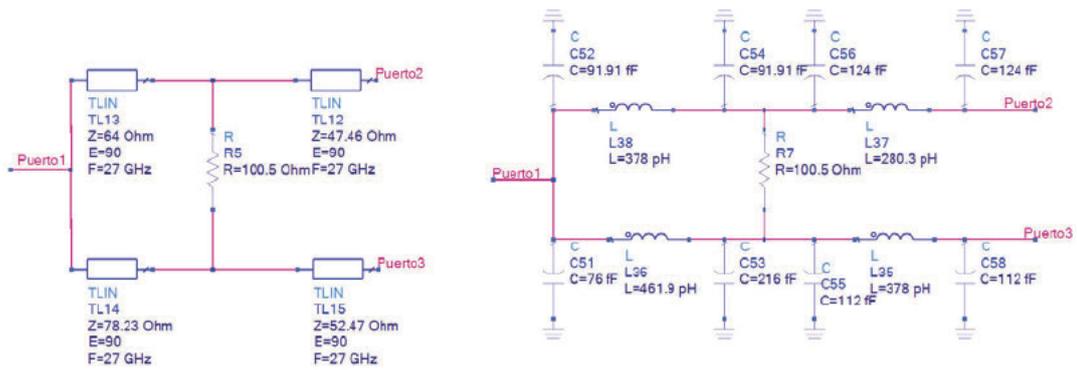
Figura 57. Equivalente de línea de transmisión en red  $\pi$  y red T.

Las redes en  $\pi$  y en T se pueden hacer utilizando la Ecuación 5.5 y la Ecuación 5.6, donde  $Z_T$  es la impedancia característica de la línea de transmisión que es igual a  $\sqrt{N}Z_o$  y  $Z_o$  es la impedancia de entrada/salida de los puertos que en este caso estarán a  $50 \Omega$  para que haya buena adaptación con los amplificadores.

$$L_o = \frac{Z_T}{\omega_o} = \frac{\sqrt{N}Z_o}{\omega_o} \quad (5.5)$$

$$C_o = \frac{1}{\omega_o Z_T} = \frac{1}{\omega_o \sqrt{N}Z_o} \quad (5.6)$$

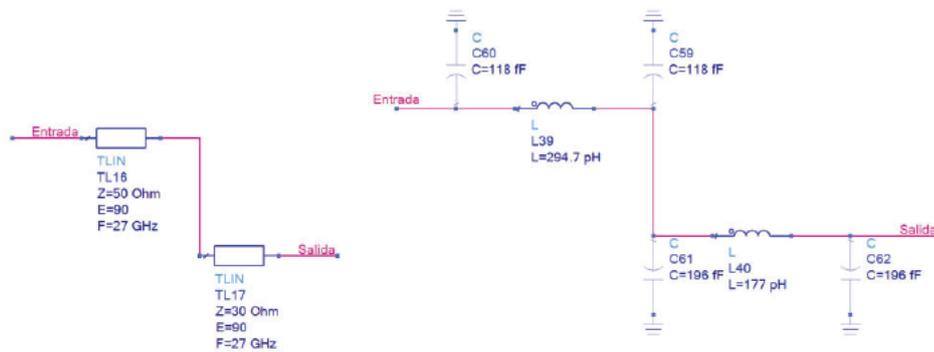
Con las ecuaciones 5.5 y 5.6, se procede a sustituir las líneas de transmisión del divisor y de la modulación de carga por redes en  $\pi$  ya que las redes en T cuentan con 2 bobinas y harían el diseño más grande. En la Figura 58 y Figura 59 se muestra el resultado de hacer este cambio y, en la Figura 60, la simulación de la PAE con líneas de transmisión (roja) y con redes LC (azul).



Wilkinson con Tlines

Wilkinson con redes en pi

Figura 58. Wilkinson con Tlines y con redes en  $\pi$ .



Modulación de carga con Tlines

Modulación de carga con redes en pi

Figura 59. Modulación de carga con Tlines y con redes en  $\pi$ .

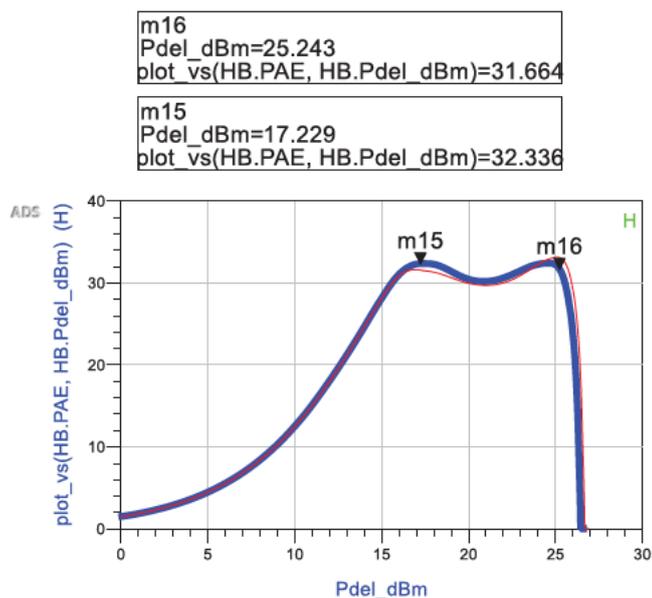


Figura 60. PAE con Tlines (roja) vs con redes en pi (azul).

En la Figura 61 se muestra el amplificador Doherty completo con los nuevos cambios realizados. Una vez se tiene el diseño con bobinas y condensadores es conveniente realizar simplificaciones para disminuir el número de componentes y ocupar menos área en la fase de *layout*. Por ejemplo, en el divisor de potencia tenemos varios condensadores en paralelo que se pueden sumar para que sólo haga falta poner un solo condensador en vez de dos. Este cambio no afecta demasiado en el área total, no obstante, quitar el mayor número de bobinas posible sí que afecta drásticamente a las dimensiones finales del Doherty como se verá más adelante.

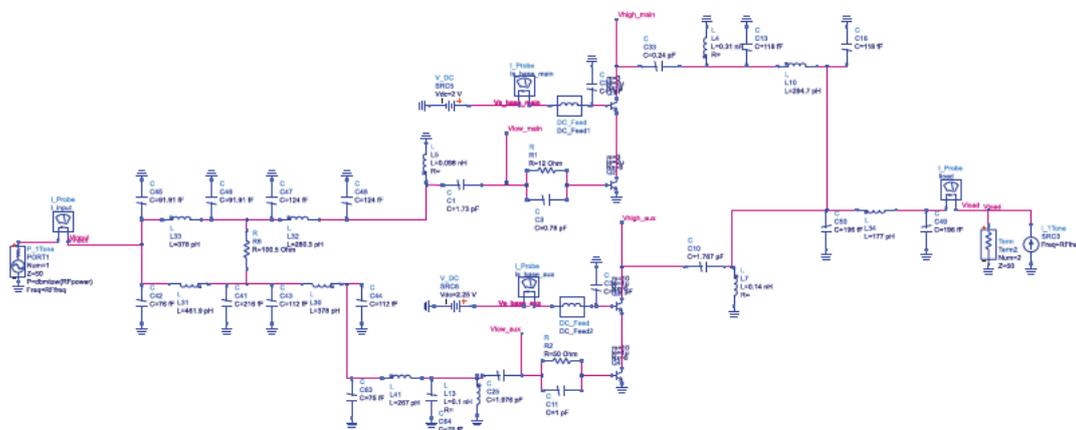


Figura 61. Doherty ideal con redes pi.

Para poder simplificar el mayor número posible de bobinas y condensadores hay que tener en cuenta una propiedad fundamental, cuando una bobina y un condensador se encuentran en paralelo, el circuito equivalente a una determinada frecuencia es un condensador o una bobina [44]. Teniendo esto en cuenta, se podrían eliminar varias bobinas sustituyéndolas por un condensador. En la Figura 61 tenemos un total de 11 bobinas contando con el divisor, redes de adaptación y modulación de carga. Utilizando las distintas fórmulas para realizar combinaciones entre componentes RLC mostradas en [44], se ha reducido el número de condensadores en el circuito y, más importante aún, el número de bobinas ha pasado de 11 a ser 8 en el amplificador Doherty como se puede ver en la Figura 62, así como la PAE en la Figura 63 a modo de comprobación de que no se han perdido prácticamente especificaciones.

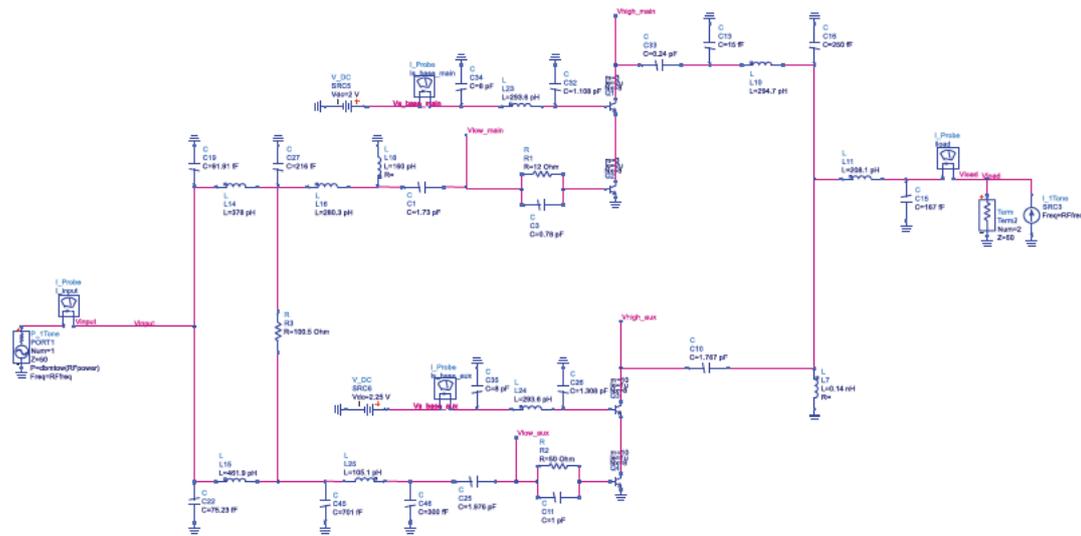


Figura 62. Doherty ideal con redes  $\pi$  simplificadas.

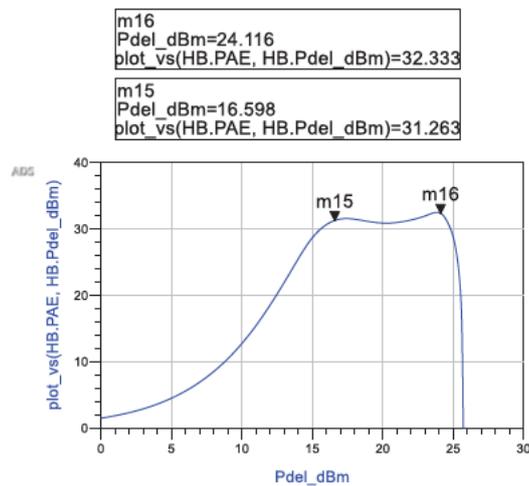


Figura 63. PAE del amplificador Doherty con la simplificación de componentes.

## 4.7. Resumen

En este capítulo se ha realizado el diseño de un amplificador Doherty. Para ello, lo primero que se ha elegido son los valores de la polarización del transistor para que opere en clase AB el amplificador principal y en clase C el amplificador auxiliar, obteniendo sus curvas en DC. El siguiente paso, fue estudiar la estabilidad del transistor y comprobar que el factor de Rollet (K) sea mayor que la unidad. Para lograr dicho objetivo se implementó una red de estabilización RC en paralelo en la puerta del transistor además de una resistencia a la entrada del base común.

Seguidamente, se realizó la técnica de *Load/Source-Pull* para obtener las impedancias óptimas para máxima potencia de salida en los dos amplificadores y se comprobó que se obtienen buenos resultados.

Finalmente, se diseñó el amplificador Doherty asimétrico para alcanzar mejores niveles de back-off diseñando para ello un divisor de potencia Wilkinson y se realizó una simplificación de componentes para reducir el número de bobinas del amplificador.

## **Capítulo 5.**

---

### **5. Inductores tipo solenoide**

En este capítulo se verá una ligera introducción a la teoría de inductores integrados con el fin de entender su funcionamiento y conocer los parámetros más importantes de este tipo de inductores. Además, se diseñarán bobinas de tipo solenoide y se comprobarán si los resultados son favorables para este proyecto.



## 5.1. Introducción

Debido a la exigencia del mercado, se necesitan dispositivos cada vez más pequeños, baratos y de bajo consumo de potencia. Hoy en día y gracias al nivel de integración que existe, se pueden obtener transceptores de radiofrecuencia completos, incluyendo el cabezal de RF y los distintos circuitos necesarios para el procesamiento de la señal en un mismo integrado. Sin embargo, todos estos componentes tienen un problema común, el uso de componentes pasivos integrados como las bobinas ocupan mucha área respecto al resto de componentes como se verá en el capítulo del diseño de *layout*. Esto sumado al bajo factor de calidad de estas bobinas hace que se pierdan prestaciones de forma drástica [45].

Teniendo esto en cuenta, es necesaria la investigación en este campo debido a la necesidad de conseguir inductores integrados de alta calidad y, en la medida de lo posible, que ocupen un menor área. A lo largo de este capítulo se revisará la teoría de inductores integrados y se diseñarán las bobinas que formarán parte del Doherty si tienen unos buenos factores de calidad.

## 5.2. Inductores integrados

Los inductores integrados se diseñan colocando una pista de metal enrollada sobre una capa de sustrato (ver Figura 64). Se establecen dos extremos de la espiral en los que uno de ellos se queda dentro de la misma, por lo que en principio se necesitan dos capas de metal para poder realizarla. Esta conexión entre el extremo interno de la bobina y el puerto se denomina *underpass* [46]. Principalmente, los parámetros geométricos que definen un inductor son:

- Número de lados
- Radio externo ( $r_{ext}$ )
- Ancho de la pista ( $w$ )
- Separación entre las pistas ( $s$ )
- Número de vueltas ( $n$ )

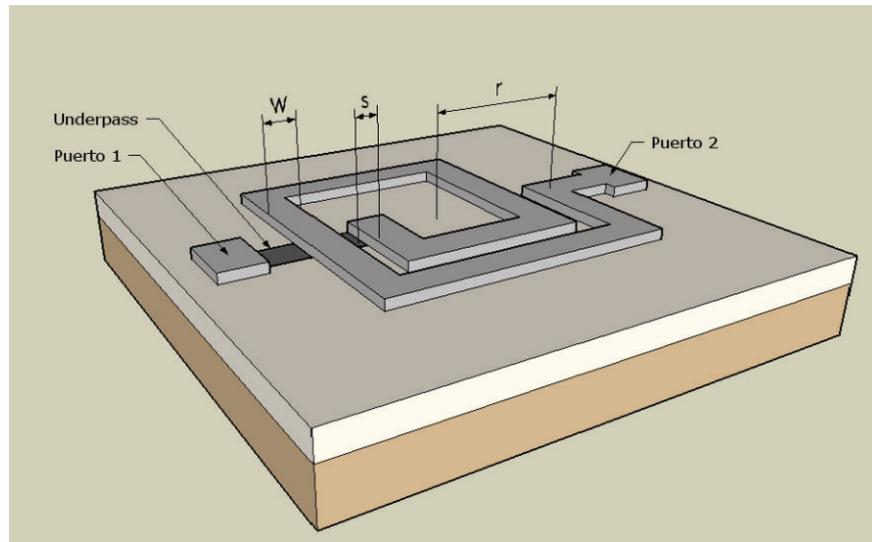


Figura 64. Layout de una bobina espiral cuadrada.

Un inductor o bobina es un componente pasivo que se caracteriza por almacenar energía en forma de campo magnético. Los dos parámetros que definen el funcionamiento de una bobina son la inductancia y el factor de calidad. La inductancia da una medida de la cantidad de energía que se almacena en el campo magnético que crea la bobina. El factor de calidad (Q), representa la relación entre la energía que se almacena en la bobina y la energía disipada. En otras palabras, representa una figura de mérito que indica la eficiencia de la bobina en términos de almacenamiento de energía como se puede ver en la Ecuación 6.1.

$$Q = 2\pi \frac{E_{almacenada}}{E_{disipada}} \quad (6.1)$$

Por tanto, el factor de calidad vendrá limitado por la tecnología empleada debido a la resistividad del sustrato y de las capas de metal. El silicio por desgracia es un material muy conductor y debido a ello, se generan más pérdidas en el sustrato sin contar con las que ya se producen en los metales [47][48].

### 5.2.1. Pérdidas en inductores integrados sobre silicio

Para poder identificar las pérdidas que se producen en este tipo de inductores sobre silicio es necesario estudiar los fenómenos físicos que se producen en él [49]. En la Figura 65 se visualizan los campos eléctricos y magnéticos que se producen en la bobina al aplicar una tensión en los extremos de la espiral.

- $B(t)$  es el campo magnético del inductor, producido por la corriente alterna que circula por la espiral y principal responsable de generar el comportamiento inductivo del dispositivo. Este campo atraviesa todas las capas de metal de la tecnología hasta llegar al sustrato, lo que genera las denominadas corrientes torbellino que se verán más adelante.
- $E_1(t)$  es el campo eléctrico existente en las pistas de la espiral. Este campo produce la corriente de conducción y que a su vez genera pérdidas dependiendo de la resistividad que tenga el metal usado para realizar la bobina.
- $E_2(t)$  es el campo eléctrico que se produce entre las pistas que forman la bobina. Se crea por la diferencia de tensión entre las pistas de distintas vueltas y da lugar a capacidades parásitas por la acción del óxido de silicio que rodea a los conductores que actúa como un dieléctrico.
- $E_3(t)$  es el campo eléctrico entre la espiral y el sustrato, generado por la diferencia de tensión entre ambos. Además de producir un acople capacitivo entre el conductor y el sustrato, genera pérdidas óhmicas en este último.

- $E_4(t)$  es el campo eléctrico entre la espiral y el *underpass*. Genera una capacidad parásita en paralelo a la bobina.

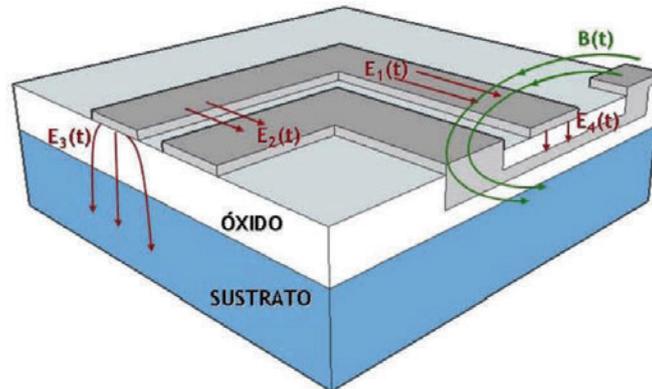


Figura 65. Campos que se generan en un inductor integrado.

Los campos mencionados anteriormente son los responsables de la degradación del factor de calidad y básicamente se pueden agrupar en dos grupos: Los campos que se generan entre las pistas de metal y los campos que se generan en el sustrato.

En cuanto a las corrientes torbellino, éstas son más importantes cuando las vueltas de metal de una bobina dejan un agujero en el centro de estas (ver Figura 66). Esto produce que gran parte del campo magnético atraviese las vueltas que se encuentran en el interior del inductor. Este campo es lo suficientemente fuerte como para redistribuir el flujo de corriente que pasa por la bobina, generando que en el lado interior del inductor, la corriente principal y las corrientes de torbellino fluyan en el mismo sentido, lo que produce una mayor densidad de corriente. En el lado exterior de la bobina, ambas corrientes circulan en sentido contrario por lo que la densidad de corriente es menor que en el lado interior. Este efecto produce que las vueltas que se encuentran en la parte central de la bobina tengan concentrada la corriente en el lado interior del conductor, haciendo que aumente la resistencia total de la bobina en las vueltas centrales [50].

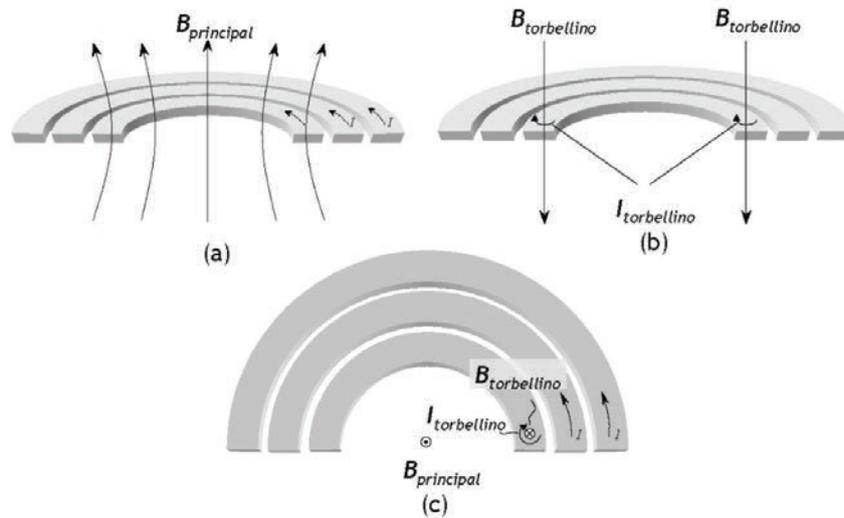


Figura 66. Corrientes torbellino que se producen en las pistas de un inductor plano.

## 5.2.2. Mejorando la calidad de las bobinas

Desde que se propuso el primer inductor integrado en 1990 [51], numerosos grupos de trabajo han concentrado sus esfuerzos en estudiar los inductores integrados sobre silicio. Una de las áreas donde más se ha trabajado es en la búsqueda de nuevas técnicas para reducir las pérdidas y así mejorar la calidad de los inductores. Las alternativas o soluciones que han ido apareciendo a lo largo de los años para reducir las pérdidas de las bobinas están relacionadas en su mayoría con la modificación del *layout* convencional del inductor integrado.

Debido a que cada vez se está trabajando a frecuencias más altas, han aparecido nuevas estructuras de inductores integrados que presentan una frecuencia de resonancia mayor. Un ejemplo de esto, serían los llamados inductores apilados (Figura 67), los inductores tridimensionales (Figura 68) e inductores tipo solenoide (Figura 69) [52] [53] [54].

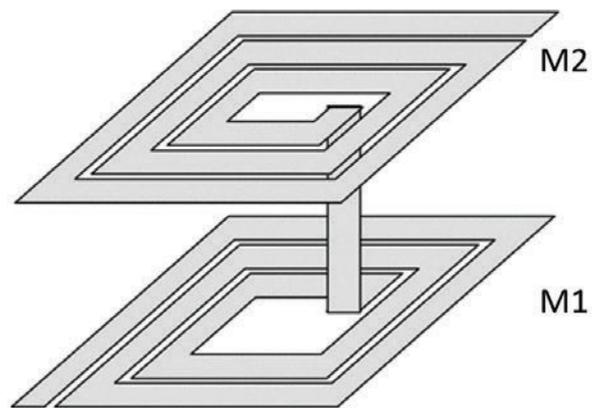


Figura 67. Inductor apilado usando dos capas de metal.

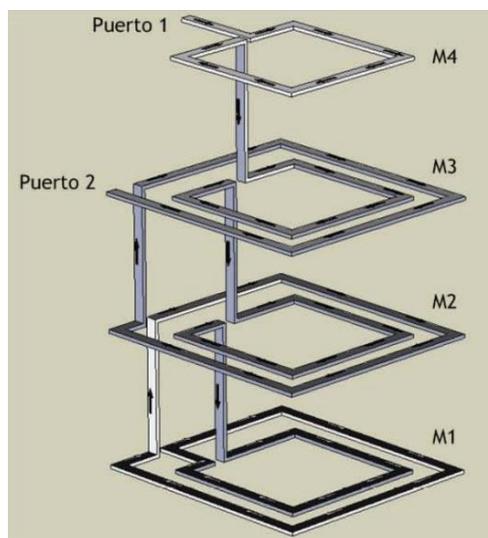


Figura 68. Inductor 3D usando 4 capas de metal.

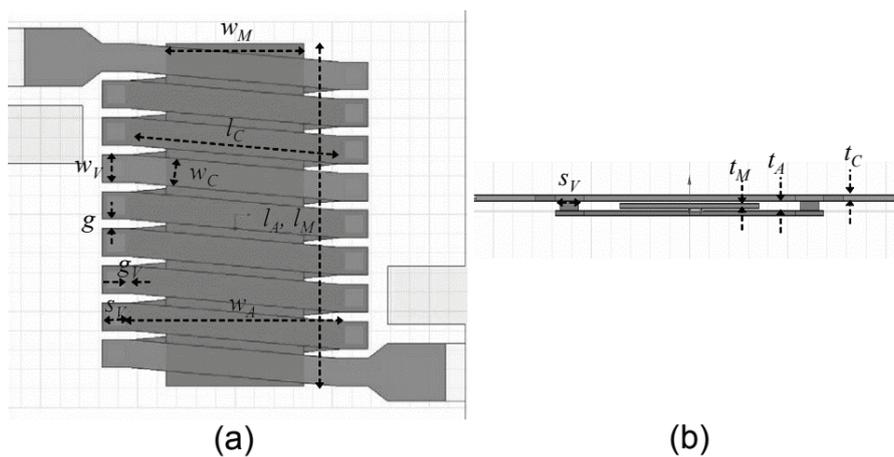


Figura 69. Inductor tipo solenoide vista superior (a) y vista lateral (b) usando dos capas de metal.

En [49] se analiza el funcionamiento a nivel de simulación de varios inductores apilados y varios inductores tridimensionales. La conclusión principal fue que no se puede afirmar que una estructura es mejor que otra, sino que se debe analizar la aplicación en la que se requieren estos inductores y seleccionar si es más importante el área o el factor de calidad.

La División de Tecnología Microelectrónica (TME) también diseñó y fabricó inductores de tipo solenoide o resorte para verificar las prestaciones de este tipo de inductores en la tecnología SiGe 0,35  $\mu\text{m}$  de AMS (*Austria MicroSystems*). En la Figura 70 se muestra un mapa de color donde se representa el factor de calidad en función de la inductancia y frecuencia de trabajo con inductores convencionales. Las conclusiones más relevantes de este mapa de color son que a medida que aumentamos la frecuencia, es difícil obtener buenos factores de calidad con una inductancia alta. No obstante, a partir de 20 GHz nos indica que si la inductancia requerida está en torno a 1 nH se podrían obtener inductores con un alto factor de calidad si utilizamos bobinas convencionales. Este último dato junto con las inductancias que se han obtenido en el amplificador Doherty, además de los resultados que se obtuvieron de la medida de estos inductores, serán el principal precursor de haber seleccionado estas bobinas para realizar el diseño del amplificador.

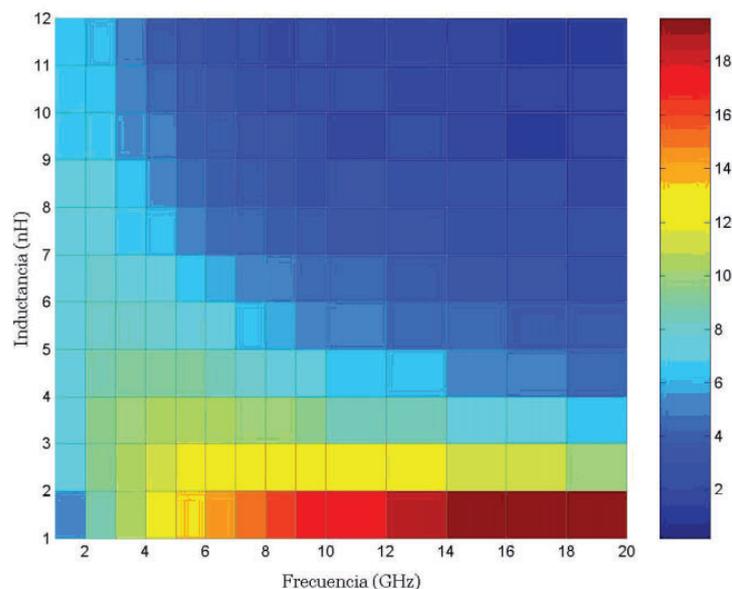


Figura 70. Factor de calidad de un inductor convencional en función de la frecuencia y de la inductancia.

En la Figura 71 se muestra una de las bobinas tipo resorte que se fabricaron y en la Figura 72 las gráficas de la inductancia y factor de calidad en función de la frecuencia. La bobina está compuesta por 12 espiras de 4  $\mu\text{m}$  de ancho enrolladas entre el metal 4 y el metal 1 (tecnología de 4 metales). La separación entre metales de distintas vueltas es de 4  $\mu\text{m}$ . Utilizando esta separación de metales, se consigue obtener un agujero central mayor por lo que se obtienen valores de inductancia mayores. No obstante, como se ha descrito a lo largo de este capítulo, utilizar metales que se encuentran cerca del sustrato aumenta la capacidad parásita, sin contar que las propiedades eléctricas de las capas de metales superiores son mucho mejores que las capas inferiores, ya que son más gruesas y conductivas.

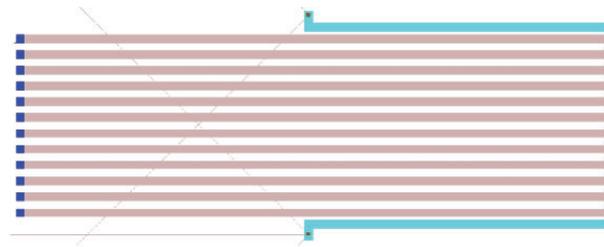


Figura 71. Bobina resorte fabricada.

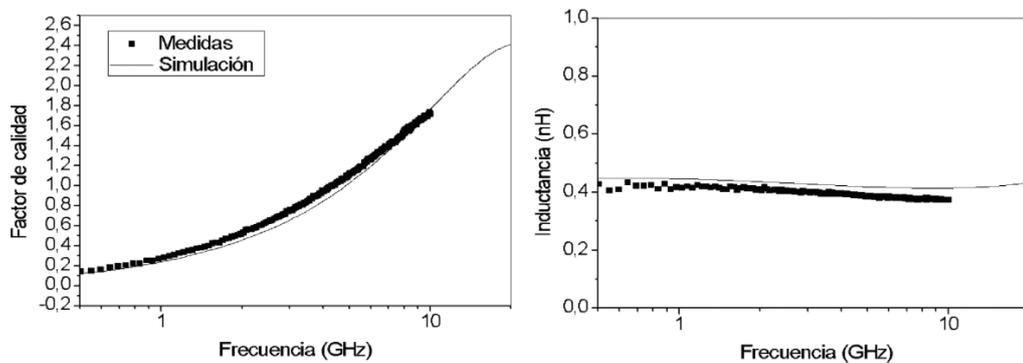


Figura 72. Simulación y medidas de la bobina resorte.

Como conclusión, los resultados no fueron favorables en términos de inductancia, factor de calidad y área para esa tecnología. A pesar de este resultado desfavorable y, teniendo en cuenta el apartado teórico, se entiende que se hayan tenido resultados desfavorables por los siguientes motivos:

- Trabajar con un metal muy cercano al sustrato aumenta el campo eléctrico entre la espiral y el sustrato, lo que produce acoplamiento capacitivo y aumentan considerablemente las pérdidas por la resistividad del sustrato. Además, los metales más cercanos al sustrato también son menos gruesos y más resistivos.
- Las pistas de metal utilizadas para realizar el inductor fueron de 4  $\mu\text{m}$ , estas pistas son muy estrechas lo que supone una mayor resistividad en la bobina y la reducción del factor de calidad.
- Utilizar un número de vueltas elevado implica el uso de más vías para interconectar los metales en la bobina por lo que aumenta la resistividad y se degrada aún más el factor de calidad.

Principalmente por estos motivos, por la nueva tecnología empleada en este proyecto y por la frecuencia de trabajo de 27 GHz, se decide plantear volver a utilizar este tipo de inductores aprendiendo del trabajo realizado anteriormente. A continuación, se exponen las diferencias y los argumentos por los cuales en este proyecto se podrían obtener unos buenos resultados:

- La tecnología de SiGe 0,13  $\mu\text{m}$  de IHP cuenta con más capas de metales que la tecnología de AMS, 7 capas de metal frente a las 4 de AMS.
- Las capas más gruesas de la tecnología de IHP se encuentran en la parte superior (TopMetal2 y TopMetal1), se utilizarán para diseñar las bobinas y a su vez estar más alejados del sustrato.
- Se estudiará en que partes del circuito no es tan importante tener buenos factores de calidad y así reducir el área de los inductores. Además, se

diseñarán las bobinas para que no tengan tanta resistividad haciéndolas más gruesas que en el trabajo que se hizo con la tecnología de AMS.

- Las inductancias del amplificador Doherty ideal que se diseñó en el capítulo anterior no superan los 0,5 nH, esto junto con el mapa de color de la Figura 70 nos indica que con un inductor convencional se pueden alcanzar valores muy altos de factor de calidad a esta frecuencia. Por lo tanto, a pesar de que el factor de calidad baje diseñando bobinas de tipo solenoide, podrán tener un valor aceptable de factor de calidad por las condiciones del circuito, la frecuencia, la nueva tecnología y el nuevo planteamiento para diseñar los inductores.

### 5.3. Diseño de las bobinas tipo solenoide

Para diseñar las bobinas, se deberán tener en cuenta además de los puntos expuestos en el apartado anterior, las corrientes máximas que se pueden tener en cada rama del circuito y sobredimensionar las espirales. Una ventaja de utilizar los metales más gruesos y que se encuentran en la parte superior de esta tecnología, es que soportan hasta 16 mA/ $\mu\text{m}$  para el TopMetal2 y 15 mA/ $\mu\text{m}$  para TopMetal1, por lo que se podrán diseñar bobinas con pistas estrechas en partes del circuito donde no sea necesario un gran factor de calidad y donde no circule mucha corriente.

El diseño y simulación de las bobinas se ha realizado con la herramienta ADS y utilizando Momentum para simularlas electromagnéticamente ya que ofrece una respuesta muy similar al comportamiento de la bobina en un entorno real. La inductancia que se pretende alcanzar para este primer ejemplo es de 0,2 nH. Esta bobina se encuentra en la modulación de carga por lo que es una bobina bastante crítica en el diseño. Para que fuese viable la implementación de estas bobinas en un amplificador de potencia se necesitarían unos factores de calidad de  $Q=10$  como mínimo, ya que las bobinas con bajo factor de calidad en este tipo de diseños son

las responsables de reducir la eficiencia y potencia de salida de los amplificadores. En la Figura 73 se presenta el *layout* y en la Figura 74 la vista 3D de una de las bobinas responsable de realizar la modulación de carga.

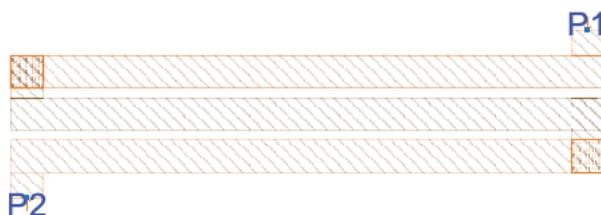


Figura 73. Layout de la bobina diseñada.

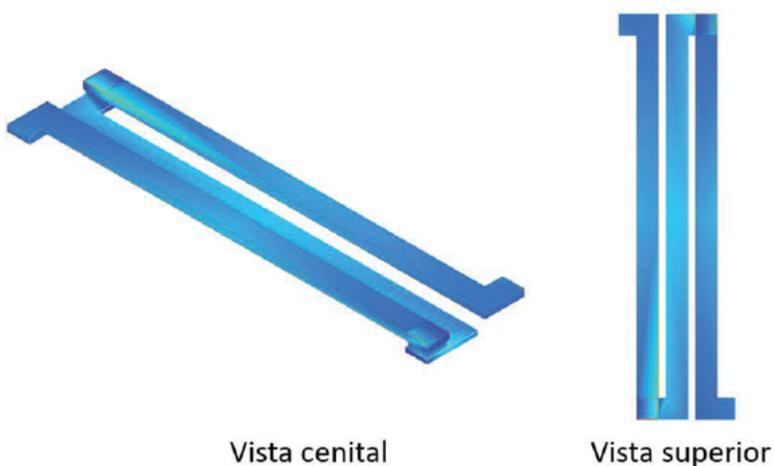


Figura 74. Bobina en vista 3D.

La bobina diseñada cuenta con 3 vueltas y 10  $\mu\text{m}$  de ancho enrolladas sobre los metales TopMetal2 y TopMetal1. La inductancia de esta bobina y su factor de calidad se muestran en la Figura 75. Para una inductancia de 0,2 nH y esta configuración se obtiene un factor de calidad a 27 GHz de 14.

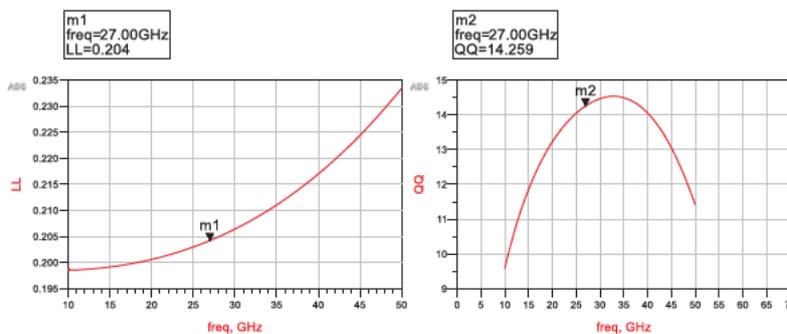


Figura 75. Inductancia y factor de calidad de la bobina diseñada.

Con estos resultados se confirman las observaciones realizadas durante este capítulo y, por tanto, se utilizarán este tipo de inductores para realizar el amplificador de potencia Doherty. El objetivo principal será diseñar manualmente todas las bobinas y así intentar reducir el área ocupada por las bobinas sin degradar mucho el factor de calidad ni las prestaciones del amplificador.

### **5.4. Resumen**

En este capítulo se han visto los factores que más influyen a la hora de diseñar un inductor integrado y se han analizado bobinas fabricadas por el equipo de investigación con el fin de aprender de las medidas hechas en el pasado para diseñar bobinas de tipo solenoide que sean viables a utilizar en este proyecto.

## Capítulo 6.

### 6. Diseño del amplificador Doherty a nivel de *layout*

Una vez completado el diseño a nivel de esquema y realizadas las bobinas a implementar en el proyecto, se sustituirán los componentes ideales del amplificador Doherty por los componentes reales que incluye el kit de la tecnología. Posteriormente, se diseñará el *layout* del amplificador Doherty y se preparará para su fabricación. Finalmente, se mostrarán los resultados obtenidos.



## 6.1. Proceso de diseño

A la hora de realizar un *layout* deben cumplirse una serie de reglas que dependen de la tecnología empleada. Estas se refieren en su mayoría a distancias entre los distintos elementos, ángulos, densidad de corriente que puede pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaño, anchos de las pistas, etc.

De la misma forma, hay que tener en cuenta una serie de reglas que permitan obtener el comportamiento óptimo del diseño realizado con el fin de minimizar la influencia de las posibles dispersiones de los parámetros de los componentes del circuito.

Estos son aspectos imprescindibles en la generación de *layouts*, aunque se debe tener en cuenta que cada circuito integrado tiene sus características específicas por lo que se utilizarán los más adecuados según las necesidades del diseño.

El proceso de diseño de un circuito siempre empieza por su equivalente a nivel de esquema, en el Capítulo 4 se calcularon sus componentes, estos cálculos nunca son concluyentes pero si muy orientativos. En el proceso de diseño a nivel de *layout* el objetivo es sustituir cada componente ideal del amplificador Doherty por su homólogo real de forma que las prestaciones del circuito varíen lo menos posible.

## 6.2. *Layout* del amplificador Doherty

Para realizar el diseño a nivel de *layout* se usará el circuito mostrado anteriormente en la Figura 62. Es necesario sustituir cada componente ideal del esquema por su equivalente real, las bobinas se diseñarán como se mostró en el apartado anterior por lo que faltarían los condensadores y resistencias.

El kit de la tecnología nos proporciona para este tipo de diseños dos modelos de condensadores:

- Rfcmim: Condensador que utiliza las capas de TopMetal1 y Metal5. Se puede definir tanto el ancho como el largo y el número de condensadores en paralelo. Cuenta con un puerto para conectarlo al sustrato y se recomienda su uso para aplicaciones de alta frecuencia.
- Cmim: Condensador que utiliza las capas de TopMetal1 y Metal5. Se puede definir tanto el ancho como el largo y el número de condensadores en paralelo.

El condensador elegido será el Rfcmim por ser ideal para amplificadores de potencia. No obstante, para la alimentación de continua se utilizarán los Cmim a modo de condensadores de *Bypass* para filtrar cualquier tipo de inductancia parásita en la línea de alimentación. Los condensadores se pueden ver en la Figura 76.



Figura 76. Modelos capacitivos de la tecnología de IHP.

Para seleccionar la capacidad deseada en el modelo de la tecnología, se puede especificar el ancho y largo del condensador como se puede ver en la Figura 77. Al especificar el ancho y el largo del condensador, la capacidad que tiene el condensador se calcula automáticamente, aunque por algún motivo este valor no corresponde con la capacidad real.

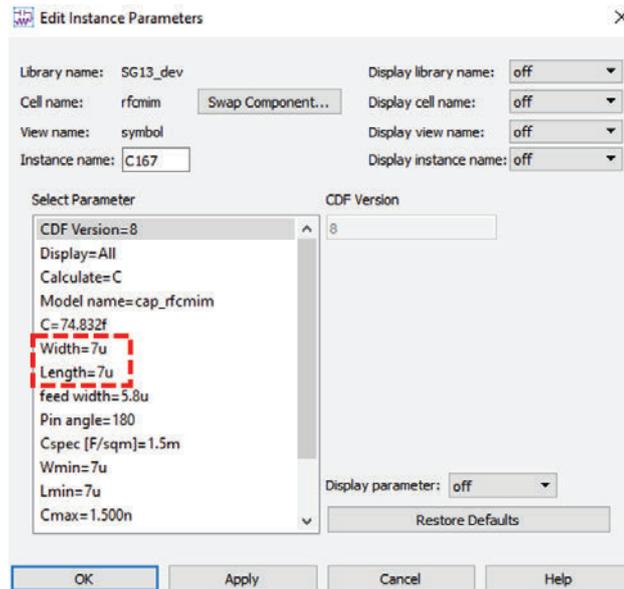


Figura 77. Parámetros del modelo rfcim.

Por este motivo, se ha realizado un *setup* para optimizar los parámetros de ancho y largo en función de la capacidad deseada. La herramienta usada se denomina “Optimización” y varía los valores de componentes en un rango preestablecido, para determinar si alguna de todas las posibles combinaciones ofrece los mejores resultados. Para hacer uso de esta herramienta, se incluye un nuevo *setup* de simulación llamado “Optim”, como se puede ver en la Figura 78, junto a los *goals* o metas que se pretenden alcanzar. Dentro del *setup* “Optim” podemos modificar el número de iteraciones y en los *goals* se pueden establecer límites para que la optimización no salga de esos valores, además se pueden establecer distintos pesos o *weight* a los *goals* si tenemos alguno que es mucho más crítico que otro. En este caso, se establece el factor de calidad con más peso ya que si se alcanza el valor de capacitancia deseado, pero obtenemos un factor de calidad muy bajo, no podríamos utilizarlo porque empeorarían mucho las prestaciones. En la Figura 79 se puede ver el resultado de esta optimización donde en la parte derecha tenemos los *goals* y concretamente, el *goal* de la capacidad deseada que para este ejemplo es de 2 pF y en la parte central la variable *C\_with* que nos indica tanto el ancho como el largo necesario en el condensador. Esta optimización establece que el valor del ancho y del largo del condensador tiene que ser de 17,11  $\mu$ .

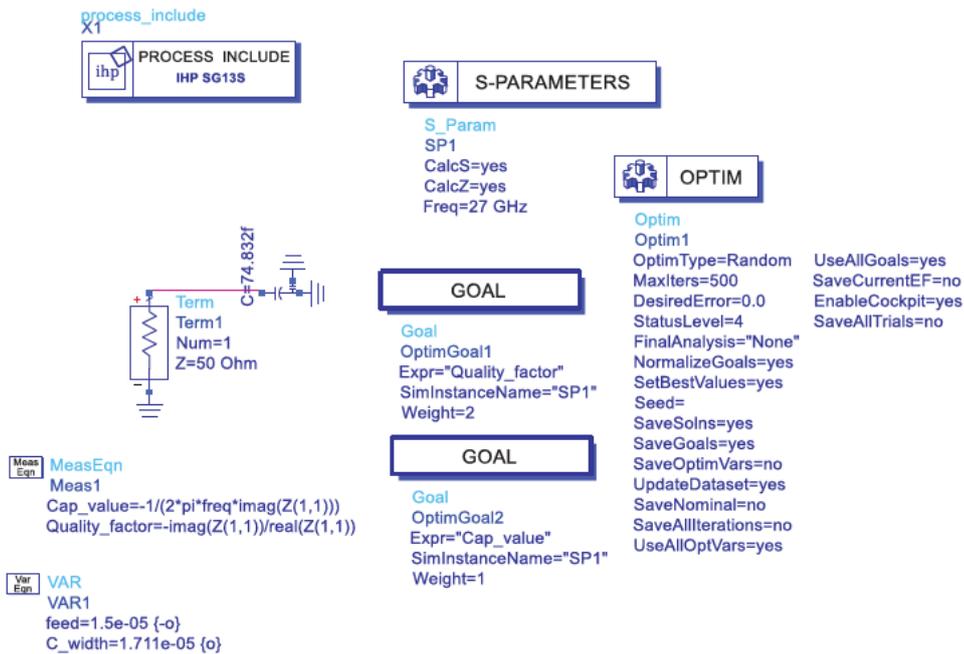


Figura 78. Setup de simulación para la optimización de los condensadores.

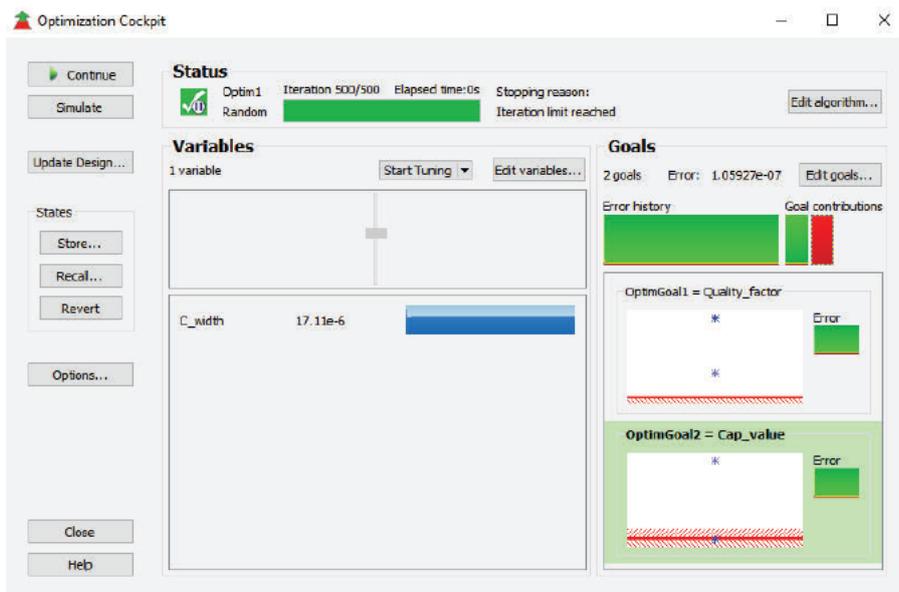


Figura 79. Resultado de la optimización del condensador.

Estos resultados se verifican dimensionando el condensador con el valor proporcionado por el optimizador y se realiza una simulación de parámetros S para visualizar su capacidad y su factor de calidad a la frecuencia de interés. En la Figura 80, se obtiene que el condensador tiene una capacidad de 1,99 pF y un factor de calidad de 33,8.

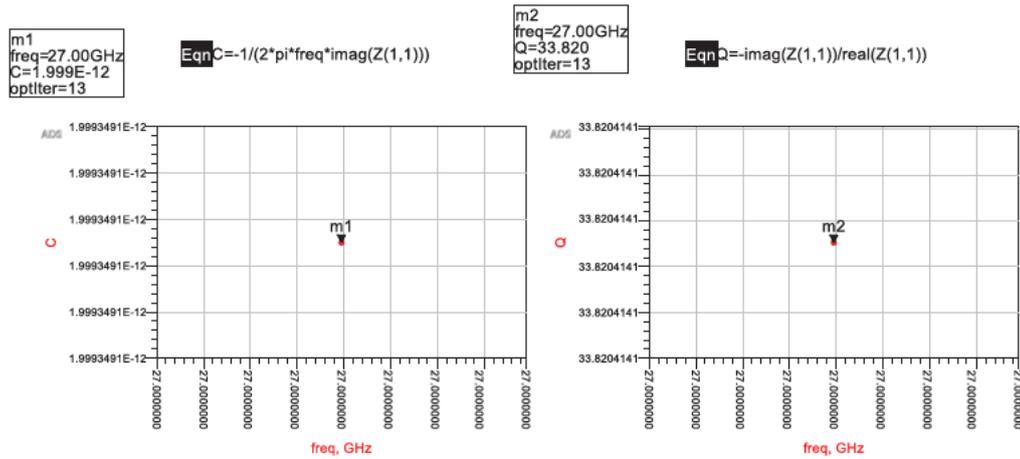


Figura 80. Resultados de la capacidad y factor de calidad del condensador después de la optimización.

En cuanto a las resistencias, IHP ofrece hasta 3 modelos de resistencias como se observa en la Figura 81 y todas son de silicio policristalino.

- Rsil: Modelo recomendado para valores bajos de resistencia.
- Rppd: Modelo recomendado para valores intermedios de resistencia.
- Rhigh: Modelo recomendado para valores altos de resistencia.



Figura 81. Modelos resistivos de la tecnología de IHP.

Como en el diseño se tienen resistencias de bajo valor, el modelo escogido es el modelo rsil.

Para realizar las conexiones entre los distintos elementos del circuito se usarán las líneas de transmisión de la tecnología. El principal motivo para utilizarlas en vez de simplemente conectar todo el circuito con alguna capa de metal es que si no se utilizasen habría que realizar simulaciones electromagnéticas y extracción de capacidades parásitas, con el fin de tener en cuenta los efectos de estas

conexiones para ajustar todo el circuito y esto supondría mucho tiempo de diseño. Además, estas líneas de transmisión están mucho mejor modeladas de lo que podríamos hacer manualmente con una pista de metal, por lo que utilizando estas líneas de transmisión obtendremos valores mucho más cercanos a los resultados que se tendrán después de la fabricación. La librería de la tecnología cuenta con hasta 9 modelos de líneas de transmisión, aunque leyendo los documentos que vienen junto con el kit de diseño nos encontramos con lo expuesto en la Figura 82.

**Notes:**

- 45° Models are given for completeness only. Simulations show that influence of a 45° bend on transmission line parameters are significantly below influences of process variations. It is strongly recommended to neglect 45° bends in simulations.
- The same applies for width changes at T- or Y-interfaces. Such asymmetric interfaces can be modeled with reasonable accuracy using the cell with one line width, attaching the lines with the other widths at the corresponding terminals.

Figura 82. Extracto del documento de los modelos de las líneas de transmisión.

Esto nos indica que realmente tan sólo se tienen dos modelos fiables de línea de transmisión (líneas en 90° y líneas rectas) y el resto se han añadido para que se pueda diseñar el *layout* aunque se advierte que no se usen estos símbolos en simulación porque no van a dar resultados precisos. En lugar de eso, donde haya una línea de transmisión de 45° (o de otro tipo) se calculará el largo de la línea y se sustituirá en el esquema por su equivalente con las líneas de transmisión de la Figura 83.

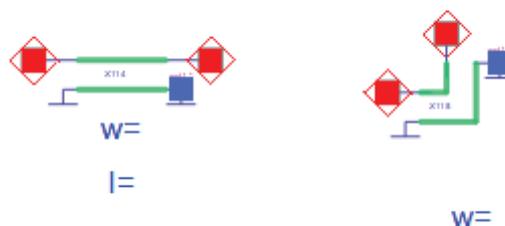


Figura 83. Modelos fiables de TLs para utilizar en simulación.

Cómo todos los elementos del Doherty se han adaptado para una impedancia de 50  $\Omega$ , es necesario dimensionar las líneas de transmisión de la tecnología para que tengan una impedancia de 50  $\Omega$ . Por suerte en esta tecnología no hay que hacer una simulación adicional para dimensionarlas a 50  $\Omega$ , basta con entrar en las propiedades del modelo y seleccionar la frecuencia de operación para

visualizar la impedancia característica de la línea. Para la frecuencia de este proyecto, las líneas de transmisión tienen que ser de 16  $\mu$  como se puede ver en la Figura 84.

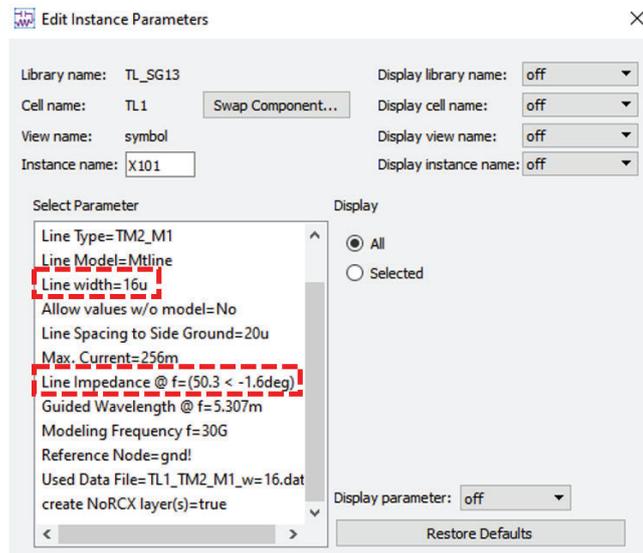


Figura 84. Opciones configurables del modelo de línea de transmisión.

Antes de comenzar a realizar el *layout* hay que tener en cuenta un aspecto limitante en este proyecto, el área disponible para realizar este amplificador es bastante reducido. Inicialmente, se contaba con un área de 1,7 mm x 1,7 mm, pero parte de esta área será ocupada por otro circuito ajeno a este proyecto. En la Figura 85 se puede ver el área del que se dispone para fabricar este circuito. Esto supone un reto importante ya que, por lo general, si no tuviésemos restricciones de área, el diseño sería algo más cuadrado y se obtendrían las mejores prestaciones. Al estar obligados a diseñar por una restricción de área, se perderán especificaciones en el proceso al hacer el Doherty más largo que alto.

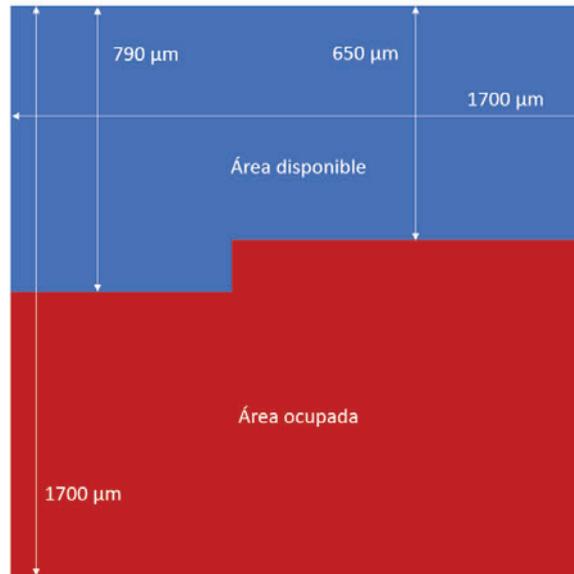


Figura 85. Área disponible para fabricar el amplificador Doherty.

Una vez claros los objetivos y los componentes que se van a utilizar para diseñar el *layout*, se sustituirán los componentes ideales del Doherty ideal de la Figura 62 por los componentes de la tecnología. Cabe añadir que esto no es un paso directo, se añadirán los elementos de forma progresiva ya que, al realizar la sustitución por elementos reales, las prestaciones del circuito empeorarán e incluso será necesario un ajuste del resto de componentes para que se comporte lo más cercano al diseño ideal.

Hasta ahora se ha trabajado exclusivamente con el software ADS para realizar simulaciones de esquema y para simular electromagnéticamente las bobinas. Para diseñar el *layout*, la herramienta por excelencia es Cadence, sobre todo por la necesidad de poder verificar que el *layout* se corresponde con el esquema utilizando el LVS (*Layout vs Schematic*) y que el *layout* está cumpliendo con todas las reglas de diseño que impone la tecnología usando el DRC (*Design Rule Checks*). Para poder diseñar el *layout* de forma correcta, es necesario abrir los documentos con las reglas de diseño de la tecnología y revisar por ejemplo las separaciones mínimas entre las distintas capas de metal además de otra información relevante.

En la Figura 86 y Figura 87 se puede ver el esquema del divisor de potencia Wilkinson con las líneas de transmisión, los condensadores/resistencias de la tecnología y las bobinas diseñadas además de su *layout*.

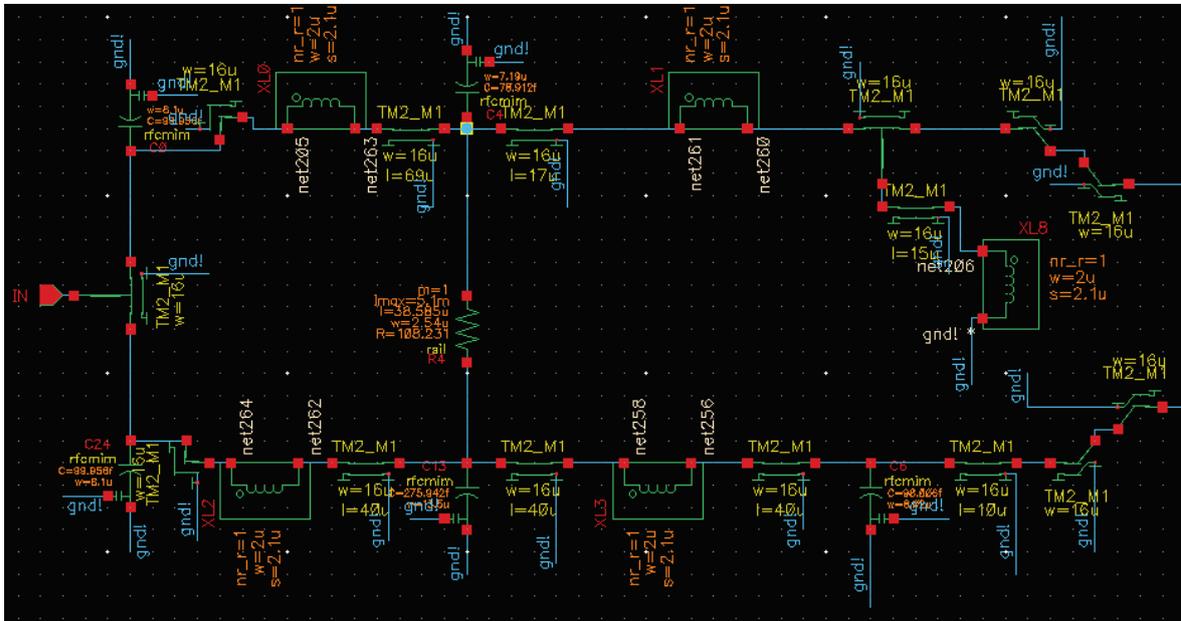


Figura 86. Esquema en Cadence con componentes reales.



Figura 87. Layout del divisor de potencia Wilkinson en Cadence.

A medida que se iban diseñando los distintos componentes que forman el amplificador Doherty, las conclusiones que se obtenían es que era demasiado alto

para entrar en el área permitida. El Wilkinson, por ejemplo, a pesar de que no parece muy alto con sólo  $345\ \mu\text{m}$  de las  $700\ \mu\text{m}$  que se tienen disponibles aproximadamente, es demasiado alto ya que a esas  $345\ \mu\text{m}$  hay que sumarle las redes de alimentación y los *pads* ( $90\ \mu\text{m} \times 90\ \mu\text{m}$ ). Debido a esto, la única forma de abordar este problema es cambiar las bobinas que se han diseñado y hacer que sean más largas que altas, aunque como se ha visto en el Capítulo 5, añadir más espirales en la bobina conlleva a incrementar el número de vías y eso degrada el factor de calidad. Por suerte, las bobinas del divisor Wilkinson no son tan dependientes de tener un factor de calidad elevado como si pasa en las bobinas que forman parte de las redes de adaptación y la modulación de carga. En la Figura 88 se puede ver el Wilkinson con las modificaciones realizadas.

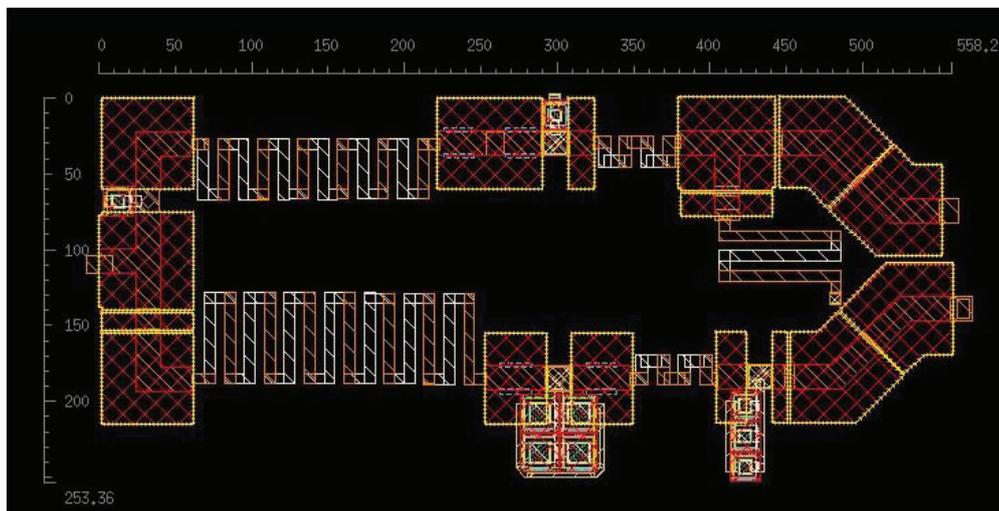


Figura 88. Wilkinson con las bobinas rediseñadas.

Comparando con las medidas obtenidas en el divisor de la Figura 87, se ha incrementado el largo un 19% y se ha reducido el alto un 27%.

Este cambio en el diseño de las bobinas y del circuito también se ha tenido que ir haciendo en más partes del Doherty cada vez que no se cumplían con las restricciones de área. Por ejemplo, una de las bobinas de la modulación de carga también ha tenido que rediseñarse para que sea más larga. Estas bobinas son bastante críticas dentro del diseño y requieren tener un alto factor de calidad para no perder mucha potencia a la salida. El problema al hacerla más larga y añadir más vías es la degradación del factor de calidad, no obstante, para intentar

compensar la degradación del factor de calidad a causa de introducir más vías, se han hecho las espirales más anchas con el fin de reducir la resistividad de esta que, recordemos, era uno de los causantes de producir pérdidas y bajar el factor de calidad. En la Figura 89 se ve a la izquierda la bobina inicial con un ancho de  $12\ \mu$  y 10 vueltas y a la derecha la bobina rediseñada con un ancho de  $15\ \mu$  y 14 vueltas.

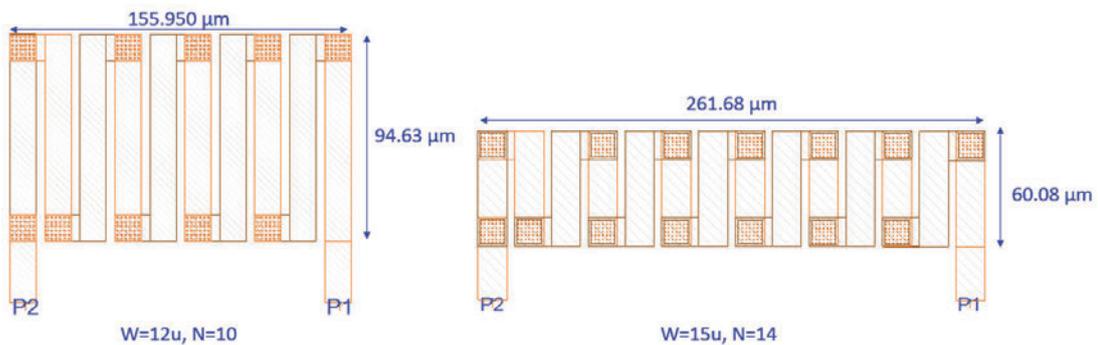


Figura 89. Comparación de la bobina rediseñada en la modulación de carga.

Haciendo este cambio no sólo se alarga el diseño si no que se han conseguido compensar las pérdidas introducidas por las vías y se ha producido un aumento del factor de calidad respecto a la bobina inicial por haber modificado el ancho de las espirales. En la Figura 90 tenemos al a izquierda el factor de calidad de la bobina inicialmente y al a derecha con el nuevo diseño.

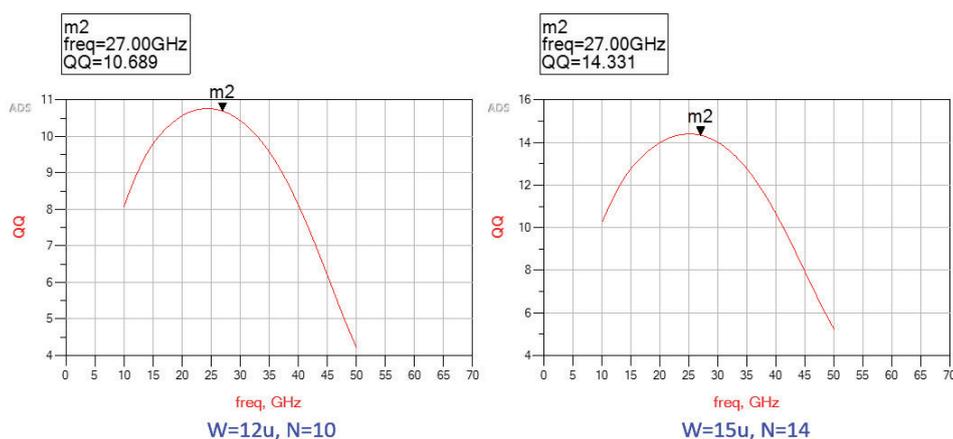


Figura 90. Comparación del factor de calidad de la bobina rediseñada.

El *layout* del amplificador Doherty ha tenido que ser rediseñado varias veces, tanto sus bobinas como condensadores y líneas de transmisión con el fin de cumplir con el área disponible. Es un proceso complicado e iterativo y sólo se han mostrado

algunos de los cambios que son más fáciles de ilustrar para que se tenga una idea de las decisiones más importantes que han influido en el diseño general. A lo largo de todo el diseño del *layout*, las conclusiones más relevantes a las que se ha llegado es que si no se hubiese hecho este proyecto con estas nuevas bobinas, hubiese sido imposible encajar el Doherty en el área que se dispone. Esto es debido a que las bobinas que integra el kit de la tecnología de IHP son bobinas octogonales y no se puede modificar ninguna relación de aspecto por lo que del diseño forzosamente habría quedado algo más cuadrado con estas bobinas. En la Figura 91 se muestra una bobina de la tecnología de IHP a modo de ejemplo.

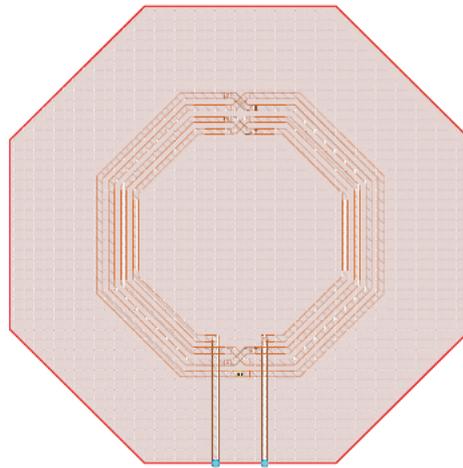


Figura 91. Bobina de la tecnología de IHP.

Finalmente, se muestra tanto el esquema con componentes reales como el *layout* del amplificador de potencia Doherty en la Figura 92 y Figura 93. Las dimensiones sin *pads* son de 1213,95  $\mu\text{m}$  x 643,9  $\mu\text{m}$ .

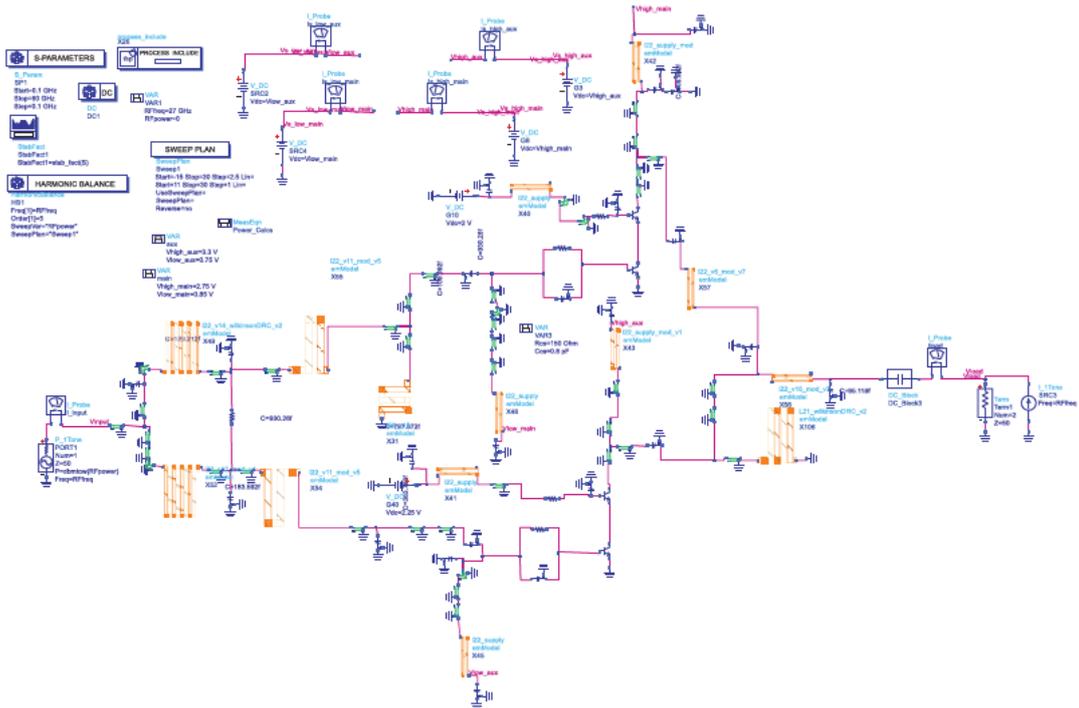


Figura 92. Esquema del amplificador Doherty con componentes reales.

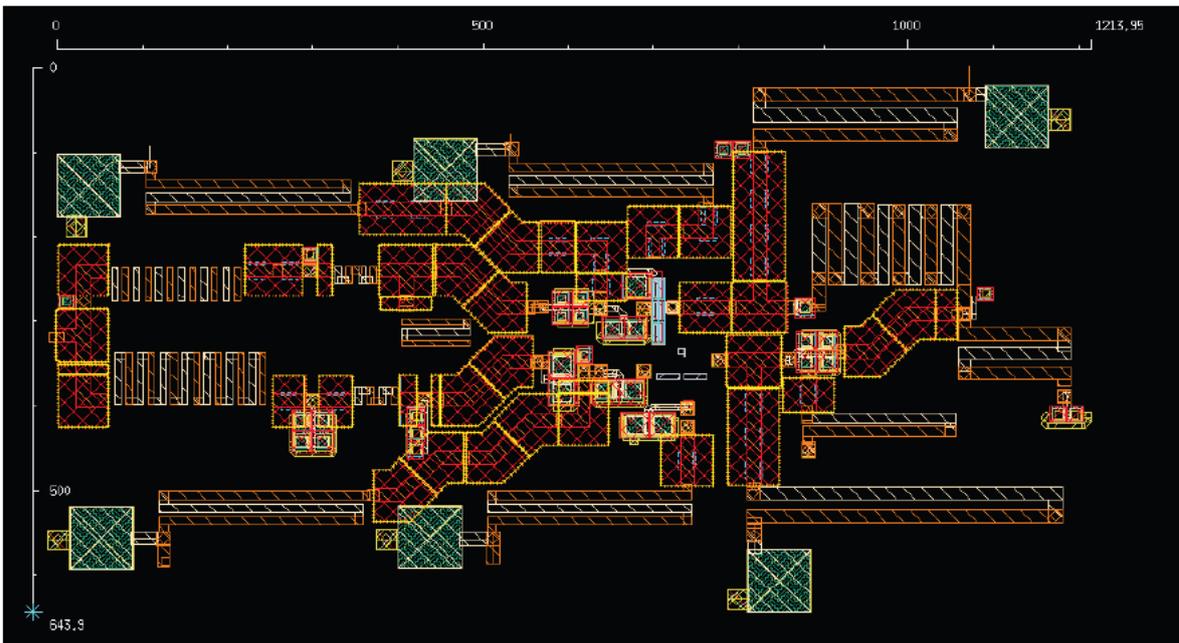


Figura 93. Layout del amplificador Doherty sin pads.

## 6.3. Preparación del diseño para la fabricación

Para fabricar el amplificador Doherty hay que realizar una serie de pasos adicionales además de diseñar el *layout* como tal. El primero de ellos es la colocación de los *pads* que serán los encargados de conectar la entrada/salida del amplificador, así como conectar la alimentación con el circuito y a su vez con las puntas de medida. Las medidas se realizarán directamente *On-Wafer* y para ello hay que utilizar puntas o *Probes* como las que se muestran en la Figura 94.



Figura 94. Puntas DC.

Las puntas que se tienen en el laboratorio son las *WPH Probe* y en el documento que se tiene con las reglas de *layout* establece que los *pads* pueden ser como mínimo de  $50\ \mu\text{m} \times 50\ \mu\text{m}$ , aunque se recomienda que se usen de  $100\ \mu\text{m} \times 100\ \mu\text{m}$  con un pitch de  $150\ \mu\text{m}$ . Para este proyecto se han realizado los *pads* de  $90\ \mu\text{m} \times 90\ \mu\text{m}$  con un pitch de  $150\ \mu\text{m}$ . En la Figura 95 se ilustra un extracto del documento donde se describe esto último.

**Rule 100 Pad size** The minimum pad size is  $50 \times 50\ \mu\text{m}$  (Fig. 7). The recommended minimum pad size for general use is  $100 \times 100\ \mu\text{m}$ . Note that because the probe contacts are fairly large, in many situations pads smaller than  $50 \times 50\ \mu\text{m}$  can be successfully probed. Unless you have a good reason to do otherwise, use  $100 \times 100\ \mu\text{m}$  pads with a  $150\ \mu\text{m}$  pitch. This provides for easy probing, and parasitic are low enough for many applications.

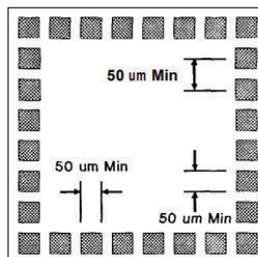


Figure 7 **Rules 100 and 102** Minimum pad size is  $50 \times 50\ \mu\text{m}$ . Minimum pad pitch is  $50\ \mu\text{m}$ .

Figura 95. Tamaño mínimo y recomendado de los *pads* para la punta WPH Probe.

La tecnología cuenta con el componente *bondpad* y este se puede dimensionar según las necesidades. Además, también permite la generación de *pads* en distintas geometrías, para las alimentaciones se usarán *pads* rectangulares y para la entrada/salida *pads* octogonales ya que estos cuentan con una menor área de metal y por tanto se reducirán las pérdidas al contar con menos capacidades parásitas. En la Figura 96 se puede ver el *layout* del amplificador con los *pads* colocados.

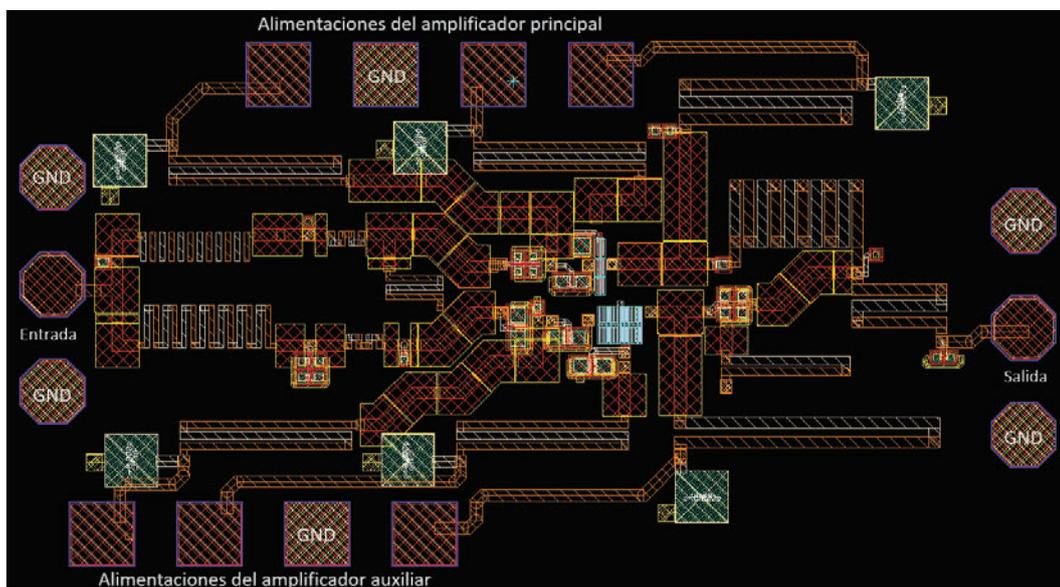


Figura 96. *Layout* del amplificador Doherty con *pads*.

Otro elemento necesario para la fabricación del circuito es incluir el *sealring*, este componente crea un área protectora a lo largo del circuito o de los circuitos que se quieran fabricar para protegerlo y que no se dañe cuando se comience a cortar la oblea. Esta protección se realiza con los propios metales de la tecnología apilándolos en un ancho determinado. En las reglas de diseño se explica que los *pads* tienen que estar a una distancia de más de 30  $\mu\text{m}$  del *sealring* o si no dará error de DRC. En la Figura 97 se puede ver una de las partes del *sealring* junto con el *pad* de entrada y su separación mínima y en la Figura 98 el Doherty con el *sealring* y los *pads*.

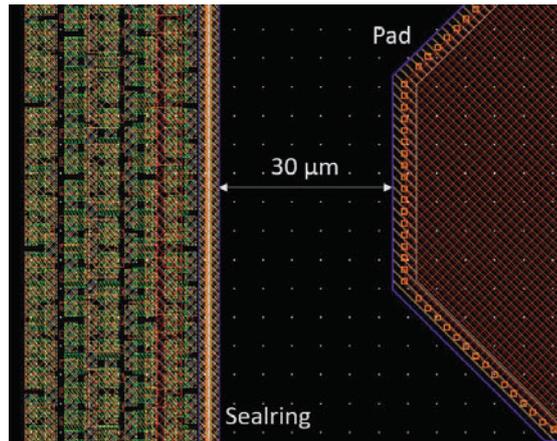


Figura 97. Separación mínima entre el *sealring* y los *pads* de la tecnología IHP.

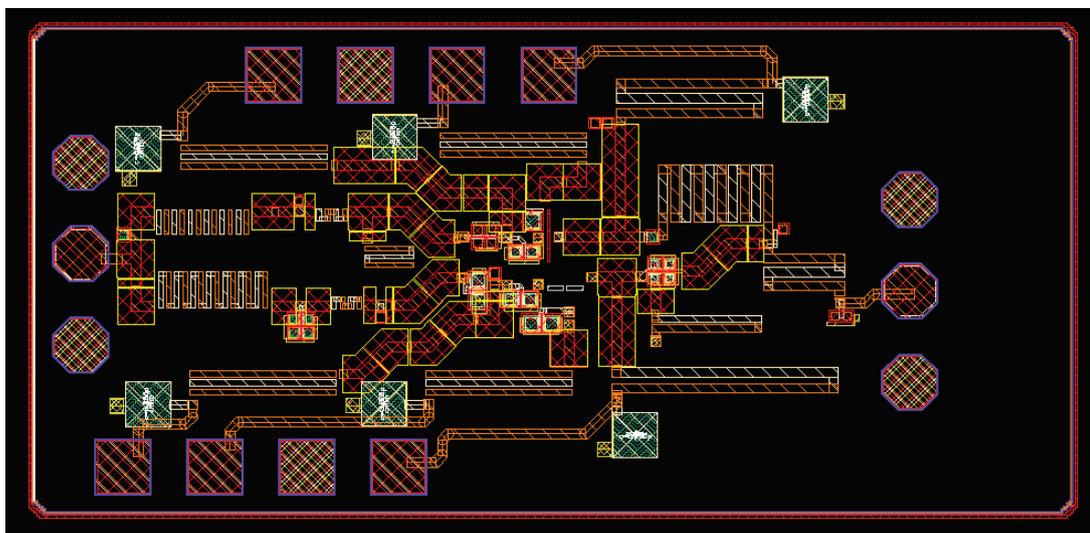


Figura 98. Doherty con el *sealring* y los *pads*.

Con los *pads* y el *sealring* colocado sin tener errores de DRC asociados a las reglas de diseño de la tecnología, queda comprobar algunos *switches* ya que antes de fabricarse la propia *foundry* pasará una serie de comprobaciones y si no está limpio de errores podría no llegar a fabricarse. Estos *switches* no son más que un añadido a la comprobación que se estaba haciendo anteriormente utilizando el DRC, sólo que ahora se revisarán además de las reglas de diseño de la tecnología, otros aspectos como la densidad mínima de metales que se necesita tener en el área a fabricar. Esto quiere decir que en áreas del chip donde no haya ningún metal, habrá que rellenarlo con las distintas capas de metales para cumplir con la densidad mínima requerida. Este paso es fundamental y todas las tecnologías necesitan rellenar los espacios vacíos ya que si no se hiciese afectaría al *YIELD* del proceso

de fabricación, así como a su fiabilidad. En la Figura 99 se muestra los resultados obtenidos al pasar un DRC con el *switch* del *density* activado.

[1] M2_j: Min. global Metal2 density = 0.35	4	Doherty_ksaiz layout_tfm Doherty_layout
[8] MFill_h_n: Min. MnFiller/Mn density for 800.0*800.0 um^2 chip area = 0.25::Layer: M2		
[1] M3_j: Min. global Metal3 density = 0.35		
[8] MFill_h_n: Min. MnFiller/Mn density for 800.0*800.0 um^2 chip area = 0.25::Layer: M3		
[1] M4_j: Min. global Metal4 density = 0.35		
[8] MFill_h_n: Min. MnFiller/Mn density for 800.0*800.0 um^2 chip area = 0.25::Layer: M4		
[1] M5_j: Min. global Metal5 density = 0.35		
[8] MFill_h_n: Min. MnFiller/Mn density for 800.0*800.0 um^2 chip area = 0.25::Layer: M5		
[1] AFil_g: Min. global Activ density = 0.35		
[8] AFil_g2: Min. Activ density for 800.0*800.0 um^2 chip area = 0.25::Layer: Act		
[1] GFill_g: Min. global GatPoly density = 0.15		
[1] M1_j: Min. global Metal1 density = 0.35		
[4] MFill_h_1: Min. M1Filler/M1 density for 800.0*800.0 um^2 chip area = 0.25::Layer: M1		
[1] TM1_c: Min. global TopMetal1 density = 0.25		
[1] TM2_c: Min. global TopMetal2 density = 0.25		

Figura 99. Errores de densidad de metales en el *layout* del Doherty.

A pesar de haber utilizado en el diseño varios metales como el TopMetal2 para realizar las bobinas y las líneas de transmisión, sigue haciendo falta más cantidad de este metal dentro del *sealring* además de muchos otros. Una ventaja de usar esta tecnología es que cuenta con una herramienta automática para generar los denominados *fillers*, estos *fillers* ocuparán las zonas vacías por los metales que asignemos. No obstante, los *fillers* colocados con la herramienta automática no son suficientes para este diseño en particular por lo que es necesario crear un *filler* manualmente teniendo en cuenta la densidad mínima que se requiere para capa. El *filler* diseñado se puede ver en la Figura 100 junto con las capas utilizadas en la parte izquierda.

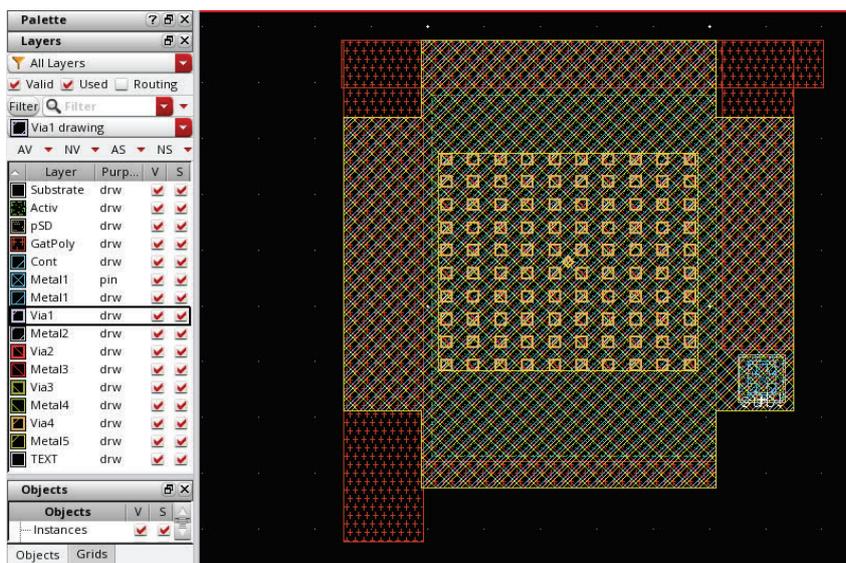


Figura 100. Filler diseñado para cumplir las reglas de *density*.

Este *filler* se coloca por todos los espacios exteriores del Doherty hasta ir reduciendo los errores de DRC para finalmente utilizar la herramienta automática y que se encargue de cubrir las áreas más difíciles de alcanzar. En la Figura 101 se ilustra a la izquierda un ejemplo de los *fillers* colocados entre dos *pads* y a la derecha una vista más cercana de como quedan perfectamente conectados entre ellos.

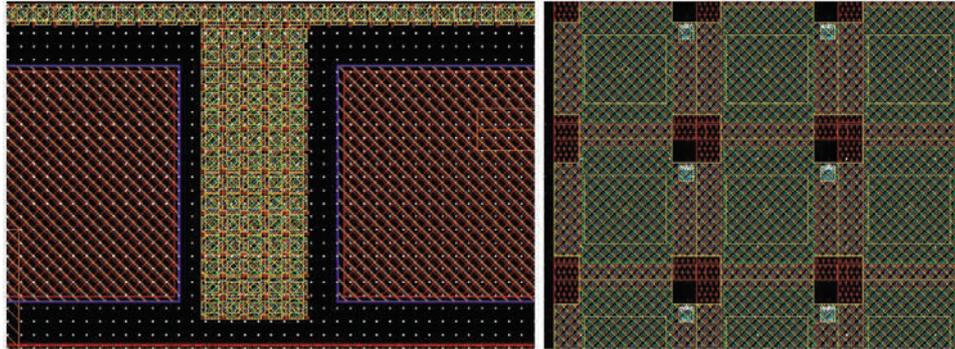


Figura 101. Colocación de los fillers diseñados entre los pads (izquierda) y vista ampliada de los fillers (derecha).

Con los *pads* colocados y sin tener ningún error de DRC ya se puede colocar el amplificador Doherty junto al otro circuito para terminar de pasar un DRC global y verificar que no hay más errores. Una vez hecho esto, el amplificador ya estaría listo para la fabricación. En la Figura 102 se presenta de cerca la parte donde se encuentra el amplificador Doherty de este proyecto en el chip final cuyas dimensiones son de 1,436 mm x 0,732 mm.

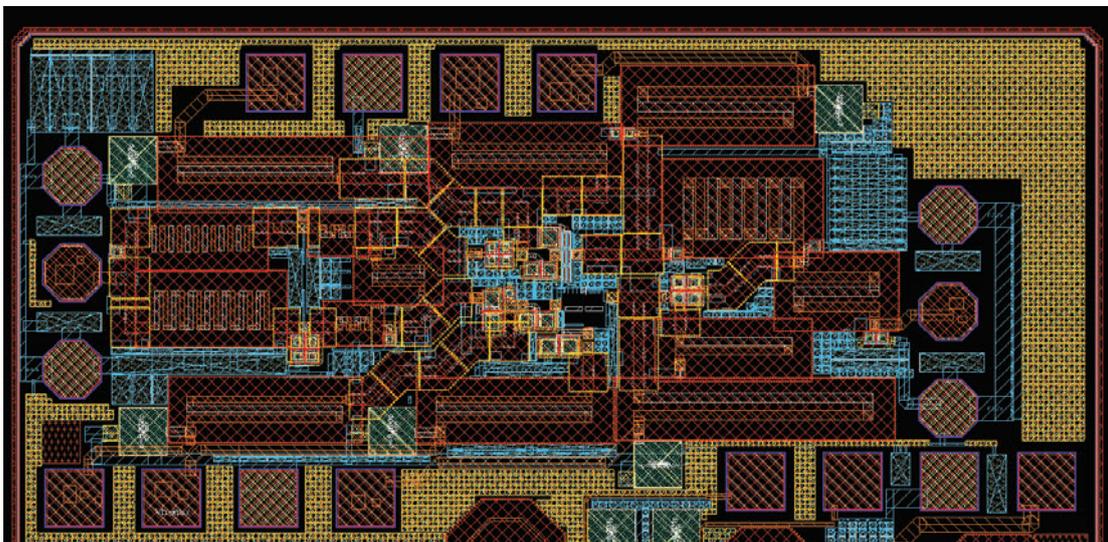


Figura 102. *Layout* final del amplificador Doherty.

## 6.4. Resultados finales

Los resultados del amplificador de potencia Doherty en tecnología SiGe se muestran en la Figura 103. Las gráficas muestran que el amplificador es estable en cualquier rango de frecuencias, tiene una muy buena adaptación tanto a la entrada como a la salida y cuenta con una ganancia en pequeña señal de 13,4 dB además de una ganancia en gran señal que varía de 11 dB a 5,5 dB en la región de *back-off*. En cuanto a potencia de salida, se obtienen 23 dBm en el segundo pico de eficiencia y la PAE se mantiene por encima del 15% en la región de *back-off* teniendo un máximo pico de eficiencia del 17,6%. El *back-off* obtenido es de 9,5 dB.

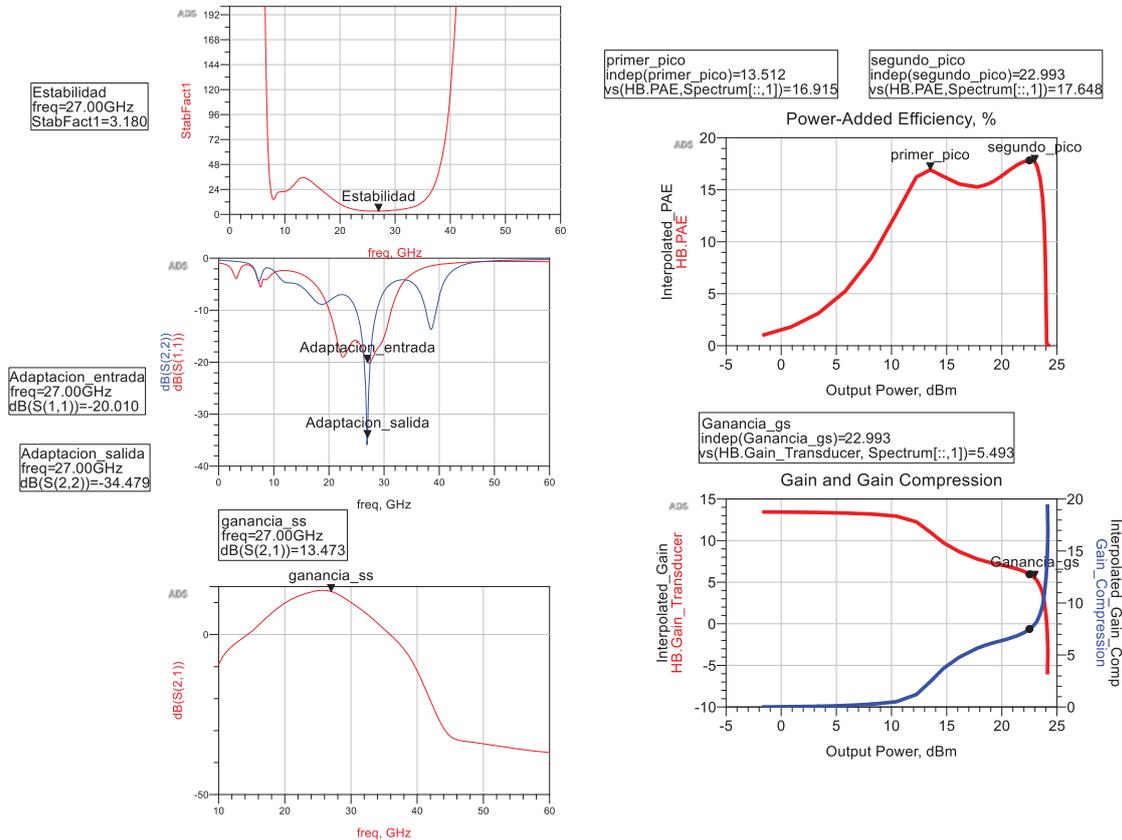


Figura 103. Resultados finales del amplificador Doherty.



## **Capítulo 7.**

---

### **7. Conclusiones y líneas futuras**

Una vez completado el proceso de diseño del amplificador Doherty, en este capítulo se resumen los resultados obtenidos, así como las conclusiones que se extraen de los mismos. Asimismo, se hará una comparativa de las prestaciones alcanzadas comparándolas con otros circuitos de características similares encontrados en la literatura. Por último, se presentará una revisión de los objetivos que se pretendían cumplir y se hablará de las líneas futuras a desarrollar a partir de este proyecto.



## 7.1. Conclusiones

Una vez terminadas las simulaciones y haber obtenido el diseño final del amplificador de potencia Doherty que se pretendía realizar, se procede a analizar los resultados y conclusiones a partir de ellos.

Como se explicó en el Capítulo 1, el objetivo de este proyecto es el diseño de un amplificador Doherty que opere en la red de 5G, concretamente, en la banda de 27 GHz. Además, se hará uso de la tecnología SiGe, tecnología que se está mejorando hoy en día para hacerse un hueco dentro de esta nueva red.

Para el diseño de este circuito, primero se obtuvieron las curvas características de los transistores y se polarizaron para operar como un clase AB para el amplificador principal y un clase C para el auxiliar.

Como segundo paso, se comprobó la estabilidad de los transistores y se introdujo una red de estabilidad para asegurar su funcionamiento a la frecuencia de operación.

Seguidamente, se realizó un análisis *load-pull* y *source-pull* con el fin obtener la impedancia que necesita cada transistor para entregar la máxima potencia a la salida y posteriormente, se diseñaron las redes de adaptación para obtener unas prestaciones óptimas.

El siguiente paso fue la unión del amplificador principal y el auxiliar para formar el amplificador Doherty. Para lograr esto, fue necesario el diseño de un divisor de potencia Wilkinson asimétrico. También se realizó una simplificación de componentes en el circuito para intentar quitar el mayor número posible de bobinas, que se tradujo en un ahorro en el área final del circuito.

Una vez diseñado el amplificador con componentes ideales, se pasó a sustituir dichos elementos por componentes reales de las librerías de IHP. Este proceso es muy delicado ya que se debe elegir cada componente de forma

minuciosa para que las prestaciones del circuito cambien lo menos posible. En algunos casos, tras la sustitución de un elemento ideal por su equivalente real se optimizó nuevamente el circuito para que las prestaciones se mantuvieran dentro de los márgenes preestablecidos. Además, en vez de usar las bobinas que incluía la propia tecnología, se optó por diseñar bobinas tipo solenoide con el fin de reducir el área ocupada e investigar el funcionamiento de este tipo de inductores para amplificadores 5G.

Finalmente, se diseñó el *layout* del circuito para cumplir con el área disponible y se preparó el diseño para ser fabricado.

### 7.1.1. Resultados

A partir de los resultados obtenidos, se da por satisfecho el cumplimiento de las especificaciones dadas, pudiendo dar por alcanzado el objetivo principal fijado para este proyecto. Además, para comparar cómo se reflejan estas prestaciones a nivel global, se ha realizado una comparación con otros trabajos encontrados en la literatura en los que se diseñan amplificadores de potencia Doherty. Los resultados de esta comparación se encuentran reunidos en la Tabla IV.

Tabla IV. Comparativa con otros trabajos.

Referencia	Este proyecto	[55]	[56]	[57]	[58]	[59]
Tecnología	0,13 $\mu\text{m}$ SiGe	0,15 $\mu\text{m}$ GaAs	0,15 $\mu\text{m}$ GaAs	0,15 $\mu\text{m}$ GaAs	0,13 $\mu\text{m}$ SiGe	0,15 $\mu\text{m}$ GaAs
Alimentación DC (V)	3,3	5	5	4	1,7	4,5
Frecuencia (GHz)	27	26,4	25,8	29,5	29	31,1

<b>Máxima <math>P_{sat}</math> (dBm)</b>	23	25,3	25,1	26	19,2	26,3
<b>Ganancia (dB)</b>	13,4	10,3	7	12	3,8	14
<b>PAE Máxima (%)</b>	17,6	38	16,5	40	-	35
<b>PAE 6dB (%)</b>	16	27	12,6	29	20	28
<b>Tamaño (<math>mm^2</math>)</b>	1,05	25	2,25	2,86	1,87	3,57

Aunque no se han encontrado muchos proyectos que operen en el mismo rango de frecuencias que el amplificador Doherty diseñado en este proyecto, se han elegido circuitos que se aproximen. Por algún motivo tampoco se han encontrado muchos amplificadores Doherty en tecnología SiGe a 27 GHz, no obstante, se ha decidido comparar también este amplificador con una tecnología en teoría superior como GaAs para mostrar como de cerca está la tecnología SiGe de ser competitiva.

Un aspecto a tener en cuenta es que la mayoría de las referencias sólo mostraban la PAE a 6 dB de *back-off* y uno de los puntos fuertes que tiene este proyecto es que mantiene una PAE constante hasta 9,5 dB de *back-off*, característica que lo hace más atractivo para modulaciones que se emplean en las comunicaciones 5G como se vio en el Capítulo 1. En general, el amplificador Doherty diseñado es mucho más pequeño si lo comparamos con el resto de las referencias, en parte gracias a las bobinas tipo solenoide que permitieron hacer el diseño más flexible. En cuanto a potencia máxima de salida la tecnología GaAs en

algunos casos las referencias obtienen el doble pero con un factor importante a tener en cuenta, el área que ocupan en muchos casos no es del doble sino un factor más elevado.

La PAE como era de esperar es algo inferior a tecnologías como GaAs aunque también ha disminuido por el uso de estas bobinas solenoide con el fin de reducir área. También hay que tener en cuenta que se está alimentando con una tensión inferior a las referencias que usan GaAs, por lo que el Doherty diseñado en este proyecto es mucho más pequeño y consume menos que el resto de referencias. Además, gracias a la configuración cascodo se ha conseguido un buen nivel de ganancia superando en todo momento al resto de referencias con GaAs.

La referencia [58] es el diseño con más similitud respecto a este proyecto, es un amplificador Doherty diferencial en SiGe pero como se puede ver, el diseño realizado en este proyecto es muy superior en todos los aspectos y tan sólo pierde en back-off por un 4%, dato insignificante si lo comparamos con toda la reducción de área que se ha conseguido además del aumento de más del doble de potencia respecto a la referencia [58]. Por ejemplo, si se tuviese que realizar una producción en masa entre las prestaciones de la referencia [56] y las de este proyecto, aunque el área ocupada sea algo más del doble hay que contar con que el proceso de fabricación y el precio por milímetro cuadrado no es igual para una tecnología como SiGe que para GaAs por lo que el precio final sería algo más del doble. Un dato importante a tener en cuenta y es por esta razón por la que la tecnología SiGe es un candidato fuerte para entrar en esta nueva generación.

En definitiva, la tecnología SiGe se presenta como un fuerte competidor para la nueva generación 5G y más si se realizan diseños como los de este trabajo, se ha conseguido un diseño muy compacto y con una buena potencia de salida para esta tecnología.

## 7.2. Líneas futuras

Una vez completado el análisis de los resultados obtenidos y realizada la comparativa con los otros circuitos, se puede afirmar que los objetivos de este proyecto se han cumplido.

Sin embargo, a pesar de haber desarrollado el esquema, el *layout* y su posterior envío a fabrica, a partir de este último se pueden desarrollar otras líneas de trabajo antes de dar por finalizado este proyecto.

Una primera línea futura es realizar el mismo diseño pero con las bobinas que incluye la tecnología de IHP, de tal forma que se pueda hacer una comparación del área y de las prestaciones que se están reduciendo con las bobinas de tipo solenoide.

La siguiente línea por la que se seguirá trabajando es cuando llegue el amplificador Doherty fabricado, donde se realizarán las medidas para contrastar toda la metodología aplicada en este proyecto, así como los últimos resultados de simulación obtenidos.

Para finalizar, después de realizar estos dos últimos puntos, se redactará un *paper* explicando el impacto que tienen estas bobinas para diseños en esta frecuencia y su viabilidad.



## **Parte II:**

# **Bibliografía**



# Bibliografía

- [1] H. V. Hunerli, "A High Efficiency and Wideband Doherty Power Amplifier for 5G," CHALMERS UNIVERSITY OF TECHNOLOGY, 2017.
- [2] M. Yahyavi and E. Bertran Alberti, "On the design of high-efficiency RF Doherty power amplifiers," Universitat Politècnica de Catalunya.
- [3] E. Delgado Baxarias and A. Barabé, "Diseño y construcción de un amplificador de RF en configuración Doherty," Universitat Politècnica de Catalunya, 2016.
- [4] A. Sandström, "Design and Realization of a 6 GHz Doherty Power Amplifier from Loadpull Measurement Data," 2015.
- [5] K. PEKER, "Design of a High Efficiency Power," Bilkent University, 2010.
- [6] B. Slade, "The Basics of the Doherty Amplifier," 1936.
- [7] A. A. Rodríguez, "Diseño y montaje de un amplificador Doherty," 2010.
- [8] J. Wong, N. Watanabe and A. Grebennikov, "High-power high-efficiency broadband GaN HEMT Doherty amplifiers for base station applications," 2018 IEEE Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications (PAWR), 2018, pp. 16-19, doi: 10.1109/PAWR.2018.8310055.
- [9] GTI Group, "GTI Sub-6GHz 5G Device White Paper."
- [10] "Cisco Annual Internet Report - Cisco Annual Internet Report (2018–2023) White Paper - Cisco." <https://www.cisco.com/c/en/us/solutions/collateral/executive-perspectives/annual-internet-report/white-paper-c11-741490.html> (accessed Sep. 06, 2021).
- [11] H. Technologies, "5G Network Architecture: A High-Level Perspective," 2015.
- [12] 3GPP, "<http://www.3gpp.org/>." [Online]. Available: <http://www.3gpp.org/>.
- [13] Qualcomm, "Spectrum for 4G and 5G". <https://www.qualcomm.com/media/documents/files/spectrum-for-4g-and-5g.pdf> (accessed Mar. 03, 2021).
- [14] A. Morgado, K. M. S. Huq, S. Mumtaz, and J. Rodriguez, "A survey of 5G technologies: Regulatory, standardization and industrial perspectives," *Digit. Commun. Networks*, no. September, pp. 1-11, 2018.
- [15] S. E. Assessment, "European Commission," *Environment*, vol. 1997, no. January, pp.1-2, 2001.
- [16] "Telekom Netzausbau | Telekom." <https://www.telekom.de/netz/mobilfunk-netzausbau> (accessed Sep. 06, 2021).

- [17] H. Technologies, "5G Network Architecture: A High-Level Perspective," 2015.
- [18] D. Y. C. Lie, J. Tsay, T. Hall, T. Nukala, J. Lopez and Y. Li, "Recent progress on high-efficiency CMOS and SiGe RF power amplifier design," 2016 IEEE Topical Conference on Power Amplifiers for Wireless and Radio Applications (PAWR), 2016, pp. 15-17, doi: 10.1109/PAWR.2016.7440130.
- [19] "Bits to Beams – RF Technology Evolution for 5G mmwave Radios | 2018-11-09 | Microwave Journal." <https://www.microwavejournal.com/articles/print/31316-bits-to-beams-rf-technology-evolution-for-5g-mmwave-radios> (accessed Sep. 06, 2021).
- [20] T. Zimmer et al., "SiGe HBTs and BiCMOS Technology for Present and Future Millimeter-Wave Systems," in IEEE Journal of Microwaves, vol. 1, no. 1, pp. 288-298, winter 2021, doi: 10.1109/JMW.2020.3031831.
- [21] J. A. Valdez Monroy, "Cuantificación del fenómeno de desfocalización de corriente en transistores bipolares de heterounión silicio germanio," 2015.
- [22] "Transistores de efecto de campo (JFET, MESFET y MOSFET),".
- [23] W. Celis, "The Field-effect Transistor," Microelectron. Circuit Anal. Des, 2010.
- [24] M. Chaniotakis and R. Cory, "Bipolar Junction Transistor Circuits Biasing," pp. 1-13, 2006.
- [25] A. P. Malvino, "Principios de Electronica," 6th ed. Toronto ed. McGraw-Hill International Edition, 2000.
- [26] G. Longo, F. Fusillo and F. Scrimizzi, "AN4191 Application note Power MOSFET: R g impact on applications," 2012.
- [27] X. Zhang, T. M. S. Li, H. Xue and S. Ren, "Multi-finger MOSFET low noise amplifier performance analysis," IEEE National Aerospace and Electronics Conference, 2014.
- [28] M. Lajovic, C. Design, and L. U. Bordeaux, "Amplifier for 3G / 4G mobile communications," L'UNIVERSITÉ BORDEAUX y L'UNIVERSITÉ DE BRASÍLIA ÉCOLE, 2014.
- [29] B. Kim, *Doherty power amplifiers : from fundamentals to advanced design methods*.
- [30] Y. Yew and Y. Li, "Performance Evaluation for OFDM PAPR Reduction Methods," Taiwan, 2006.
- [31] S. Alemdar, "A band selecting UHF class-AB GaN power amplifier with 40 dBm output power," Bilkent University, 2013.

- [32] D. C. del Castillo, "Diseño de amplificadores de potencia de RF en la tecnología de GaN," 2010.
- [33] M. Ohtomo, "Stability Analysis and Numerical Simulation of Multidevice Amplifiers," *IEEE Trans. Microw. Theory Tech.*, vol. 41, no. 6, pp. 983–991, 1993.
- [34] Y.-Y. Li, Ying; Yew, "Performance Evaluation for OFDM PAPR Reduction Methods."
- [35] L. Al and J. L. Reina Tosina, "Estudio por simulación de la técnica LINC para la mejora de la eficiencia en amplificadores de potencia."
- [36] D. A. Neamen, "Semiconductor Physics and Devices Basic Principles Fourth Edition," 2012.
- [37] Nikandish, Reza & Yousefi, Alireza & Medi, Ali. (2014). Stability analysis of broadband cascode amplifiers in the presence of inductive parasitic components. *IET Circuits, Devices & Systems*. 8. 469-477. 10.1049/iet-cds.2013.0470.
- [38] C. A. González Zúñiga, "Estudio por simulación de la técnica 'Envelope Tracking' para la mejora de la eficiencia en amplificadores de potencia," Universidad de Sevilla, 2015.
- [39] "Impedance Matching Network Designer." <https://home.sandiego.edu/~ekim/e194rfs01/jwmatcher/matcher2.html> (accessed Sep. 06, 2021).
- [40] Cheng, Peisen & Wang, Quan & Jia, Yeting & Liu, Zhichao & Feng, Chun & Jiang, Lijuan & Xiao, Hongling & Wang, Xiaoliang. (2021). A Broadband Asymmetrical GaN MMIC Doherty Power Amplifier with Compact Size for 5G Communications. *Electronics*. 10. 311. 10.3390/electronics10030311.
- [41] H. Beshary, I. A. Eshrah, M. A. Y. Abdalla and A. N. Mohieldin, "A Compact Low-Loss On-chip N-Way Wilkinson Power Divider for mm-Wave 5G Applications," 2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS), 2020, pp. 444-447, doi: 10.1109/MWSCAS48704.2020.9184461.
- [42] Aznar-Ballesta, Francisco & García Pérez, Óscar & Gonzalez, Vicente & Segovia-Vargas, Daniel. (2010). Filtro Activo Recursivo con Divisores de Potencia Metamaterial Asimétricos.
- [43] "Microwaves101.com. Unequal-split Wilkinsons – the rest of the story." <https://www.microwaves101.com/encyclopedias/unequal-split-wilkinsons-the-rest-of-the-story.html> (accessed Sep. 06, 2021).

- [44] "Impedance and Admittance Formulas for RLC Combinations - RF Cafe." <http://www.rfcafe.com/references/electrical/impedance-admittance-formulas-rlc.htm> (accessed Sep. 06, 2021).
- [45] K. Yousef, H. Jia, A. Allam, R. Pokharel, M. Ragab and K. Yoshida, "Design of 3D integrated inductors for RFICs," 2012 Japan-Egypt Conference on Electronics, Communications and Computers, 2012, pp. 22-25, doi: 10.1109/JEC-ECC.2012.6186950.
- [46] H. Garcia, S. Khemchndai, R. Puidlo, A. Lturri and J. Pino "A Wideband Active Feedback LNA with A Modified 3D Inductor," Microwave and Optical Technology Letters, vol. 52, pp. 1561–1567, July 2010.
- [47] Xi-Ning Wang, Xiao-Lin Zhao, Yong Zhou, Xu-Han Dai and Bing-Chu Cai "Fabrication and Performance of Novel RF Spiral Inductors on Silicon," Microelectronics Journal, vol. 36, pp. 737-740, 2005.
- [48] A. Niknejad and Robert G. Meyer "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF ICs," IEEE Journal of Solid State Circuits, vol. 33, pp. 1470-1481, October 1998.
- [49] A. G. Iturre, "Aportaciones al diseño, simulación, caracterización y modelado de inductores integrados sobre silicio." 2007.
- [50] J. Craninckx, M.S. J. Steyaert, "A 1.8 GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," IEEE Journal of SolidStateCircuits, vol. 32, no. 5, pp. 736-744, 1997.
- [51] N. M. Nguyen, and R. G. Meyer, "Si IC-compatible inductors and LC passive filters," IEEE J. Solid-State Circuits, vol. 25, pp. 1028-1031, Aug. 1990.
- [52] A. Zolfaghari, A. Chan and B. Razavi, "Stacked inductors and transformers in CMOS technology," in IEEE Journal of Solid-State Circuits, vol. 36, no. 4, pp. 620-628, April 2001, doi: 10.1109/4.913740.
- [53] K. Yousef, H. Jia, A. Allam, R. Pokharel, M. Ragab and K. Yoshida, "Design of 3D integrated inductors for RFICs," 2012 Japan-Egypt Conference on Electronics, Communications and Computers, 2012, pp. 22-25, doi: 10.1109/JEC-ECC.2012.6186950.
- [54] Dok Won Lee, Kyu-Pyung Hwang and S. X. Wang, "Design and fabrication of integrated solenoid inductors with magnetic cores," 2008 58th Electronic Components and Technology Conference, 2008, pp. 701-705, doi: 10.1109/ECTC.2008.4550049.

- [55] J. Curtis, A. Pham, M. Chirala, F. Aryanfar and Z. Pi, "A Ka-Band doherty power amplifier with 25.1 dBm output power, 38% peak PAE and 27% back-off PAE," 2013 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2013, pp. 349-352, doi: 10.1109/RFIC.2013.6569601.
- [56] Y. Lin, J. Ji, T. Chien, H. Chang and Y. Wang, "A Ka-band 25-dBm output power high efficiency monolithic Doherty power amplifier in 0.15- $\mu$ m GaAs E-mode pHEMT process," 2017 IEEE Asia Pacific Microwave Conference (APMC), 2017, pp. 984-987, doi: 10.1109/APMC.2017.8251616.
- [57] D. P. Nguyen, B. L. Pham and A. Pham, "A compact 29% PAE at 6 dB power back-off E-mode GaAs pHEMT MMIC Doherty power amplifier at Ka-band," 2017 IEEE MTT-S International Microwave Symposium (IMS), 2017, pp. 1683-1686, doi: 10.1109/MWSYM.2017.8058964.
- [58] M. Özen, N. Rostomyan, K. Aufinger and C. Fager, "Efficient Millimeter Wave Doherty PA Design Based on a Low-Loss Combiner Synthesis Technique," in IEEE Microwave and Wireless Components Letters, vol. 27, no. 12, pp. 1143-1145, Dec. 2017, doi: 10.1109/LMWC.2017.2763739.
- [59] G. Lv, W. Chen and Z. Feng, "A Compact and Broadband Ka-band Asymmetrical GaAs Doherty Power Amplifier MMIC for 5G Communications," 2018 IEEE/MTT-S International Microwave Symposium - IMS, 2018, pp. 808-811, doi: 10.1109/MWSYM.2018.8439219.



**Parte III:**  
**Pliego de condiciones**



Los recursos *hardware* empleados para el desarrollo del presente TFM son:

- Ordenador portátil Asus. Este ordenador cuenta con un procesador Intel Core i7-4510U de 2,6 GHz, 4GB de memoria RAM DDR3 y un almacenamiento de 500 GB.

En cuanto a los recursos *software* empleados para el desarrollo del presente TFM son:

- Sistema Operativo Windows 10.
- ADS 2019.
- Cadence Virtuoso
- Kit de diseño de IHP de la tecnología SiGe.
- Microsoft Office 2016: Paquete de software de Microsoft.
  - Microsoft Word.
  - Microsoft PowerPoint.
  - Microsoft Visio.
  - Microsoft Project.



**Parte IV:**  
**Presupuesto**



# Presupuesto

En este capítulo se recogen los gastos generados por el presente TFM. El presupuesto se divide en las siguientes partes:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material.
- Redacción de la documentación.
- Derechos de visado del COITT.
- Costes de fabricación.
- Gastos de tramitación y envío.

## P1. Trabajo tarifado por tiempo empleado

En este apartado se incluyen los honorarios a percibir por el ingeniero en el desarrollo del proyecto en función de las horas que se han empleado en su realización. El importe de dichas horas de trabajo se calcula siguiendo las recomendaciones del Colegio Oficial de Ingenieros Técnicos de Telecomunicaciones (COITT). Mediante la Ecuación P.1.

$$\text{Honorarios}(\text{€}) = H_n * 14,48\text{€} + H_e * 20,27\text{€} \quad (\text{P.1})$$

Siendo:

- $H_n$ : Horas realizadas en la jornada laboral.
- $H_e$ : Horas realizadas fuera de la jornada normal de trabajo.

Para desarrollar este proyecto se necesitaron 300 horas, todas ellas realizadas dentro del horario normal de la jornada de trabajo. Por tanto, sustituyendo estos datos en la Ecuación P.2 se obtiene que los costes honorarios ascienden a:

$$\text{Honorarios}(\text{€}) = 300 * 14,48\text{€} + 0 * 20,27\text{€} = 4.344,00\text{€} \quad (\text{P.2})$$

## P2. Amortización del inmovilizado material

El inmovilizado material se considera tanto los recursos *hardware* como *software* empleados para la realización del TFM.

Se estipula el coste de amortización de los equipos *hardware* para un período de 3 años utilizando un sistema de amortización lineal, en el que se supone que el material se devalúa de forma constante a lo largo de su vida útil. La cuota de amortización se calcula haciendo uso de la Ecuación P.3.

$$\text{Cuota anual} = \frac{\text{Valor de adquisición} - \text{Valor residual}}{\text{Número de años de vida útil}} \quad (\text{P.3})$$

### P2.1. Amortización del material hardware

En la Tabla P.1 se muestra el *hardware* necesario para la realización del TFM, indicando para cada elemento su valor de adquisición, valor residual y coste de amortización, teniendo en cuenta un tiempo de uso de 1 año.

Tabla P.1. Costes de amortización hardware.

Elemento	Valor de adquisición	Valor residual	Coste anual	Coste de la amortización
Ordenador portátil	550€	200€	41,67€	17,36€
<b>Total</b>	550€	200€	41,67€	17,36€

Por lo tanto, el coste total del material *hardware* asciende a *diecisiete euros con treinta y seis céntimos*.

### P2.2. Amortización del material software

Para el cálculo de los costes de amortización del material *software* se considera que la universidad ha proporcionado todas las licencias y, por tanto, no ha repercutido ningún tipo de coste a nosotros. Esto se muestra en la Tabla P.2.

Tabla P.2. Costes de amortización del software.

Software	Valor de adquisición	Valor residual	Coste de amortización
Windows 10	0€	0€	0€
Licencia anual ADS ( <i>student</i> )	0€	0€	0€
Licencia anual Cadence	1.730 €	0€	720,83€
Paquete Microsoft Office	0€	0€	0€
<b>Total</b>	<b>1.730€</b>	<b>0€</b>	<b>720,83€</b>

Por lo tanto, el coste total del material *software* asciende a *setecientos veinte euros con ochenta y tres céntimos*.

### P3. Redacción del trabajo

El coste de redacción se calcula haciendo uso de la Ecuación P.4.

$$R = 0.05 * P * C_n \quad (P.4)$$

Donde  $R$  son los honorarios por la redacción del trabajo,  $P$  es el presupuesto y  $C_n$  es el coeficiente de ponderación en función del coste del presupuesto.

El valor del presupuesto se calcula como la suma del coste de todas las secciones anteriores, tal como se muestra en la Tabla P.3.

Tabla P.3. Presupuesto total sin IGIC.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00€
Amortización del material hardware	17,36€
Amortización del material software	717,60€
<b>Total (P)</b>	<b>5.078,96€</b>

Por otra parte, para este proyecto el coeficiente de ponderación  $C_n$  tiene un valor de unidad debido a que el coste total del proyecto no supera los 30.050,00 €. Por tanto, sustituyendo estos datos en la Ecuación P.5, se obtiene que el coste de la redacción de este Trabajo Fin de Grado es de:

$$R = 0.05 * 5.078,96€ = 253,95€ \quad (P.5)$$

Por lo tanto, el coste de la redacción del trabajo asciende a *doscientos cincuenta y tres euros con noventa y cinco céntimos*.

## P4. Derechos de visado del COITT

El COITT establece que, para proyectos técnicos de carácter general, los derechos de visado para 2021 se calculan con la Ecuación P.6.

$$V = 0,0035 * P * C \quad (P.6)$$

Donde  $V$  es el coste de visado del trabajo,  $P$  es el presupuesto del proyecto y  $C$  es el coeficiente reductor en función del presupuesto.

El presupuesto acumulado del proyecto ( $P$ ) se calcula en la Tabla P.4, el coeficiente  $C$  es igual a la unidad ya que el coste total del proyecto no supera los 30.050,00€.

Tabla P.4. Presupuestos totales con la redacción del trabajo.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00€
Amortización del material hardware	17,36€
Amortización del material software	717,60€
Redacción del trabajo	253,95€
<b>Total (P)</b>	<b>5.332,91€</b>

Así, aplicando (P.6) con los datos de la Tabla P.4 y el coeficiente especificado, en (P.7) se obtiene que el valor para los derechos del visado del COITT es de:

$$V = 0,0035 * 5.332,91€ = 18,67€ \quad (P.7)$$

Por lo tanto, los costes por los derechos de visado del COITT ascienden a *dieciocho euros con sesenta y siete céntimos*.

## P6. Costes de fabricación

Según la página de *ihp-microelectronics*, el coste de fabricación por milímetro cuadrado de la tecnología SG13S es de 6.300€ y como el diseño ocupa un área de 1,05 milímetros cuadrados, el coste de fabricación asciende a 6.615€.

## P6. Costes de tramitación y envío

Los costes de tramitación y envío están estipulados en 6,00€ por cada documento visado de forma telemática.

## P7. Aplicación de impuestos y coste total

A la actividad económica de este TFM se le debe aplicar el Impuesto General Indirecto Canario (IGIC), el cual graba el presupuesto con un 7%. Por tanto, el presupuesto total del proyecto sería el que se muestra en la Tabla P.5.

Tabla P. 5. Presupuesto total del proyecto.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4.344,00€
Amortización del material hardware	17,36€
Amortización del material software	720,83€
Redacción del trabajo	253,95€
Costes de visado del COITT	18,67€
Coste de fabricación	6.615€
Coste de tramitación y envío	6€
Subtotal	11.972,58€
IGIC (7%)	838,08€
Total (P)	12.813,89€

El presupuesto total del trabajo “*Diseño de un amplificador de potencia Doherty en tecnología SiGe 0,13 μm para comunicaciones 5G*” asciende a doce mil ochocientos trece euros y ochenta y nueve céntimos.

