

Sistema basado en SoC FPGA Zynq para aplicaciones en el campo de la astrofísica

Estudiante: Selenia María Medina Hernández <smedina@iuma.ulpgc.es>

Tutores: Dr. Pedro Pérez Carballo <carballo@iuma.ulpgc.es> D. Pedro Hernández Fernández <pedroh@iuma.ulpgc.es>

D. Sergio González Martín-Fernández

Julio 2022

Resumen

En este Trabajo de Fin de Máster se realiza el diseño de un *System-on-Chip* FPGA de adquisición y procesamiento de dieciséis canales de forma simultánea y de control de un módulo DAS que amplifica y realiza la conversión analógica-digital de las señales de entrada.

En el diseño de este SoC FPGA se utilizan técnicas de diseño de alto nivel (C++) y RTL (Verilog), metodologías de *diseño basado en plataformas* y herramientas de desarrollo Xilinx y Cadence, y se reutilizan IPs de Xilinx y Analog Devices.

Antecedentes

El Instituto de Astrofísica de Canarias (IAC) participa en el Experimento Q-U-I JOint TEnerife (QUIJOTE) que tiene como objetivo caracterizar la radiación de Fondo Cósmico de Microondas (FCM). Debido a los avances de QUIJOTE, el IAC solicita al Instituto Universitario de Microelectrónica Aplicada (IUMA) el diseño de un módulo DAS escalable de hasta 16 canales simultáneos.

Ante estas especificaciones, el investigador Sergio González Martín-Fernández y el IUMA diseñan un módulo DAS de 32 canales conformado por una fuente de alimentación con acumuladores de energía, dos tarjetas de adaptación, donde cada una integra 16 amplificadores de ganancia variable y dos convertidores AD7768 de Analog Devices, y dos Zedboards que utilizan el dispositivo Zynq-7000 de Xilinx.



Objetivos

El objetivo de este Trabajo de Fin de Máster es diseñar un SoC FPGA utilizando técnicas de diseño de alto nivel (C++) y RTL (Verilog) que adquiera y procese hasta 16 señales digitales de forma simultánea, permita controlar y configurar el módulo DAS citado desde el *software* y apague el *sistema* en caso de corte del suministro eléctrico.

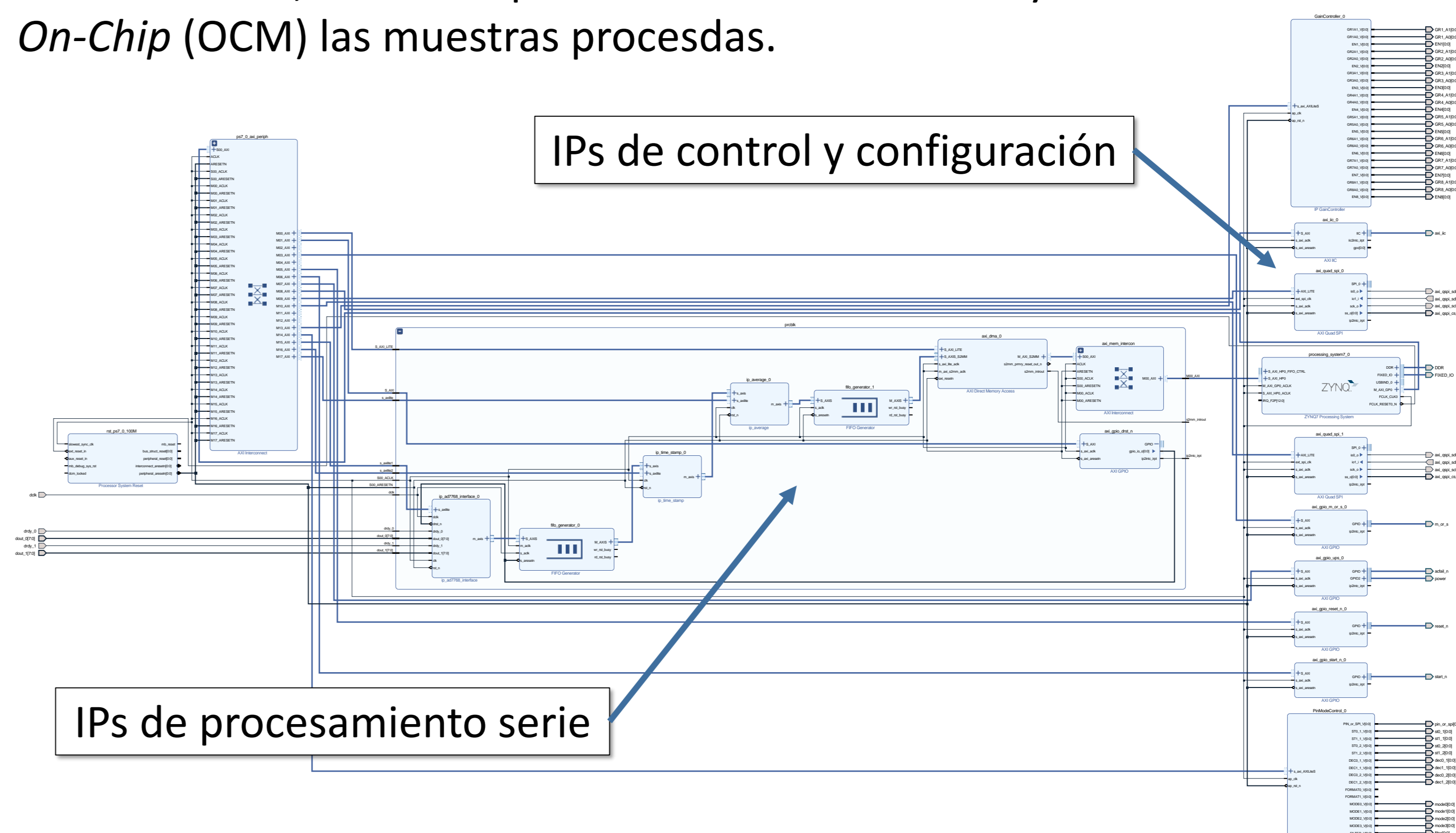
Conclusiones

Este SoC FPGA integrado en el módulo DAS citado ofrece un Sistema de Adquisición y Procesamiento de Datos de 16 canales simultáneos que amplifica con diferentes ganancias, captura a alta velocidad (256KSPS) y con una resolución de 24-bits, añade marcas de tiempo real Unix de segundos o milisegundos a las muestras, calcula el promedio de las muestras y envía a una estación remota a través de Ethernet las señales procesadas en formato ficheros de datos. Además, con este SoC se obtiene un DAS que puede ser controlado y configurado por medio de comandos y un menú de configuración (ej.: controlar la *captura*, seleccionar las ganancias de amplificación de las señales, poner en *standby* los canales deseados, etc.) y que se detiene de forma controlada en caso de corte del suministro eléctrico.

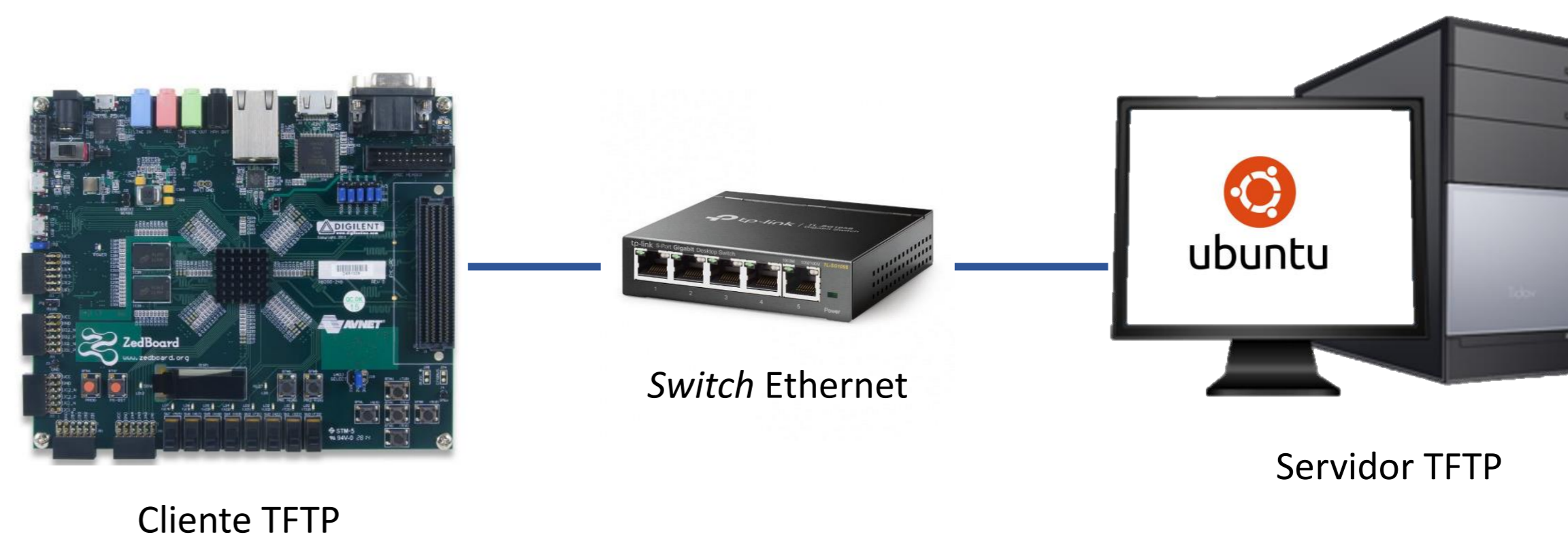
Arquitectura del sistema

El SoC presenta una arquitectura heterogénea, es decir, está compuesto por una plataforma *hardware* y una aplicación *software standalone*.

A nivel *hardware*, el sistema interpreta los datos generados por los convertidores A/D, en este caso dos AD7768 de Analog Devices, añade marcas de tiempo real en formato Unix con resolución de segundos o milisegundos a las muestras, calcula el promedio de las muestras y almacena en memoria *On-Chip* (OCM) las muestras procesadas.



Por otro lado, a nivel *software*, el sistema guarda en ficheros de datos las muestras procesadas mediante un Sistema de Ficheros FAT en RAM y envía dichos ficheros a un servidor remoto utilizando el protocolo TFTP.



Este SoC permite controlar y configurar el módulo DAS citado por medio de comandos transferidos por la UART y un menú de configuración interactivo. Además, apaga el *sistema* en caso de caída de la red eléctrica.

"EL FUTURO SE CREA
CON CADA PASO,
NO LO SUEÑES,
ALCANZA TU META"