

Diseño de un sistema hardware para compresión de datos a una tasa de 8 Gbps basado en el estándar CCSDS 121.0-B-3

Samuel Torres Fau <storres@iuma.ulpgc.es>

Antonio José Sánchez Clemente <ajsanchez@iuma.ulpgc.es>

Roberto Sarmiento Rodríguez <roberto@iuma.ulpgc.es>

Julio de 2023

Resumen

En este proyecto se ha diseñado, implementado, verificado y sintetizado un compresor de datos universal de alto rendimiento. El estándar de compresión escogido es el CCSDS 121.0, específicamente la tercera versión del mismo. Partiendo de la base del compresor ShyLoC 3.0, se ha diseñado una arquitectura altamente paralelizada, en la que un control basado en operaciones permite la efectiva coordinación de las distintas líneas de procesamiento independientes. El diseño ha sido verificado con un conjunto significativo de pruebas, y finalmente ha sido sintetizado para la Xilinx Kintex Ultrascale XCKU040.

CCSDS 121.0-B-3

El estándar de compresión CCSDS 121.0-B-3 define un compresor universal sin pérdidas específicamente desarrollado para sistemas embarcados en espacio. Un *Unit-Delay predictor* se incluye para el preprocesado de las muestras de entrada. El codificador entrópico trabaja con bloques de muestras, sobre cada uno de los cuales aplica la opción de codificación que mayor compresión proporciona.

Arquitectura diseñada

Partiendo del diseño original de ShyLoC, tanto el predictor como el codificador entrópico han sido paralelizados mediante la inclusión de 4 líneas de procesamiento paralelas, como puede verse en la **Figura 1**. Componentes adicionales como el *Post-Predictor Dispatcher* o los *builders* han sido añadidos, junto a un sistema que permite la consolidación de la información recibida desde las diferentes líneas de procesamiento en un *bitstream* unificado.

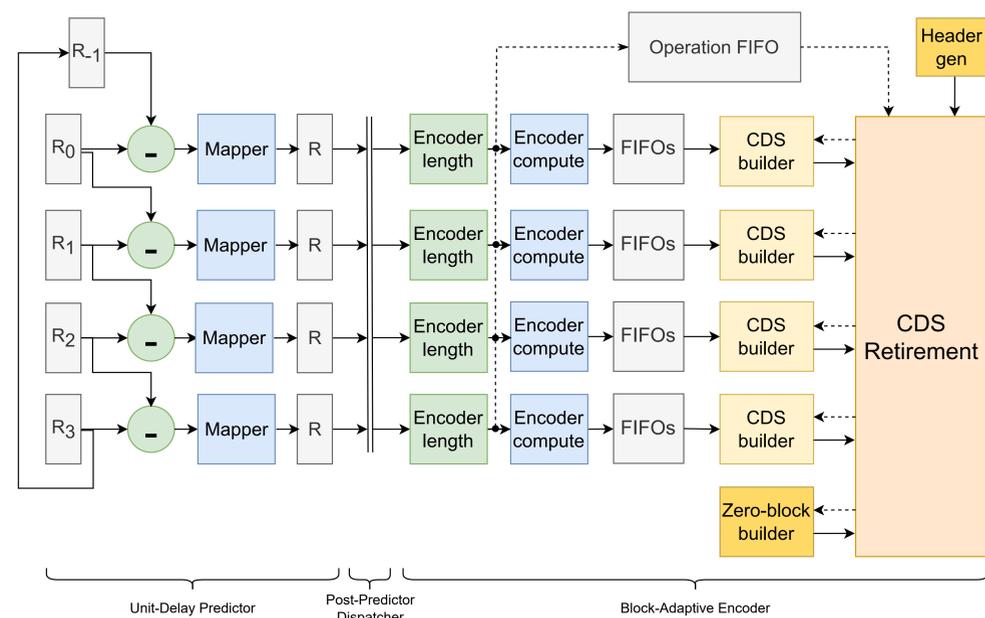


Figure 1. Architectural Overview of the parallelized design

Verificación y síntesis

La verificación se ha llevado a cabo en dos fases. Primero se crearon una serie de *testbenches* para probar componentes específicos y después, tras completar la integración de los diferentes componentes del IP, dió comienzo una campaña de verificación a nivel de sistema, en el que el *bitstream* resultante se compara con una referencia previamente obtenida con un *software* de referencia. El flujo de verificación de la segunda fase puede encontrarse en la **Figura 2**.

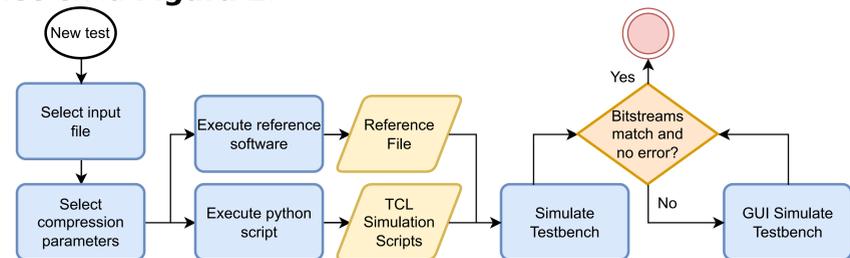


Figure 2. System-wide Verification Flow

A continuación, se procedió a la síntesis del diseño. Tras obtener unos malos resultados iniciales, se introdujeron ciertos cambios en el *pipeline* para eliminar un camino crítico que limitaba la frecuencia de operación. Los resultados finales pueden encontrarse en la **Tabla 1**, mostrando una baja utilización de recursos y un reloj de sistema que permite alcanzar los **7.776 Gbps**.

| | | | |
|--------------------------|-----------|------------------------------|----------------|
| System Clock | 121.5 MHz | LUTs | 28329 (11.68%) |
| I/O Ports | 378 | Non I/O Register Bits | 8774 (1.80%) |
| I/O Register Bits | 0 | Ultra RAMs | 0 |
| Block RAMs | 0 | DSP48s | 4 (0.20%) |

Table 1. Synthesis results

Conclusiones

- El sistema ha sido desarrollado siguiendo el esquema inicialmente definido, aunque ciertos elementos del codificador han sido adaptados para suplir las necesidades del diseño paralelizado. Se ha aplicado *pipelining* adicional para mejorar los resultados.
- El sistema ha sido exhaustivamente verificado con un conjunto amplio de pruebas, aunque la aplicación de otras metodologías más intensivas como *Fuzz Testing* o verificación formal daría mayores garantías acerca del correcto funcionamiento del diseño.
- El *throughput* estimado en síntesis es muy cercano a los 8 Gbps marcados como objetivo. Un análisis más profundo de los resultados y ciertas optimizaciones en el sistema de control permitirán que se supere esta cifra en las siguientes iteraciones de este IP.

"EL FUTURO SE CREA
CON CADA PASO,
NO LO SUEÑES,
ALCANZA TU META"