

Máster Universitario en Electrónica y Telecomunicación Aplicadas (META)



Trabajo Fin de Máster

Diseño de un amplificador de bajo ruido en la banda K/Ka para receptores de 5G usando tecnología SOI

Autor: Néstor Cecilio García Vélez
Tutor(es): Dr. Francisco Javier del Pino Suárez
D. David Galante Sempere
Fecha: Diciembre de 2023

Máster Universitario en Electrónica y Telecomunicación Aplicadas (META)



Trabajo Fin de Máster

**Diseño de un amplificador de bajo ruido en la banda K/Ka
para receptores de 5G usando tecnología SOI**

HOJA DE FIRMAS

Alumno/a:	Néstor Cecilio García Vélez	Fdo.:
Tutor/a:	Dr. Francisco Javier del Pino Suárez	Fdo.:
Tutor/a:	D. David Galante Sempere	Fdo.:

Fecha: Diciembre de 2023

Máster Universitario en Electrónica y Telecomunicación Aplicadas (META)



Trabajo Fin de Máster

**Diseño de un amplificador de bajo ruido en la banda K/Ka
para receptores de 5G usando tecnología SOI**

HOJA DE EVALUACIÓN

Calificación:

Presidente

Fdo.:

Secretario

Fdo.:

Vocal

Fdo.:

Fecha: Diciembre de 2023

Agradecimientos

A David Galante, por tu apoyo incondicional, empatía, paciencia y por enseñarme el maravilloso mundo de la microelectrónica de esa forma tan cercana y con esa gran capacidad de enseñar que tienes. Ha sido un placer para mí trabajar durante estos años contigo.

A Javier del Pino por transmitirme los conocimientos de los circuitos integrados y la radiofrecuencia, así como por su dedicación.

A mi familia y a Leticia, por apoyarme en cada pequeño paso y alentarme en los momentos más difíciles.

Pero en especial a mi Abuela, sé que allá donde estés seguirás acompañándome y estando orgullosa de mí.

Resumen

En este Trabajo Fin de Máster se realiza el diseño de un amplificador de bajo ruido (LNA) a una frecuencia de trabajo de 30 GHz en una tecnología de 45RFSOI. Dado que el estándar de comunicaciones 5G opera sobre la banda K, alrededor de 28 GHz, el diseño de un LNA de reducido consumo y elevadas prestaciones a esta frecuencia es de especial interés.

El proceso de diseño seguido es, en primer lugar, realizar una fase de estudio para contextualizar las tecnologías 5G y 45RFSOI, la teoría de los LNAs, así como otros trabajos para tener una estimación sobre las prestaciones obtenidas. A raíz de dicha investigación, se comienza la fase de diseño del LNA a nivel de esquemático de un cascodo con dos transistores nMOS apilados, en configuración de *Common-Gate* (CG) y *Common-Source* (CS) respectivamente. Además, se emplea una bobina en la puerta del transistor en CS para conseguir una adaptación de entrada óptima y una bobina de degeneración inductiva en el terminal de fuente de dicho transistor para reducir la figura de ruido (NF), mejorar la estabilidad y aproximar la impedancia de entrada a la impedancia óptima para mínimo ruido. A su vez, el transistor en CG está conectado en el terminal de drenador a una bobina, cuya función es maximizar la ganancia del dispositivo.

Para diseñar el amplificador a nivel de esquemático, se estudia la densidad de corriente y geometría óptimas para alcanzar el mejor compromiso entre prestaciones y consumo, obteniendo una ganancia equivalente a 18 dB y una figura de ruido de 1.5 dB. El siguiente paso consiste en la sustitución de componentes por los de la tecnología, consiguiendo una ganancia de 16.5 dB y una figura de ruido de 1.7 dB.

Tras concluir el diseño de los esquemáticos, se pasa a implementar el circuito a nivel de *layout*. Para ello, se obtiene primero un modelo del transistor teniendo en cuenta los componentes parásitos del *layout*, así se incluyen estas desviaciones desde el inicio del proceso de diseño. Posteriormente, se reajustan los componentes empleados y se pasan las reglas de diseño, así como se verifica que el esquemático y el *layout* coinciden. Asimismo, se realizan extracciones de capacidades parásitas y simulaciones electromagnéticas de los componentes, y se incluyen en el diseño para comprobar cómo afectan a las prestaciones. Para finalizar el flujo de diseño, se realizan las simulaciones *post-layout*, dónde se aplica un análisis de Monte Carlo de 250 ensayos, obteniendo una ganancia media de 15.9 dB y una figura de ruido media de 2 dB.

Abstract

In this Final Master's Thesis, a low noise amplifier (LNA) at a working frequency of 30 GHz in a 45RFSOI technology is designed. As the 5G communications standard operates in the K-band, around 28 GHz, the design of a low-power LNA with high performance at this frequency is interesting.

The design process followed is, firstly, to make a study phase to contextualise the 5G and 45RFSOI technologies, the theory of LNAs, as well as other works to have an estimate of the performance obtained. As a result of this research, the design phase of the LNA begins at the schematic level of a cascode with two stacked nMOS transistors, in Common-Gate (CG) and Common-Source (CS) configuration respectively. In addition, an inductor at the gate of the CS transistor is used to achieve optimal input matching and an inductive degeneration inductor is used at the source terminal of the CS transistor to reduce the noise figure (NF), improve stability and approximate the input impedance to the optimal impedance for minimum noise. In turn, the transistor in CG is connected at the drain terminal to a inductor, whose function is to maximise the gain of the device.

To design the amplifier at the schematic level, the optimum current density and geometry are studied to achieve the best compromise between performance and consumption, obtaining a gain equivalent to 18 dB and a noise figure of 1.5 dB. The next step consists of replacing components with those of the technology, achieving a gain of 16.5 dB and a noise figure of 1.7 dB.

Once the schematic design has been completed, the circuit is implemented at the layout level. For this purpose, a complex model of the transistor is obtained, considering the parasitic components of the layout, so that these deviations are included from the beginning of the design process. Then, the components used are readjusted and the design rules are passed on, as well as verifying that the schematic and the layout match. Parasitic capacitance extractions and electromagnetic simulations of the components are also performed and included in the design to check how they affect performance. To finalise the design flow, post-layout simulations are executed, where a Monte Carlo analysis of 250 trials is applied, obtaining an average gain of 15.9 dB and an average noise figure of 2 dB.

Índice de contenido

Capítulo 1. Introducción.....	1
1. Antecedentes.....	2
2. Tecnologías 5G.....	3
3. Objetivos.....	6
4. Estructura del documento	7
Capítulo 2. Estado del Arte	9
1. Teoría Básica LNAs	9
I. Parámetros S y Carta de Smith	9
II. Figura de ruido.....	11
III. Ganancia	12
IV. Linealidad	12
V. Estabilidad	11
2. Estado del arte de LNAs para tecnologías 5G	13
3. Conclusiones.....	23
Capítulo 3. Estudio de la Tecnología 45RFSOI.....	25
1. Introducción a la tecnología.....	25
2. Elementos Pasivos	25
I. Resistencias.....	25
II. Condensadores	26
III. Bobinas	28
3. Elementos Activos	31
I. Transistores.....	31
4. Conclusiones.....	33
Capítulo 4. Diseño a Nivel de Esquemático.....	35
1. LNA en cascodo	35
2. Diseño con componentes ideales	36
I. Proceso de diseño	36
3. Diseño con componentes reales.....	45

4. Conclusiones	52
Capítulo 5. Diseño a Nivel de Layout	55
1. Proceso de Diseño	55
2. Layout del transistor	58
I. Layout del cascodo	62
II. Modelo complejo del cascodo	64
3. Layout de las bobinas.....	72
I. Bobina de drenador	73
II. Bobina de puerta	74
III. Bobina de fuente	75
4. Layout de los condensadores	80
5. Layout completo sin <i>pads</i>	81
6. Layout completo con pads	82
7. Conclusiones	86
Capítulo 6. Resultados de Simulación <i>Post-Layout</i>	89
1. LNA con modelo EM de los pasivos	89
2. Monte Carlo	95
3. Conclusiones	98
Capítulo 7. Conclusiones	99
1. Resumen del trabajo realizado	99
2. Recopilación de resultados	99
3. Líneas de trabajo futuro	102
Bibliografía	105

Índice de figuras

Figura 1. Diagrama de bloques de un transceptor convencional.....	2
Figura 2. Aplicaciones de la pirámide 5G.	4
Figura 3. Cuadripolo con las ondas incidentes y reflejadas en cada puerto y los parámetros S [13].	10
Figura 4. Ejemplo de una Carta Smith [13].....	10
Figura 5. Representación gráfica de los productos de intermodulación de segundo y tercer orden y el cálculo del IP3 para una determinada potencia de entrada [16].	13
Figura 6. LNA a 28 GHz diseñado con 45RFSOI [17].	14
Figura 7. Esquemático del LNA de banda ultra ancha entre 24 y 44 GHz [17].....	15
Figura 8. Parámetros S del LNA de banda ancha (a) y del LNA de banda ancha a 28 GHz (b) [17].	15
Figura 9. Esquemático del LNA a 28 GHz bajo una tecnología de 28 nm CMOS [18].	17
Figura 10. Layout del LNA a 33 GHz para el receptor 5G.	18
Figura 11. Comparativa de los parámetros S medidos frente a los simulados.	18
Figura 12. Esquemático del cascodo en configuración CG-CS [19].....	19
Figura 13. Resultados de la figura de ruido mínima y la ganancia frente a la densidad de corriente [19].	20
Figura 14. Implementación a nivel físico del LNA [19].	21
Figura 15. Esquemático del LNA implementado con los valores de los componentes [20]....	22
Figura 16. Implementación del chip con las medidas y los terminales [20].	22
Figura 17. Modelo simplificado de una resistencia [21].	26
Figura 18. Esquemático del condensador mimhd (a) y mimhq (b).	27
Figura 19. Layout de las condensadores mimhd y mimhq [16].	28
Figura 20. Estructura de una inductancia cuadrada en espiral simple [21].	29
Figura 21. Inductancia en espiral rectangular con los parámetros de diseño [25].	29
Figura 22. Layout de una bobina asimétrica sin apilar (INDR).	30
Figura 23. Layout del transistor ADNfet empleado.	32
Figura 24. Esquemático de un cascodo sencillo [16].	36
Figura 25. Esquemático inicial para dimensionar el transistor.....	38
Figura 26. Configuración inicial sobre la que se dimensionan los transistores.	38
Figura 27. Resultados de la corriente de polarización en función de la ganancia y la figura de ruido.....	39
Figura 28. Resultados de la ganancia y la figura de ruido en función de la corriente de polarización variando los valores del ancho del transistor desde 40 μm a 100 μm	40

Figura 29. Barridos de nf desde 25 fingers hasta 100 fingers para determinar las dimensiones del transistor.	41
Figura 30. Barrido de Lsource desde 25 pH hasta 150 pH en pasos de 5 pH.	41
Figura 31. Barrido de Lgate desde 50 pH hasta 550 pH en pasos de 5 pH.	42
Figura 32. Ajuste del valor de Lgate en función de la Carta Smith para obtener una adaptación de entrada próxima a 50 Ω	42
Figura 33. Valores de los distintos parámetros en la frecuencia de trabajo.	43
Figura 34. Barrido desde 20 fF hasta 35 fF en pasos de 1 fF para ajustar Cout.	43
Figura 35. Reajuste de Lgate para mantener un compromiso entre los parámetros del diseño.	44
Figura 36. Valores de los componentes ideales.	44
Figura 37. Resultados finales del diseño basado en componentes ideales.	45
Figura 38. Valores de inductancia y dimensiones de L _{source}	46
Figura 39. Resultados tras añadir L _{source} desde el PDK.	46
Figura 40. Valores de inductancia y dimensiones de L _{drain}	47
Figura 41. Resultados del esquemático con componentes del PDK tras añadir L _{drain}	47
Figura 42. Valores de inductancia y dimensiones de L _{gate}	48
Figura 43. Resultados del esquemático con componentes del PDK tras añadir L _{gate}	49
Figura 44. Valores de capacitancia y dimensiones de C _{out}	49
Figura 45. Resultados del esquemático con los componentes del PDK tras añadir C _{out}	50
Figura 46. Valores de capacitancia y dimensiones de los condensadores de Bypass.	50
Figura 47. Resultados del esquemático con componentes del PDK tras añadir los condensadores de Bypass.	51
Figura 48. Esquemático del diseño con componentes del PDK.	51
Figura 49. Resultados finales obtenidos con el diseño con componentes del PDK.	52
Figura 50. Esquemático del transistor con los pines y las dimensiones.	58
Figura 51. Incorporación del transistor al layout.	59
Figura 52. Esquemático con los cuatro transistores para reducir el ancho del transistor.	59
Figura 53. Layout de los cuatro transistores con los terminales interconectados.	60
Figura 54. Implementación del layout del primer transistor completo con los terminales.	61
Figura 55. Implementación final del primer transistor con los terminales en la capa LD para su conexión con otros componentes.	62
Figura 56. Esquemático para implementar el cascode, dividiendo los transistores para reducir el ancho total.	63
Figura 57. Implementación del layout del cascode hasta el nivel LD.	64

Figura 58. Modelo en 3D del cascode donde se observan los distintos niveles de metal y las vías.....	64
Figura 59. Elementos del cascode sometidos a la simulación EMX.....	65
Figura 60. Elementos del cascode sometidos a la extracción de capacidades parásitas.	66
Figura 61. Resultados de la extracción de parásitas del modelo RCC.	67
Figura 62. Creación del símbolo que contiene los resultados de la extracción de capacidades parásitas.	67
Figura 63. Sección vertical de la tecnología que indica las capas empleadas en el diseño del cascode.	68
Figura 64. Esquemático que contiene el símbolo con el modelo del cascode para realizar simulaciones.	69
Figura 65. Resultados de la simulación con las vistas de esquemático seleccionadas en el fichero de tipo config.	69
Figura 66. Resultados de la simulación del LNA con la vista "Schematic N-Port" del modelo EM.	70
Figura 67. Resultados finales del esquemático con las vistas de las simulaciones EM y RCC.	71
Figura 68. Floor plan del layout del LNA.	72
Figura 69. Layout con la topología a seguir en el presente TFM [20].	73
Figura 70. Diseño a nivel de layout de L_{drain}	74
Figura 71. Diseño a nivel de layout de L_{gate}	75
Figura 72. Diseño a nivel de layout de L_{source}	76
Figura 73. Líneas de transmisión para implementar L_{source}	77
Figura 74. Diseño a nivel de layout de las líneas de transmisión.	78
Figura 75. Esquemático con las líneas de transmisión para realizar simulaciones.	78
Figura 76. Resultados de la simulación antes de incluir las líneas de transmisión.	79
Figura 77. Resultados de la simulación tras incluir las líneas de transmisión.	79
Figura 78. Diseño a nivel de layout de los condensadores de grounding.	80
Figura 79. Diseño a nivel de layout de C_{out}	81
Figura 80. Layout completo sin pads y con el guardring	82
Figura 81. Esquemático con el símbolo del LNA completo.	83
Figura 82. Esquemático con los pads añadidos y configurados en función del tipo de punta.	84
Figura 83. Layout con los pads añadidos y los planos de masa en LD, OB y OA.	85
Figura 84. Layout final con los fillers como paso previo al envío a fabricación.	86
Figura 85. Diseño a nivel de layout completo.	87
Figura 86. Adaptación de entrada del LNA a nivel de layout.	89

Figura 87. Adaptación de salida del LNA a nivel de layout.....	90
Figura 88. Degeneración de fuente del LNA a nivel de layout.	90
Figura 89. Red de puerta del cascode del LNA a nivel de layout.	91
Figura 90. Esquemático con el modelo del cascode para realizar las simulaciones con el modelo EM de la degeneración de fuente.	91
Figura 91. Resultados de las simulaciones tras añadir el modelo EM de la degeneración de fuente.	92
Figura 92. Esquemático con el modelo del cascode para realizar las simulaciones con el modelo EM de la adaptación de entrada.....	93
Figura 93. Resultados de las simulaciones tras añadir el modelo EM de la adaptación de entrada.	94
Figura 94. Esquemático con el modelo del cascode para las simulaciones con el modelo EM de la adaptación de salida.....	94
Figura 95. Resultados de las simulaciones tras añadir el modelo EM de la adaptación de salida.	95
Figura 96. Resultados del análisis de Monte Carlo del parámetro S_{11}	96
Figura 97. Resultados del análisis de Monte Carlo del parámetro S_{22}	96
Figura 98. Resultados del análisis de Monte Carlo del parámetro S_{21}	97
Figura 99. Resultados del análisis de Monte Carlo del parámetro NF.	97
Figura 100. Estadísticas de los parámetros analizados con Monte Carlo.....	98
Figura 101. Recopilación del diseño completo del LNA a nivel de layout con los pads y los fillers incluidos.	102

Índice de tablas

Tabla 1. Comparación de aspectos técnicos entre 4G vs 5G.....	5
Tabla 2. Comparación de los resultados de ambos LNAs.....	16
Tabla 3. Resumen de las prestaciones del LNA estudiado.....	17
Tabla 4. Resultados de las diferentes implementaciones en función de la topología.....	23
Tabla 5. Posibles valores de los parámetros de los condensadores MIM	28
Tabla 6. Posibles valores de los parámetros de la bobina INDR	31
Tabla 7. Comparación de los resultados del diseño con componentes ideales frente al diseño con componentes de la tecnología.....	53
Tabla 8. Siglas, nomenclaturas y códigos de colores de los niveles de diseño de 45RFSOI [27]	57
Tabla 9. Resultados de los parámetros del LNA con el modelado del cascode.....	71
Tabla 10. Parámetros de la bobina L_{drain}	74
Tabla 11. Parámetros de la bobina L_{gate}	75
Tabla 12. Medidas de las líneas de transmisión empleadas	77
Tabla 13. Valores de los condensadores de grounding	80
Tabla 14. Valores de los parámetros de C_{out}	81
Tabla 15. Principales valores de los componentes del diseño a nivel de layout	87
Tabla 16. Resumen de las prestaciones del diseño del análisis de Monte Carlo.....	98
Tabla 17. Recopilación de los resultados de los diseños en las distintas fases	101

Acrónimos

3GPP	<i>Third Generation Partnership Project</i>
5G	<i>Fifth Generation</i>
ADC	<i>Analogic/Digital Converter</i>
BJT	<i>Bipolar Junction Transistor</i>
CG	<i>Common-Gate</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CS	<i>Common-Source</i>
DRC	<i>Design Rule Checking</i>
EM	<i>Electromagnética</i>
eMBB	<i>enhanced Mobile BroadBand</i>
EMX	<i>ElectroMagnetic eXtraction</i>
E/S	<i>Entrada/Salida</i>
FBB	<i>Forward Body Bias</i>
FDSOI	<i>Fully Depleted Silicon-On-Insulator</i>
FWA	<i>Fixed Wireless Access</i>
GSG	<i>Ground-Signal-Ground</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
IoT	<i>Internet of Things</i>
IP3	<i>Punto de Intercepción de tercer orden</i>
ITU	<i>International Telecommunications Union</i>
K	<i>Kurz</i>
Ka	<i>K-above</i>
Ku	<i>K-under</i>
LMDS	<i>Local Multipoint Distribution Service</i>
LNA	<i>Low Noise Amplifier</i>
LTE	<i>Long Term Evolution</i>
LVS	<i>Layout Versus Schematic</i>

MAG	<i>Maximum Available Gain</i>
M2M	<i>Machine-to-Machine</i>
MIM	<i>Metal-Insulator-Metal</i>
MIMHD	<i>MIM High Density</i>
MIMHQ	<i>MIM High Quality</i>
MIMO	<i>Multiple Input–Multiple Output</i>
mMTC	<i>Masive Machine Type Communications</i>
MOM	<i>Metal-Oxide-Metal</i>
MSG	<i>Maximum Stable Gain</i>
NF	<i>Noise Figure</i>
NR	<i>New Radio</i>
PDK	<i>Process Design Kit</i>
PEX	<i>Parasitic Extraction</i>
S	<i>Scattering</i>
SOI	<i>Silicon On Insulator</i>
URLLC	<i>Ultra-Reliable and Low Latency Communications</i>
VNCAP	<i>Vertical Natural Capacitor</i>
VPP	<i>Vertical Parallel Plate</i>
WB	<i>Wire-Bonding</i>

Memoria

Capítulo 1. Introducción

El transceptor es un elemento crucial en las comunicaciones inalámbricas, debido a que es el encargado de recibir y transmitir las señales. En estos sistemas de comunicaciones inalámbricas, los diseñadores de circuitos integrados deben satisfacer dos necesidades: la primera de ellas es reducir el coste de los productos, mientras que la segunda es reducir el consumo de los mismos. Por esta razón, en las últimas décadas ha crecido el interés en realizar diseños de transceptores que satisfagan el compromiso entre estos dos aspectos.

A la hora de realizar el diseño de un circuito integrado para comunicaciones inalámbricas, se debe tener en cuenta que estos consumen una gran parte de la potencia del dispositivo. De esta manera, los transceptores empleados para 5G (*Fifth Generation*) deben cumplir con esta especificación, es decir, se debe reducir el consumo de potencia de los dispositivos, puesto que un elevado porcentaje del consumo es debido a los transceptores. Cabe destacar que la quinta generación de tecnologías de telefonía móvil 5G es un campo que está en auge, y se espera que en los próximos años experimente un desarrollo transcendental. Una de las principales aplicaciones de 5G es el Internet de las Cosas (*Internet of Things*, IoT), donde se precisan infraestructuras que sean capaces de manejar elevados volúmenes de datos [1]. Por ejemplo, en una *Smart City* se concentra un elevado flujo de datos, como puede ser la información proveniente de redes de sensores, de coches de conducción autónoma, etc. Para procesar dicha información se necesitan elevadas tasas de datos, un gran ancho de banda y baja latencia, necesidades que pueden ser cubiertas gracias a la tecnología 5G. Otra posible aplicación son las comunicaciones máquina a máquina (*Machine-to-Machine*, M2M). Este tipo de comunicaciones permite la comunicación entre máquinas, enviando y recibiendo datos en ambos extremos. Se emplea en la industria en el mantenimiento automatizado de máquinas, en avisos de fin de proceso o en controles de stock, por ejemplo. La principal virtud de M2M es que habilita la posibilidad de que un número elevado de dispositivos puedan comunicarse entre ellos, pudiendo tomar decisiones sin necesidad de intervención humana, mejorando los tiempos de espera y reduciendo costes [2]. La tecnología 5G se postula como la mejor candidata para afrontar la nueva realidad, donde se espera una elevada cantidad de dispositivos interconectados, con una elevada tasa de datos, con un uso eficiente del espectro y baja latencia.

A lo largo de este capítulo se presenta una breve introducción al Trabajo Fin de Máster, donde se empieza analizando los antecedentes, se continúa explicando las tecnologías 5G y se finaliza exponiendo los objetivos del mismo y la estructura del presente documento.

1. Antecedentes

Para que un dispositivo se comunique con la estación base o con otros dispositivos, es fundamental la implementación de un sistema de comunicaciones inalámbricas. De dicha tarea se encarga un elemento denominado transceptor, el cual se divide en dos bloques fundamentales –uno de transmisión y otro de recepción– integrados en un mismo chip [3]. Cada bloque se subdivide en varios componentes que permiten aplicar un tratamiento determinado a la señal. En el caso del bloque de transmisión, es posible encontrar etapas de filtrado, mezcladores para elevar la frecuencia de la señal, amplificadores de potencia o conversores digitales/analógicos (*Digital-to-Analog Converter*, DAC), por ejemplo. Mientras, en el bloque de recepción se encuentra el amplificador de bajo ruido (*Low Noise Amplifier*, LNA), mezcladores para reducir la frecuencia de la señal, etapas de filtrado o conversores analógicos/digitales (*Analogic-to-Digital Converter*, ADC) como se muestra en la Figura 1. Nótese que también existe un elemento denominado oscilador local que genera la señal de mezcla para la conversión de frecuencias. Este elemento puede ser independiente para el transmisor y el receptor o puede emplearse de forma compartida, según la topología seleccionada. La función del transceptor es la conversión de frecuencias y maximizar la transferencia de potencia para asegurar que la transmisión y/o recepción de señales se realiza de forma adecuada agregando la mínima cantidad de pérdidas posible. En el transcurso de este procedimiento, la señal pasa por los bloques mencionados previamente, sufriendo cambios como amplificación, filtrado o la mezcla de la señal útil con un oscilador local para conseguir la modulación de la frecuencia.

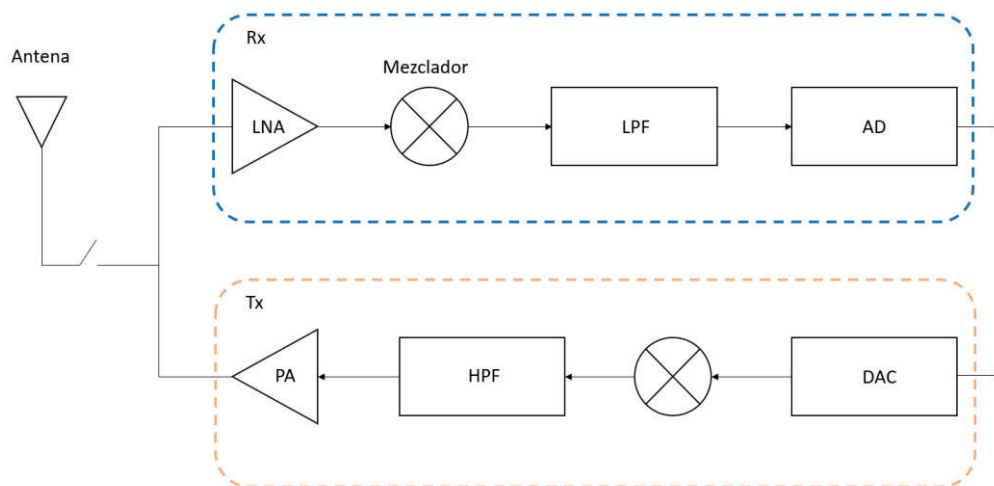


Figura 1. Diagrama de bloques de un transceptor convencional.

El propósito principal del presente Trabajo Fin de Máster es realizar el diseño de uno de los bloques fundamentales del cabezal de recepción, concretamente el LNA. Este bloque es de vital importancia en el sistema porque es el primer elemento de la cadena. Una vez que la señal llega a la antena, se dirige al cabezal de recepción, encontrándose con el LNA. Este

elemento se encarga de realizar la adaptación de entrada de la señal, maximizando la transferencia de potencia, amplificando la señal e introduciendo la menor cantidad de ruido posible. Por lo tanto, se debe mantener un compromiso entre estos parámetros. Además, la figura de ruido (*Noise Figure*, NF) se debe minimizar, ya que ésta se suma directamente al total del ruido de la cadena de recepción, como bien indica la conocida fórmula de Friis. Del mismo modo, en la fórmula de Friis se indica que la ganancia del primer elemento tiene un peso notable en el cálculo de la NF_{total} , consiguiendo atenuarla, por lo que es de especial interés maximizar la ganancia del LNA [4]. Por lo tanto, a la hora de realizar un diseño hay que tener en cuenta las prestaciones que el LNA debe ofrecer, al igual que otros aspectos como la topología del circuito, su consumo, la linealidad, la adaptación de impedancias o la estabilidad.

Para cumplir las restricciones de la aplicación a la que se destina el circuito, se debe seguir un flujo de diseño. Se parte de una fase de diseño sobre esquemático, donde se fijan unas especificaciones deseadas y se inicia el diseño a nivel circuital. En un inicio se emplean componentes ideales, pero una vez que se verifica el diseño inicial se sustituyen por los componentes de la tecnología. Tras realizar el esquemático del circuito, se simula y se comprueba que cumple con las restricciones iniciales. A partir de este punto, se realiza la descripción física del diseño, es decir, se determinan las máscaras del proceso de fabricación, dando lugar a la vista de *layout* del circuito. Una vez finalizado, se realizan verificaciones de cumplimiento de las reglas de diseño del proceso tecnológico seleccionado. Igualmente, se verifica que la vista de *layout* y de esquemático se corresponden. Una vez hecho esto, se extraen las parásitas del circuito, es decir, se obtienen parámetros como la capacidad, inductancia y resistencia de las interconexiones empleadas. El siguiente paso consiste en analizar el comportamiento del circuito y contrastar los resultados con las restricciones fijadas inicialmente. A continuación, se pasa a la fase de fabricación y por último, a la de medida, finalizando así el flujo de diseño del circuito [5] [6].

2. Tecnologías 5G

En la última década, el fuerte auge de las comunicaciones inalámbricas ha dado lugar a múltiples estándares de comunicación. A raíz de las comunicaciones inalámbricas, se definen nuevos estándares para aplicaciones determinadas como los servicios médicos o las *Smart Cities*. Por esta razón, los fabricantes y diseñadores adoptan técnicas de diseño específicas como la reducción del consumo de potencia de los dispositivos para mejorar su eficiencia. No obstante, el aumento del tráfico de datos, de dispositivos y la demanda de una mejor experiencia de usuario, precisa nuevas soluciones. Por esta razón, surge la tecnología 5G como

combinación de las tecnologías de comunicación inalámbricas predecesoras como son 2G, 3G, 4G o los estándares IEEE (*Institute of Electrical and Electronics Engineers*) 802.11 [7].

La compañía que se ha encargado de definir el estándar que rige la tecnología 5G es 3GPP (*Third Generation Partnership Project*), que es la organización internacional que define los estándares de comunicación móvil. Además, con la definición de 5G se marca el comienzo de la evolución del actual sistema LTE (*Long Term Evolution*). No obstante, la versión final de las redes móviles 5G se denomina NR (*New Radio*) que determina un sistema de redes independiente de los sistemas de redes actuales. Esta versión permite que 5G pueda actuar en tres escenarios fundamentales o lo que se define como “Pirámide 5G”: banda ancha móvil mejorada (*enhanced Mobile BroadBand*, eMBB), las comunicaciones ultra-fiables y de baja latencia (*Ultra-Reliable and Low Latency Communications*, URLLC) y las comunicaciones masivas entre dispositivos (*Massive Machine Type Communications*, mMTC) [8]. Por lo tanto, gracias a estos pilares de 5G se pueden satisfacer múltiples necesidades como se muestra en la Figura 2, manifestando la importancia de este estándar en el futuro.

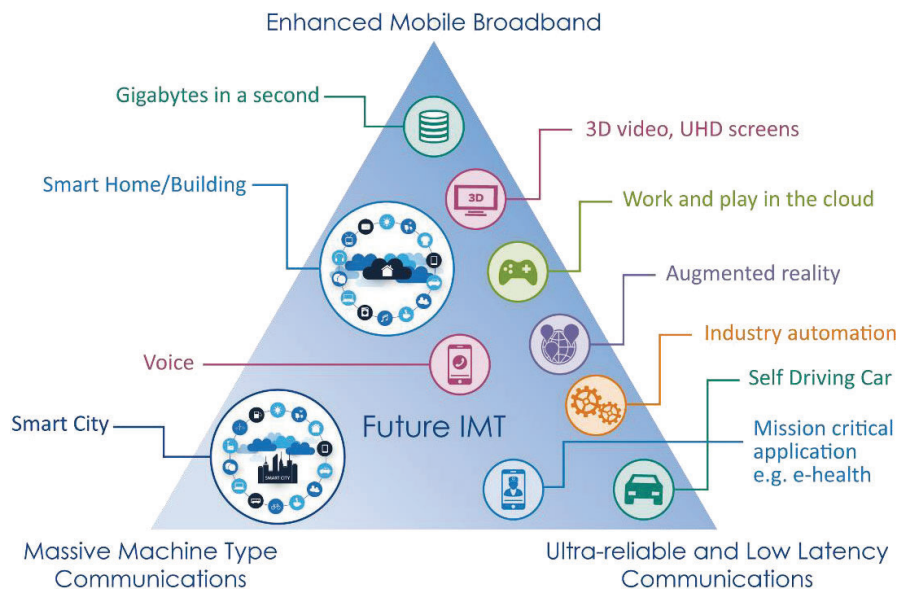


Figura 2. Aplicaciones de la pirámide 5G.

La tecnología 5G destaca por las prestaciones que ofrece, mejorando notablemente las de su predecesor 4G, como se puede ver en la Tabla 1. Se observa cómo se reduce la latencia a valores inferiores a 1 ms, con una tasa de datos máxima de 20 Gbps. Además, soporta un volumen de conexiones de más de un millón por km² [9]. Este tipo de tecnología se centra en poder gestionar una gran cantidad de usuarios, por lo que es crucial optimizar el espectro electromagnético. Para ello se emplean antenas MIMO (*Multiple Input–Multiple Output*) debido a que permiten a los dispositivos trabajar en distintas frecuencias de forma simultánea, optimizando la comunicación y las velocidades de transmisión y recepción de información [10]. Tal y como se muestra en la Tabla 1, esta tecnología usa dos bandas de frecuencias, una por

debajo de 6 GHz y otra por encima en la zona de ondas milimétricas. La banda de frecuencias por debajo de 6 GHz está compuesta a su vez por dos sub-bandas. En primer lugar, la banda baja corresponde a frecuencias UHF inferiores a 1 GHz, las cuales son adecuadas para comunicaciones de largo alcance y de alta velocidad de datos y para comunicaciones de baja velocidad y de ancho de banda de canal estrecho necesarias para aplicaciones de IoT y mMTC. Por otro lado, se distingue la banda media que va de 1 a 6 GHz para dar servicios de banda ancha avanzados eMBB donde se necesitan al menos 100 MHz de ancho de banda de canal. Por encima de 6 GHz se encuentra la banda alta, situada en torno a 30 GHz en ondas milimétricas. Esta banda es ideal para dar acceso inalámbrico fijo (*Fixed Wireless Access*, FWA) y para la densificación de servicios de banda ancha avanzados en zonas específicas como el centro de las ciudades o estadios de fútbol. Además, se definen las bandas n° 257 (LMDS, *Local Multipoint Distribution Service*) y n° 258 (Banda K) que operan cerca de 28 GHz, las cuales están próximas a la frecuencia de trabajo elegida. Si bien existen numerosos trabajos que abordan el diseño de circuitos de comunicaciones para las bandas situadas por debajo de 6 GHz, son escasos los realizados para la banda de 30 GHz. Esta es la principal razón por la que en este Trabajo Fin de Máster se plantea el diseño de un LNA para receptores 5G a una frecuencia de trabajo de 30 GHz.

Tabla 1. Comparación de aspectos técnicos entre 4G vs 5G

Parámetro	4G	5G
Latencia	10 ms	Menos de 1 ms
Tasa de datos máxima	1 Gbps	20 Gbps
Número de conexiones móviles	100.000 usuarios por km ²	Más de 1 millón por km ²
Ancho de banda del canal	20 MHz	100 MHz por debajo de 6 GHz 400 MHz por encima de 6 GHz
Banda de frecuencia	600 MHz a 6 GHz	600 MHz a 6 GHz Ondas milimétricas (28 GHz, 39 GHz, +80 GHz)

A la hora de desplegar las redes 5G, es determinante definir la banda empleada. Para ello hay que hacer referencia al término de microondas, que engloba todas aquellas señales cuya frecuencia se sitúa entre 300 MHz y 300 GHz, con un rango de longitud de onda entre 1 m y 1 mm. A pesar de que realizar diseños de circuitos que trabajen en este rango de frecuencias es complejo debido a las características de propagación de las microondas, presentan grandes ventajas que pueden ser empleadas en los circuitos. Por ejemplo, dado que a mayor frecuencia menor es la longitud de onda correspondiente, los elementos pasivos requeridos en circuitos de alta frecuencia presentan menor tamaño que los de frecuencias más reducidas. Considerando las bandas de frecuencias definidas por la ITU (*International Telecommunications Union*) en conjunto con IEEE, la banda de frecuencias elegida para realizar el diseño de un LNA para un

receptor 5G es la banda K/Ka [11]. La banda K (*Kurz*) abarca un rango de frecuencias de 18 GHz a 27 GHz y posee dos bandas contiguas, una por encima y otra por debajo: la banda Ka y la Ku. La banda Ka (*K-above*) comprende el rango de 27 GHz a 40 GHz, mientras que la banda Ku (*K-under band*) dispone del rango de 12 GHz a 18 GHz [12].

En la mayoría de los diseños de circuitos integrados actuales se emplean estructuras de materiales semiconductores como silicio, galio o germanio, entre otros. Este tipo de circuitos se clasifica en función del nivel de integración de componentes, desde una cantidad de diez transistores a cifras superiores al millón. Presentan ventajas como una elevada eficiencia energética, reducido tamaño o un coste de fabricación inferior debido a que en una misma oblea se pueden litografiar múltiples chips. A pesar de estas ventajas, los circuitos integrados presentan ciertas limitaciones como la disipación de potencia o las capacidades parásitas. Una posible solución para estos inconvenientes se encuentra en usar la tecnología CMOS (*Complementary Metal-Oxide-Semiconductor*). El funcionamiento de esta tecnología se basa en la utilización complementaria de un transistor nMOS y un pMOS. De esta manera, se consigue una reducción en el consumo de potencia, una mejora significativa en la frecuencia de funcionamiento y la reducción de costes de fabricación, dando lugar a que esta tecnología sea la favorita en el diseño de circuitos integrados.

En la integración de chips, se eligen familias lógicas como CMOS para su implementación, pero a su vez, se tienen en cuenta tecnologías de fabricación determinadas que permitan obtener una mejora de las prestaciones. Este es el caso de SOI (*Silicon On Insulator*), donde se sustituye el sustrato tradicional por un conjunto de capas de semiconductor, aislante y semiconductor. Este tipo de tecnología mejora las prestaciones a nivel de conseguir altas frecuencias de funcionamiento, reducción de la disipación de potencia y mejora en la capacidad de escalabilidad en aplicaciones como el despliegue de estaciones base 5G, comunicaciones inalámbricas, radares, etc. Por este motivo, en el presente Trabajo Fin de Máster se emplea la tecnología 45RFSOI, que destaca principalmente por una longitud de puerta mínima de 45 nm, con opciones de un total de siete a once capas de metales como cobre o aluminio y por las opciones de elementos pasivos que ofrece para circuitos de RF con condensadores MIM y bobinas con un elevado factor de calidad (Q).

3. Objetivos

El objetivo principal de este Trabajo Fin de Máster es realizar un diseño a nivel de *layout* para un amplificador de bajo ruido que opere en la banda K/Ka para receptores 5G. Para llevar a cabo dicho diseño se emplea la tecnología 45RFSOI de GlobalFoundries. Además, se plantean los siguientes objetivos complementarios:

- **O1.** Realizar el diseño de un LNA para receptores 5G a una frecuencia de trabajo de 30 GHz.
- **O2.** Realizar un *layout full-custom* de un LNA para un receptor 5G en 45RFSOI.
- **O3.** Analizar las simulaciones *post-layout* para realizar la optimización del diseño y comprobar su correcto funcionamiento.

4. Estructura del documento

La estructura del documento está compuesta por siete capítulos, en los cuales se discuten los siguientes contenidos:

- **Capítulo 1.** En este capítulo se presenta una breve introducción de los aspectos determinantes del proyecto. Se indican los antecedentes de este trabajo se introducen las tecnologías 5G y se desglosan los objetivos a cumplir con este Trabajo Fin de Máster.
- **Capítulo 2.** El contenido de este capítulo constituye el estado del arte sobre el que se basa el proyecto. Se explica la teoría básica de los LNAs y se ejemplifican algunos diseños de LNA para 5G.
- **Capítulo 3.** En el tercer capítulo se realiza un estudio de la tecnología empleada, 45RFSOI de GlobalFoundries. Se muestran los diferentes componentes pasivos y activos de la tecnología y se comentan las restricciones del proceso de fabricación.
- **Capítulo 4.** Se discute el diseño a nivel esquemático del circuito. Se expone el cascodo como topología elegida para el circuito, se detalla el diseño empleando en un inicio componentes ideales y luego componentes del PDK (*Process Design Kit*). Finalmente, se comentan los resultados obtenidos.
- **Capítulo 5.** En el quinto capítulo se muestra el diseño a nivel de *layout*. Se explica el procedimiento seguido para obtener el *layout* de los transistores, de las bobinas y del circuito completo con y sin *pads*.
- **Capítulo 6.** En este capítulo se presentan las simulaciones tras realizar el *layout*, donde se muestra el LNA con la extracción de componentes parásitos, con la extracción del modelo electromagnético de los pasivos y el análisis de Monte Carlo para estudiar las variaciones del circuito en diferentes ensayos del proceso de fabricación.
- **Capítulo 7.** En el último capítulo este documento se presenta un resumen del trabajo realizado, destacando los resultados y las conclusiones obtenidas y las líneas de trabajo futuro.

Capítulo 2. Estado del Arte

El papel de los amplificadores de bajo ruido es fundamental en los sistemas de recepción de comunicaciones inalámbricas, ya que afecta en gran medida a la figura de ruido total del receptor y, por lo tanto, es crítico en los receptores 5G. Este elemento puede ser implementado basándose en distintas topologías que permiten optimizar unas determinadas prestaciones, ya sea nivel de ganancia, figura de ruido, linealidad, consumo, ancho de banda, etc. Por este motivo, en el presente capítulo se explica la teoría básica de los LNAs, analizando los parámetros S (de dispersión o *Scattering*), la carta de Smith, y los conceptos de ganancia, figura de ruido, estabilidad y linealidad. A su vez, se presenta una discusión sobre los diferentes LNAs para receptores 5G que el lector puede encontrar en la bibliografía científica.

1. Teoría Básica de los LNAs

Los LNAs son los primeros elementos en la cadena de recepción de un transceptor y su función principal es adaptar la señal procedente de la antena, amplificarla e introducir la menor cantidad de ruido posible para que las etapas siguientes puedan procesar de una manera eficaz la señal. Por este motivo, existen ciertos parámetros como la ganancia o la figura de ruido que caracterizan a un LNA que se estudian en este capítulo.

I. Parámetros S y Carta de Smith

Para cuantificar algunos aspectos como la ganancia o el aislamiento de un LNA se emplean los parámetros S, o de dispersión, que son los coeficientes de reflexión y transmisión entre la onda incidente y reflejada. Estos elementos describen el comportamiento de un sistema lineal y representan la potencia transferida entre los distintos puertos de un circuito. En el caso de los circuitos de radiofrecuencia se debe especificar la impedancia característica del sistema y la frecuencia de trabajo. En la Figura 3 se muestra un cuadripolo con los puertos del sistema, que se emplean para calcular los coeficientes asociados a los parámetros S, donde se destacan las siguientes equivalencias:

- S_{11} : Coeficiente de reflexión a la entrada (Pérdidas de retorno de entrada o *Input Return Loss*).
- S_{12} : Coeficiente de transmisión (Aislamiento entrada/salida o *Isolation*).
- S_{21} : Coeficiente de transmisión directa (Ganancia o *Gain*).
- S_{22} : Coeficiente de reflexión a la salida (Pérdidas de retorno de salida o *Output Return Loss*).

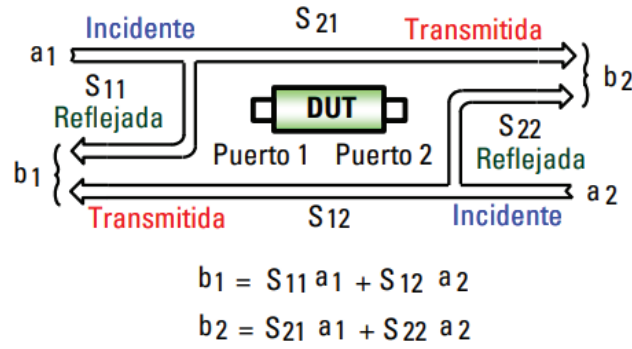


Figura 3. Cuadripolo con las ondas incidentes y reflejadas en cada puerto y los parámetros S [13].

Para representar los parámetros de reflexión se suele utilizar la carta de Smith. Esta herramienta es un nomograma que muestra la variación de la impedancia compleja a lo largo de una línea de transmisión. La carta de Smith, ilustrada en la Figura 4, se emplea en este Trabajo Fin de Máster para realizar la adaptación del parámetro S_{11} a una impedancia de 50Ω , localizada en el centro de la carta. La adaptación se realiza de este modo para conseguir que la transferencia de potencia de la señal proveniente de la antena hacia el LNA sea máxima.

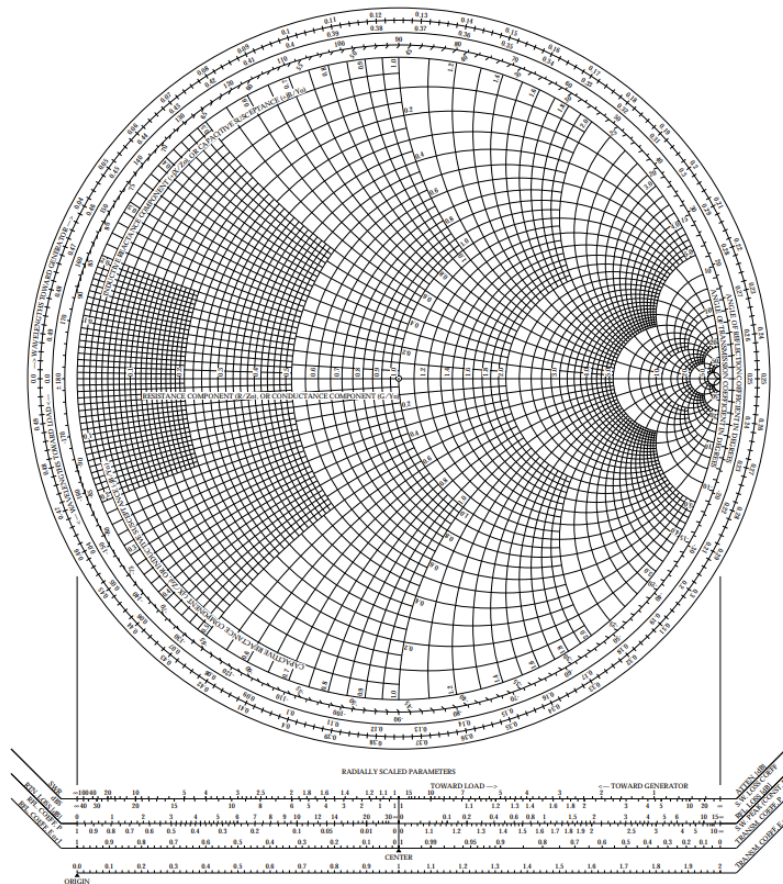


Figura 4. Ejemplo de una Carta Smith [13].

II. Figura de ruido

Uno de los factores determinantes de un LNA es la figura de ruido. Este parámetro se mide en dB e indica la cantidad de ruido agregada por el amplificador a la señal de entrada. Asimismo, cuando esta medida se expresa de forma lineal se denomina factor de ruido. Este factor establece la relación entre la potencia del ruido disponible a la entrada y la potencia de ruido en la salida, referida a los diferentes tipos de ruido como el ruido térmico o el ruido *Flicker*. En términos generales, un LNA suele agregar una figura de ruido de 2 o 3 dB dependiendo de la aplicación, la frecuencia y del proceso tecnológico en el que se implemente. Para estudiar el ruido dentro de un sistema se emplea la Fórmula de Friis (1), que determina el factor de ruido total de las etapas en serie del sistema. Por lo tanto, como el LNA es el primer elemento de la cadena de recepción, su ruido se agrega de forma íntegra al total del factor de ruido del sistema [14].

$$F_{total} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_{n-1}} \quad (1)$$

III. Estabilidad

Un amplificador puede generar una elevada cantidad de potencia, siendo posible la generación de oscilaciones. Dichas oscilaciones aparecen debido a las capacidades internas existentes entre drenador-puerta, fuente-puerta, etc., puesto que son vías de alimentación resonantes a una frecuencia determinada. Por lo tanto, se debe prestar atención a la hora de realizar el diseño debido a que en ocasiones la señal se filtra, realimentándose de forma positiva y creando oscilaciones. Para detectar esas filtraciones, se emplea el factor de estabilidad k de Rollet, definido en la ecuación (2). El parámetro Δ se define según la ecuación (3), debiéndose cumplir que $k > 1$ y $\Delta < 1$ para todas las frecuencias para que el sistema sea incondicionalmente estable [14]. Además, se debe analizar si se presentan irregularidades en los parámetros S , como picos o valles en la ganancia o en la figura de ruido.

$$k = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2 * |S_{21}|^2 * |S_{12}|^2} \quad (2)$$

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (3)$$

IV. Ganancia

La ganancia en potencia de un circuito viene dada por la relación entre la potencia de entrada y la potencia de salida del mismo, y se identifica con el parámetro S_{21} . Siguiendo la Fórmula de Friis, la ganancia debe ser lo suficientemente grande como para minimizar la contribución de ruido que aportan el resto de los elementos de la cadena de recepción. El diseñador de circuitos integrados de RF debe mantener un compromiso entre la ganancia, la figura de ruido, el consumo y la linealidad del circuito. En general, se diferencian dos tipos de ganancia de un amplificador. Por un lado, se distingue la Ganancia Máxima Disponible (*Maximum Available Gain*, MAG) definida en la ecuación (4), que es la ganancia máxima que es capaz de ofrecer el amplificador independientemente de si es estable o no, donde k pertenece al factor de estabilidad.

$$MAG = G_{max} = \left| \frac{S_{21}}{S_{12}} \right| \left(k - \sqrt{k^2 - 1} \right) \quad (4)$$

Por otro lado, la Ganancia Máxima Estable (*Maximum Stable Gain*, MSG) indica la ganancia máxima que es capaz de ofrecer el LNA sin volverse inestable. La MSG es la relación entre la ganancia y el aislamiento del sistema, definido por los parámetros S como se indica en la ecuación (5) [15]. Dicho de otra forma, la MSG es la MAG cuando $k=1$.

$$MSG = \left| \frac{S_{21}}{S_{12}} \right| \quad (5)$$

V. Linealidad

La linealidad de un dispositivo viene determinada por la capacidad de un determinado bloque de manejar señales con un nivel de potencia elevado sin introducir distorsión a la salida. Se puede determinar introduciendo una señal pura a una frecuencia determinada y observando para qué nivel de potencia la ganancia cae 1 dB respecto a la ganancia deseada. Este test determina el punto de compresión a 1 dB (P_{01dB}). También se puede medir introduciendo dos tonos a distinta frecuencia y observando en la salida si se producen productos de intermodulación para un determinado nivel de potencia de entrada. Esta última prueba es la más empleada en el ámbito de las comunicaciones inalámbricas, la linealidad de un circuito se expresa con el punto de intercepción de tercer orden (IP3). Este punto corresponde a la intersección de las rectas de potencia de la señal principal y la potencia de los productos de intermodulación de tercer orden. En la Figura 5 se representa dicha relación, y se puede

comprobar como el IP3, en caso de no existir saturación de potencia, coincide con la intersección de la potencia debida al primer armónico y al tercer armónico. Por último, un dispositivo es más lineal cuanto mayor es el IP3, pudiéndose dar este punto referido a la entrada (IIP3) o a la salida (OIP3).

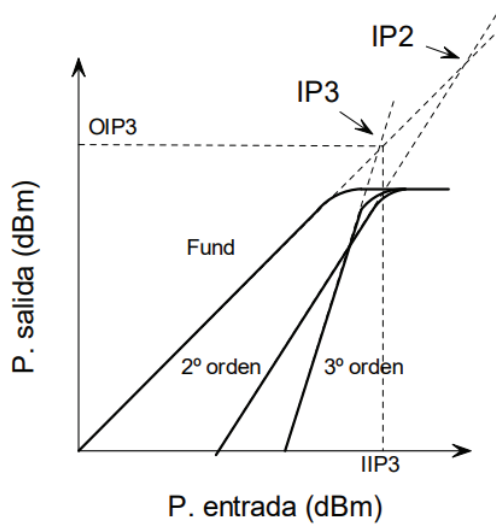


Figura 5. Representación gráfica de los productos de intermodulación de segundo y tercer orden y el cálculo del IP3 para una determinada potencia de entrada [16].

2. Estado del arte de LNAs para tecnologías 5G

A la hora de diseñar un amplificador de bajo ruido hay que tener en cuenta la aplicación en la que se integra. En el caso de este TFM, los diseños están enfocados a receptores de comunicaciones inalámbricas 5G. Por este motivo, en este apartado se analizan varios LNAs para dichos receptores diseñados en la misma tecnología. Principalmente se estudian las topologías de los amplificadores, las técnicas de diseño empleadas para la optimización de ciertos parámetros como el consumo de potencia o el área consumida y las prestaciones obtenidas.

El primer circuito estudiado es un LNA de banda estrecha a una frecuencia de 28 GHz. Es un estudio de la Universidad del Estado de Carolina del Norte, cuyos autores son Vikas Chauhan y Brian Floyd [17]. El amplificador se diseña con la tecnología 45RFSOI, consiguiendo una ganancia máxima de 24 dB y una figura de ruido de 4 dB. En la Figura 6 se muestra el esquemático del diseño, donde destaca que la topología elegida es un cascodo de dos etapas. En la primera de ellas, se emplea un cascodo compuesto por un CS (*Common-Source*) en serie con un CG (*Common-Gate*) con una degeneración inductiva y una línea de transmisión de entrada junto a dos condensadores en serie para aislar la componente continua y conseguir adaptar la entrada del circuito.

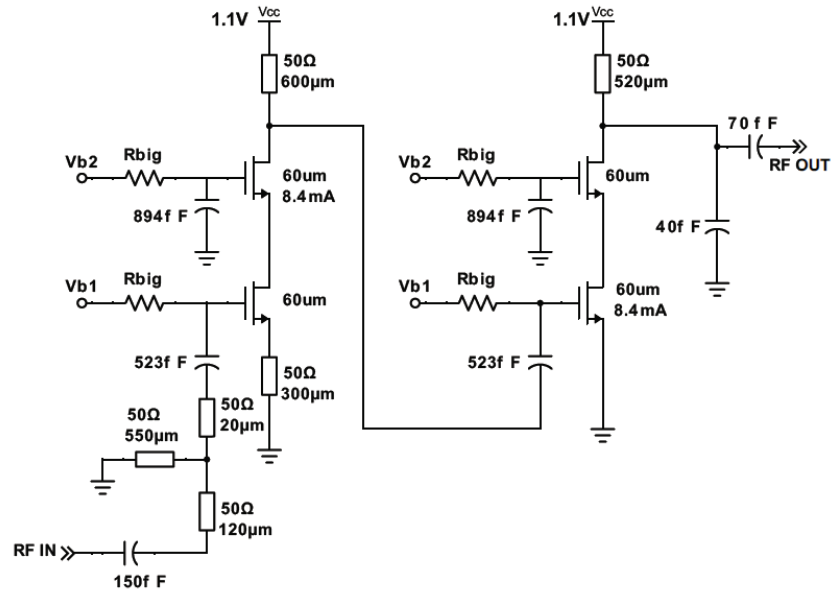


Figura 6. LNA a 28 GHz diseñado con 45RFSOI [17].

Este mismo estudio presenta un LNA de banda ultra ancha para bandas de frecuencia de 5G entre 24 y 44 GHz. En este caso, se plantea un amplificador en cascodo de tres etapas. En la Figura 7 se ilustra a nivel circuital el diseño, cuya función es configurar las distintas etapas para conseguir el incremento de ancho de banda mediante el aumento de corriente de polarización y la combinación de impedancias para lograr picos de ganancia en 27 GHz y 35 GHz. Ambos diseños se realizan con 45RFSOI, empleando transistores que alcanzan frecuencias de transición (f_T) equivalentes a 305 GHz con once capas de metales. Se obtiene una ganancia máxima de 20 dB y una figura de ruido comprendida entre 4.2 y 5.5 dB. En la Figura 8 se muestra la respuesta de los parámetros S, perteneciendo la primera gráfica al LNA de banda ultra ancha y la segunda al LNA a 28 GHz.

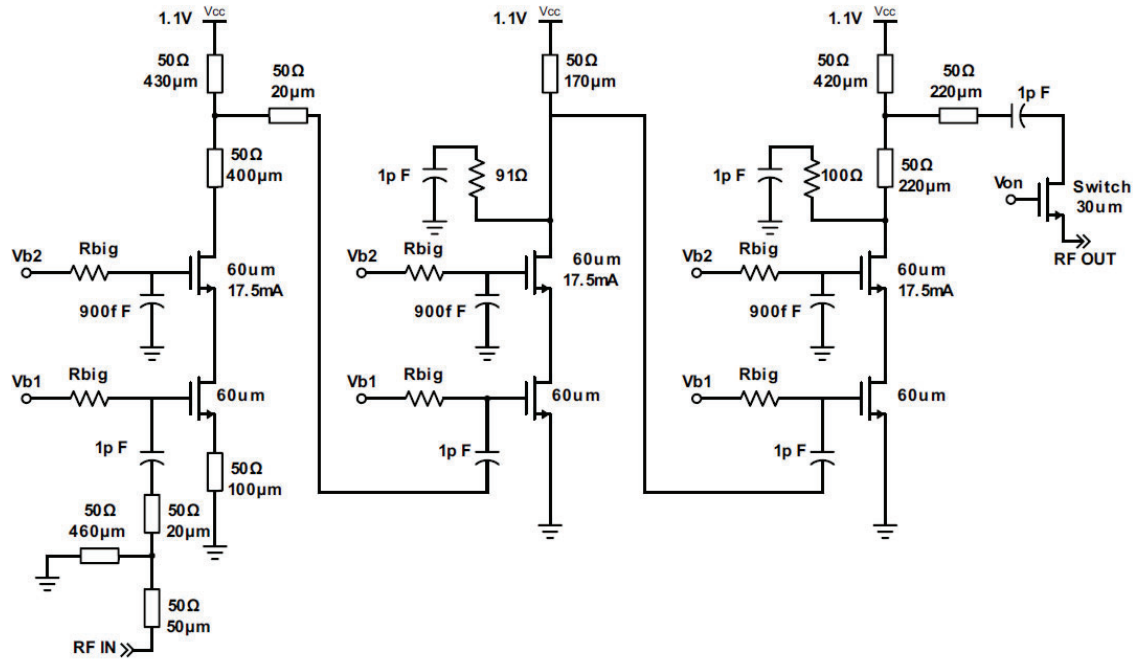
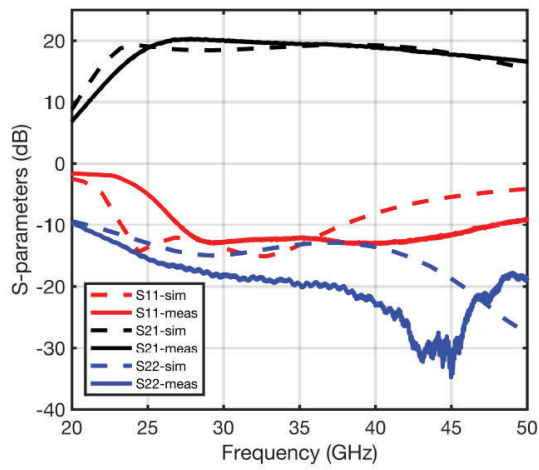
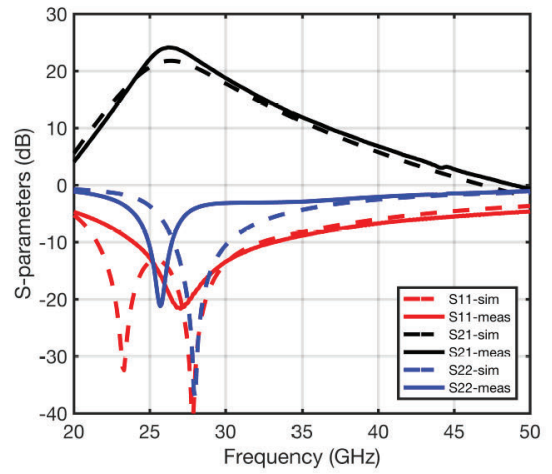


Figura 7. Esquemático del LNA de banda ultra ancha entre 24 y 44 GHz [17].



(a)



(b)

Figura 8. Parámetros S del LNA de banda ancha (a) y del LNA de banda ancha a 28 GHz (b) [17].

Los principales parámetros a estudiar de estos dos LNAs se recogen en la Tabla 2 mostrada a continuación:

Tabla 2. Comparación de los resultados de ambos LNAs

	LNA banda ancha	LNA 28 GHz
Tecnología	45RFSOI	45RFSOI
Frecuencia	24-44 GHz	28 GHz
Ganancia máxima	20 dB	24 dB
Figura de ruido	4.2-5.5 dB	4 dB
Potencia consumida	58 mW	18.5 mW
Área consumida	0.2 mm ²	0.15 mm ²

El siguiente diseño es un LNA para sistemas 5G inalámbricos a 33 GHz en una tecnología 28 nm Bulk CMOS [18]. Los objetivos a cumplir con este LNA son la optimización del diseño y la aplicación de técnicas a nivel *layout* que optimicen los componentes activos y pasivos empleados teniendo en cuenta las reglas de densidad de los metales. Se utilizan simulaciones electromagnéticas para obtener un factor de calidad elevado en los componentes pasivos y técnicas eficientes en el *layout* para reducir el área consumida. En la Figura 9 se muestra el esquemático del LNA, el cual consta de dos etapas formadas por cascos para obtener un mejor aislamiento, aumentar la ganancia y mejorar la estabilidad del circuito. Los transistores de cada etapa están conectados mediante una inductancia para que las capacidades resuenen, mejorando así las prestaciones.

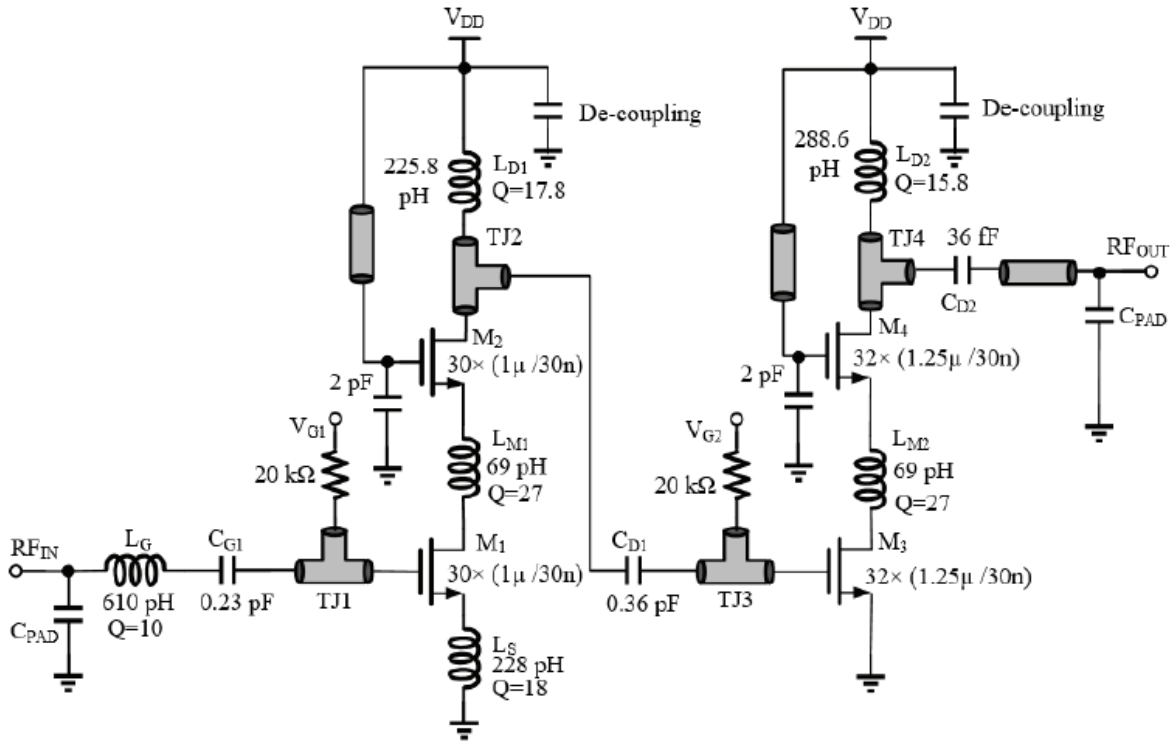


Figura 9. Esquemático del LNA a 28 GHz bajo una tecnología de 28 nm CMOS [18].

En la Tabla 3 recogen los resultados obtenidos con este LNA, destacando que se obtiene una ganancia máxima de 18.6 dB y una figura de ruido de 4.9 dB cuando el diseño se alimenta con 1.2 V, mientras que cuando se alimenta con 2 V se obtienen unos valores de 24.5 dB y 4 dB respectivamente.

Tabla 3. Resumen de las prestaciones del LNA estudiado

Tecnología	28 nm CMOS
Frecuencia	33 GHz
Ganancia máxima	18.6 24.5 dB
Figura de ruido	4.9 4 dB
Potencia consumida	9.7 27.6 mW
Área consumida	0.23 mm ²

En la Figura 10 se observa el *layout* del LNA estudiado, donde se indican las bobinas empleadas con la nomenclatura empleada en el esquemático. A su vez, en la Figura 11 se contempla la respuesta de los parámetros S medidos frente a los simulados, siendo aproximadamente similares.

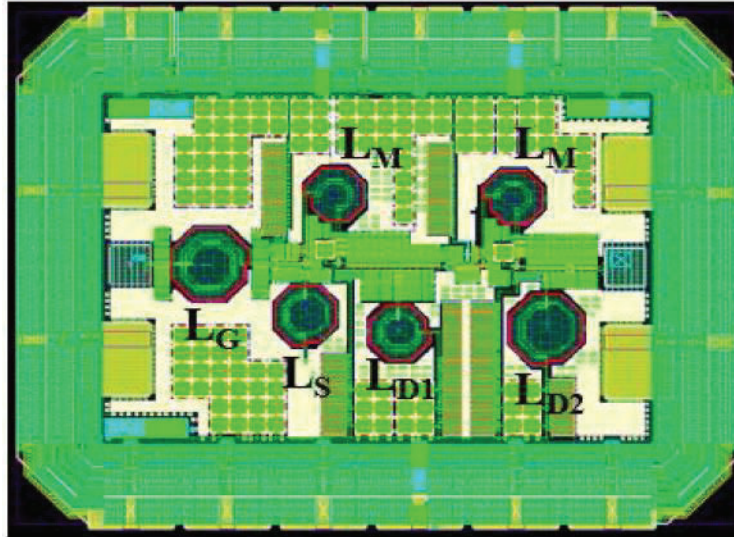


Figura 10. Layout del LNA a 33 GHz para el receptor 5G.

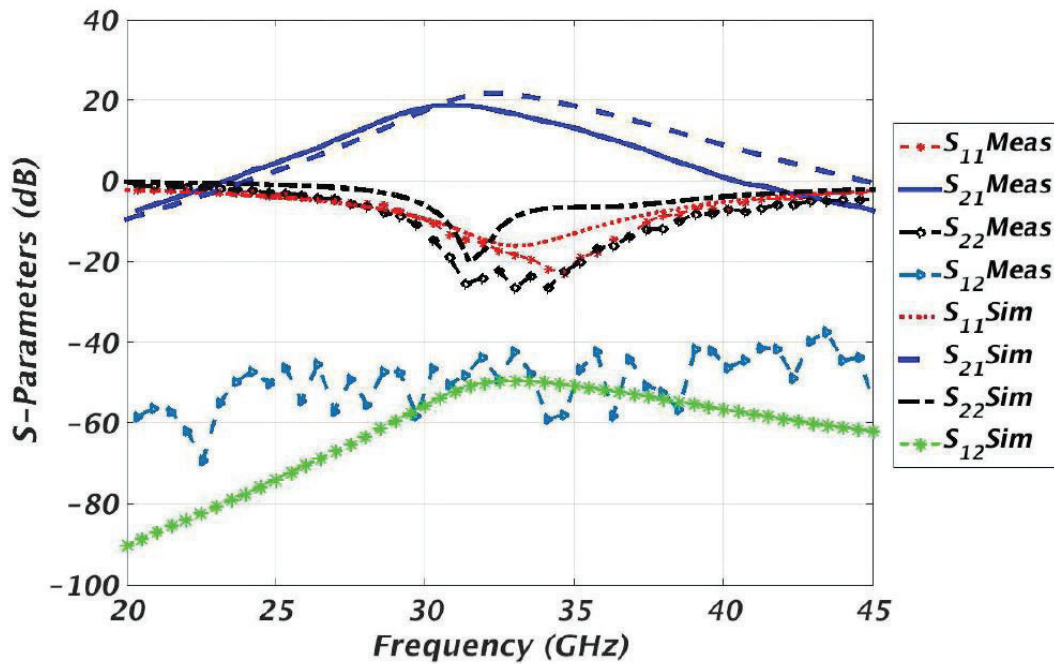


Figura 11. Comparativa de los parámetros S medidos frente a los simulados.

En la literatura existen múltiples receptores 5G que poseen LNAs con características determinadas en función de las prestaciones que se deseen obtener. Por este motivo, es fundamental que el proceso de diseño elegido para desarrollar un proyecto sea el correcto. El proceso de diseño seguido en el trabajo de la Universidad de California comprende la realización de un diseño de un LNA mediante un proceso CMOS SOI [19]. La primera fase del diseño es la elección del tipo de transistor, pudiendo ser de tipo *floating body* FET o *body-contacted* FET. La elección de uno u otro depende de las prestaciones que aporta cada uno al rendimiento del circuito, teniendo los FB-FET una figura de ruido menor y consiguiendo una mejor frecuencia de transición. Por su parte, los BC-FET permiten controlar mejor la tensión

umbral del transistor, incrementando las prestaciones en términos de linealidad. No obstante, con esta elección, disminuye la ganancia y empeora la figura de ruido del diseño. La siguiente decisión es definir la tipología del circuito, siendo interesante un cascode en los procesos CMOS SOI. Las ventajas aportadas por el cascode comprenden la mejora de la estabilidad, la figura de ruido y el ancho de banda del diseño. Para ello, los transistores que forman dicha estructura deben tener una configuración determinada, siendo principalmente Puerta Común (*Common-Gate*, CG) o Fuente Común (*Common-Source*, CS). En dicho artículo, se emplean varias combinaciones de transistores FB o BC para la conformación del cascode, obteniendo que para frecuencias en el rango de la banda Ka, la configuración ideal del cascode es con dos FB. El esquemático del circuito se muestra en la Figura 12, donde se expone el cascode, así como en la Figura 13 los resultados de la ganancia y la figura de ruido mínima frente a la densidad de corriente.

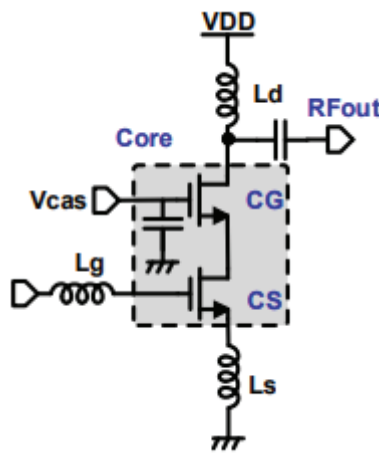


Figura 12. Esquemático del cascode en configuración CG-CS [19].

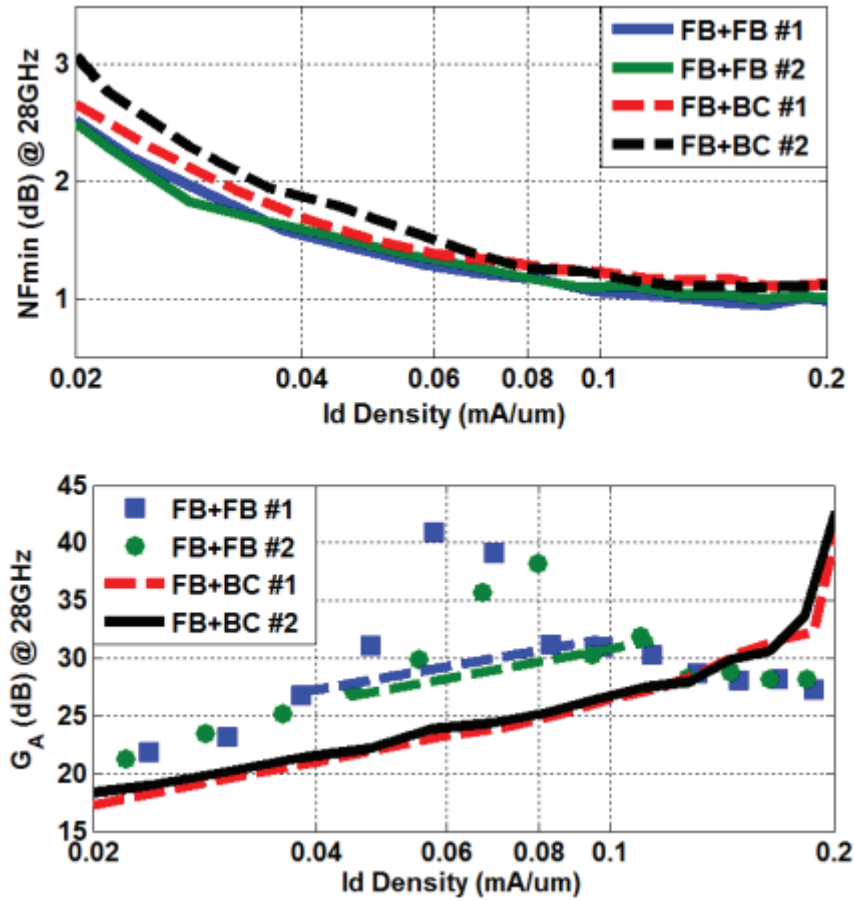


Figura 13. Resultados de la figura de ruido mínima y la ganancia frente a la densidad de corriente [19].

La aplicación principal de este LNA son las comunicaciones satelitales, por lo que obtener una figura de ruido reducida es fundamental, repercutiendo directamente en el factor de calidad (*Quality*, *Q*) de la bobina de puerta, puesto que es la vía de entrada de la señal. El factor *Q* se relaciona con la conductividad del metal, el grosor y las pérdidas en el sustrato, entre otros parámetros. Puesto que se emplea cobre, las capas de metalización UA y UB son las más adecuadas de la tecnología para conseguir un factor *Q* elevado. Por otro lado, la tecnología empleada es de tipo SOI, con una longitud mínima de puerta de 45 nm, alimentando el diseño con 1.5V y una corriente de polarización de 10 mA. Respecto a los resultados obtenidos, se consigue una ganancia entre 14-12.8 dB y una figura de ruido entre 1.3-1.6 dB en el rango de 24 a 28 GHz, con un área consumida correspondiente a 530 μm x 570 μm , y con la disposición física mostrada en la Figura 14:

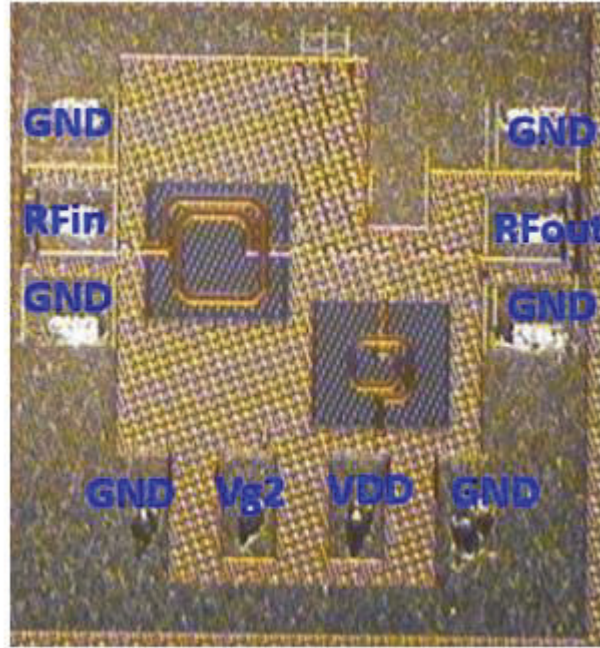


Figura 14. Implementación a nivel físico del LNA [19].

El último diseño analizado es un LNA para 5G empleando *Forward Body Bias* (FBB) sobre una tecnología de 22 nm FDSOI (*Fully Depleted Silicon-On-Insulator*) [20]. Omar El-Aasar y Rebeiz diseñan un amplificador de bajo ruido con un consumo y una NF reducida, así como elevada linealidad y ganancia. Para realizar el diseño, se centran en la topología de un LNA en cascodo. La degeneración inductiva en un LNA permite obtener buenas prestaciones en términos de figura de ruido y consumo de potencia siempre que se incremente el área del transistor y se inyecte la densidad de corriente óptima para mínimo ruido. A su vez, la impedancia óptima (Z_{opt}) de un circuito es aquella a la que se consigue la mínima figura de ruido. Por esta razón, y como se observa en la Figura 15 perteneciente al diseño a nivel circuital, la inductancia L_s tiene la función de reducir la parte real de la impedancia de entrada (Z_{in}) y acercar dicha impedancia a Z_{opt} . Al mismo tiempo, en la puerta se emplea una inductancia (L_g) para que la capacitancia de Z_{in} resuene a 50Ω .

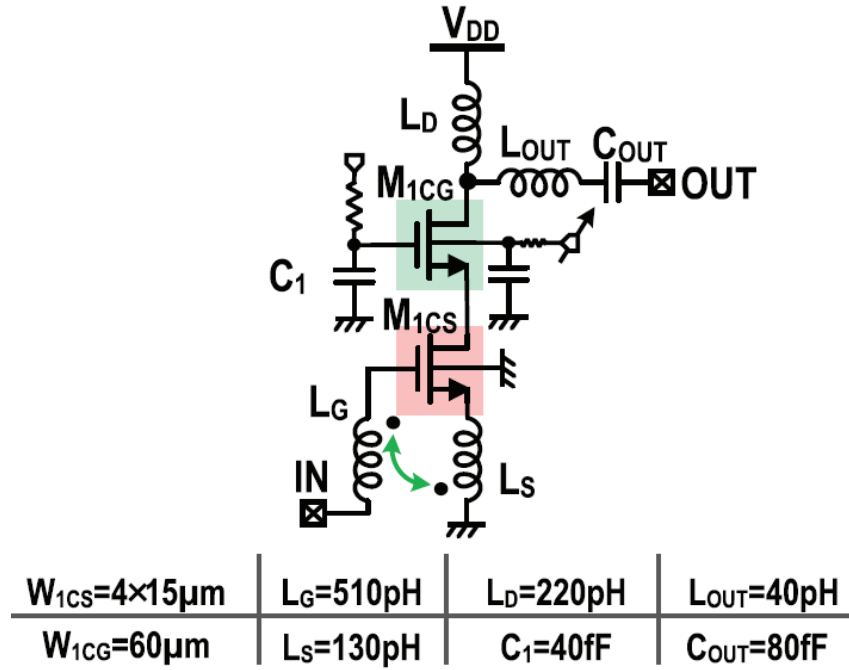


Figura 15. Esquemático del LNA implementado con los valores de los componentes [20].

Otro aspecto a destacar de este diseño es el empleo de FBB para reducir el consumo de potencia, mejorar la ganancia y la conductancia de salida regulando la tensión aplicada al Bulk. Concretamente, reducen la tensión umbral (V_{TH}) de 320 mV a 50 mV para valores de FBB de 0 a 4 V. Por su parte, en la Figura 16 se muestra el diseño del chip, donde se diferencian las bobinas de drenador y puerta, y la sustitución de la bobina de fuente por una línea de transmisión para optimizar el consumo de área. Asimismo, los autores presentan varios diseños empleando etapas de CS-CS o CAS-CAS. Los resultados obtenidos en dichas implementaciones se recogen en la Tabla 4.

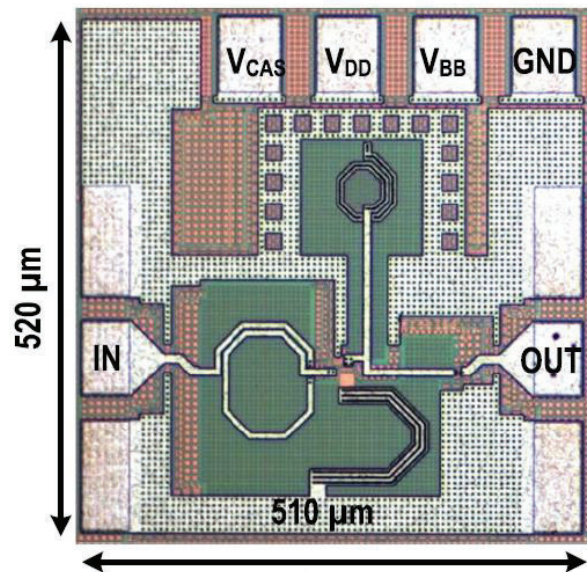


Figura 16. Implementación del chip con las medidas y los terminales [20].

Tabla 4. Resultados de las diferentes implementaciones en función de la topología

Tecnología	22 nm FDSOI		
Topología	Cascodo (1 etapa)	CS (2 etapas)	Cascodo (2 etapas)
Frecuencia (GHz)	21.6-32.8	19.5-29	23-27
V_{DD} (V)	0.8/1.6	0.4/0.8	0.8/1.6
Consumo (mW)	6/15	3.2/9.6	5.5/20
Ganancia máx. (dB)	7.8/10.2	16.9/20.1	23.2/28.5
Figura de ruido (dB)	2.65/2.2	2.18/2.08	2.38/2.25
Área (mm²)	0.12	0.19	0.19

3. Conclusiones

En este capítulo se realiza un análisis desde un punto de vista teórico de los principales parámetros a tener en cuenta de un LNA. Se presenta la base teórica de los LNA como paso previo al estudio de la tecnología 45RFSOI. A su vez, se estudian algunos LNAs que forman parte de receptores 5G, determinando principalmente las topologías elegidas para diseñarlos, que comúnmente son cascodos por las ventajas que proporcionan a nivel de ganancia, aislamiento del circuito y reducción del consumo al emplear la corriente de una etapa para alimentar al resto de transistores. A pesar de que la figura de ruido se empeore, destaca el aumento notable de la ganancia. Del mismo modo, algunos de los diseños propuestos emplean la misma tecnología que en este Trabajo Fin de Máster, por lo que puede ser interesante para comparar los resultados en cuanto a ganancia y figura de ruido con los diseños propios.

Capítulo 3. Estudio de la Tecnología 45RFSOI

En el presente capítulo se detalla la tecnología empleada, así como los componentes del kit de diseño utilizados en los diferentes circuitos. Cabe destacar que se analizan los componentes pasivos y activos de 45RFSOI, haciendo hincapié en los transistores, bobinas y condensadores, en concreto, aspectos como dimensiones, topologías o metales que forman dicho componente.

1. Introducción a la tecnología

La tecnología elegida para realizar el diseño es 45RFSOI, perteneciente a la fundidora GlobalFoundries. Al ser una tecnología puntera en el campo de la nanotecnología, puede emplearse en diferentes tipos de diseños, siempre en función de las prestaciones esperadas de la misma. En el caso del presente TFM, el circuito diseñado pertenece al ámbito de la radiofrecuencia, buscando así elevadas frecuencias de trabajo con pérdidas reducidas al ser una tecnología de tipo SOI (*Silicon On Insulator*). Este tipo de circuitos implementados en 45RFSOI pueden emplearse en el despliegue de estaciones base de 5G, telefonía, radares, etc., gracias a las características que ofrecen.

La característica notoria de esta tecnología es que la longitud mínima de puerta es de 45 nm, pudiendo emplear de siete a once capas de metales como cobre o aluminio, de las cuáles, la capa más separada del sustrato es aluminio y el resto es cobre. Respecto a la tensión de alimentación, depende del tipo de transistor, puesto que en los transistores de óxido fino la tensión está comprendida en un rango de 0.9 V a 1 V, y para los de óxido grueso la tensión puede llegar hasta 1.5 V y 1.8 V. A su vez, el transistor de óxido fino dispone de un espesor de óxido de puerta de 1.16 nm, mientras que el espesor de óxido de puerta del transistor grueso es de 2.5 nm. Entre los componentes de la tecnología destacan los condensadores MIM (*Metal-Insulator-Metal*) y los inductores con un factor de calidad Q elevado.

2. Elementos Pasivos

Por definición, los elementos pasivos son aquellos componentes incapaces de suministrar potencia a la señal que los recorre, por lo que se emplean en funciones de almacenamiento, disipación o liberación de energía, como es el caso de las resistencias, condensadores o inductores.

I. Resistencias

El objetivo de una resistencia es dificultar el paso de la corriente que la atraviesa. Además, es uno de los componentes más sencillos y comunes en el mundo de la electrónica,

cuyo valor se mide en Ohmios (Ω). Los elementos que definen el valor de una resistencia son el tipo de material y las dimensiones, relacionándose según la ecuación (6), donde ρ es la resistividad del material, t es el grosor del material, L el largo del mismo, así como W el ancho. En la Figura 17 se muestra una representación simple de una resistencia.

$$R = \frac{\rho}{t} \frac{L}{W} (\Omega) \quad (6)$$

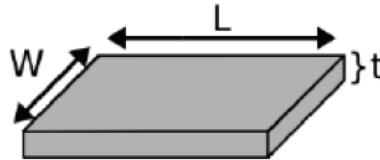


Figura 17. Modelo simplificado de una resistencia [21].

En un diseño CMOS, el valor de la resistividad se ve afectado por las variaciones de tensión y de la temperatura, midiéndose dichos cambios en ppm/°C, siendo partes por millón entre grados centígrados. Por esta razón, se deben acotar los valores que puede tomar la resistencia en función de la tensión y la temperatura, tal y cómo indica el fabricante al diseñador en la tolerancia de dichos componentes [21].

II. Condensadores

La función de un condensador es almacenar energía sustentando un campo eléctrico, estando compuesto por dos superficies conductoras separadas por un material dieléctrico o un vacío. Para que se adquiriera una carga eléctrica que sea capaz de retener o suministrar energía en procesos de carga y descarga, es necesario que exista una diferencia de potencial entre ambas superficies [22].

Existen numerosas formas de diseñar un condensador, aunque principalmente se implementan dos tipos: MIMCAP (*Metal-Insulator-Metal*) y MOMCAP (*Metal-Oxide-Metal*), diferenciándose en el compuesto presente entre las superficies. En el caso de los MIMCAP, las superficies metálicas que conforman el componente están separadas por un material aislante, presentando así características como la resistencia frente a variaciones de tensión y temperatura. Asimismo, permiten la escalabilidad de valores capacitivos, reduciendo el valor de las capacidades parásitas al situarlos en las capas elevadas del metal, lejos del sustrato [23]. Por su parte, el MOMCAP, también conocido como VPP (*Vertical Parallel Plate*) o condensador de flujo lateral, se caracteriza por una elevada densidad capacitiva y una reducida

capacidad parásita. Sin embargo, este tipo de condensadores presenta inconvenientes en el cálculo de su valor al depender de la frecuencia de funcionamiento.

En ambos modelos, la capacitancia depende de las dimensiones del dispositivo (W , L) así como de la multiplicidad (M). Al mismo tiempo, estos parámetros repercuten en la capacidad por unidad de área (C_a) y la capacidad por unidad de perímetro (C_p). Para ejemplificar ambos condensadores, su esquemático se muestra en la Figura 18, indicándose el metal al que está conectado cada terminal, así como en la Figura 19 el *layout* de cada condensador.

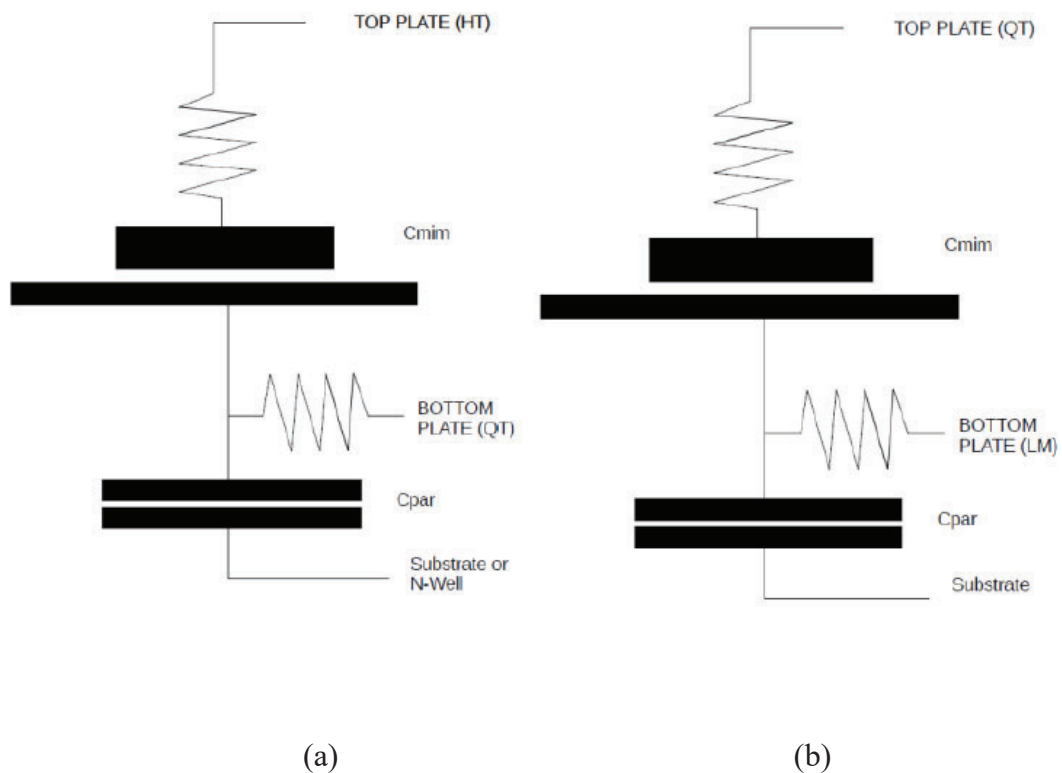


Figura 18. Esquemático del condensador *mimhd* (a) y *mimhq* (b).

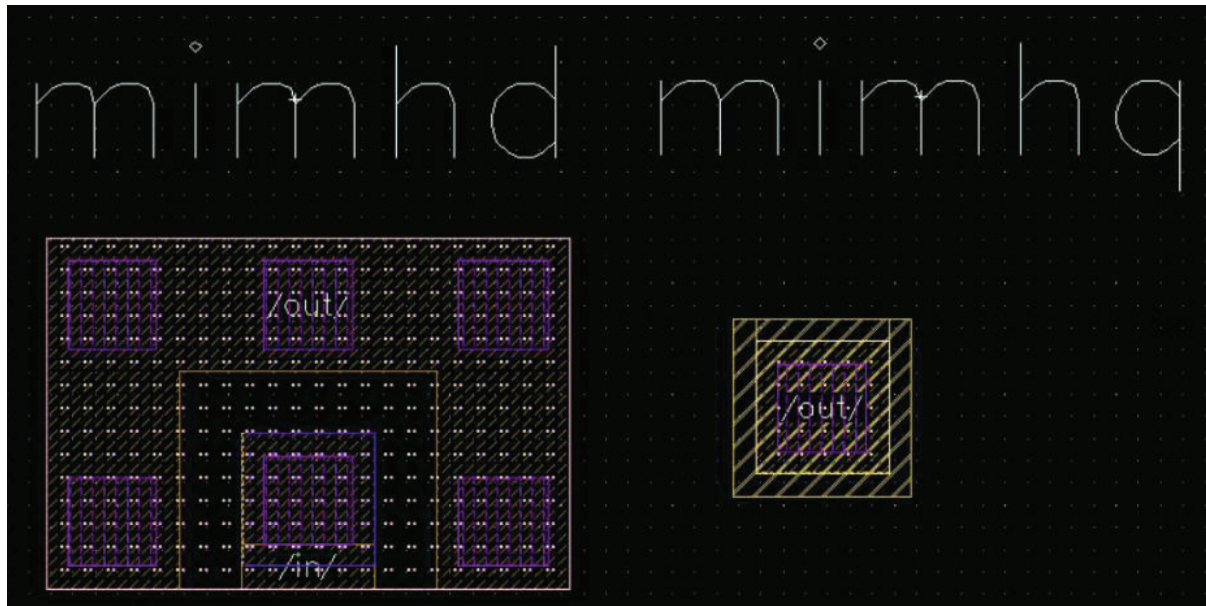


Figura 19. Layout de las condensadores mimhd y mimhq [16].

Respecto a los valores que pueden tomar ambos condensadores, cabe destacar que dependen de los parámetros mencionados previamente, tal y cómo se indica en la Tabla 5:

Tabla 5. Posibles valores de los parámetros de los condensadores MIM

	Ca (fF/ μm^2)	Cp (fF/ μm)	L (m)	W (m)	M
High Density MIM	2.4 $\pm$ 0.36	0.2 $\pm$ 0.18	6 μ	$\geq$ 5 μ	1
High-Q MIM	0.335 $\pm$ 0.05	0.11 $\pm$ 0.099	6 μ	$\geq$ 5 μ	1

En el caso de los condensadores con elevado factor de calidad, para calcular Q se sigue la ecuación (7), donde se indica la relación entre la energía máxima almacenada y la energía disipada en el circuito en cada oscilación. A su vez, la ecuación se basa en los parámetros de admitancia Y, obteniendo el valor de Q una forma más precisa [24].

$$Q = \text{Imag}[Y_{22}]/\text{Real}[Y_{22}] \quad (7)$$

III. Bobinas

Una bobina es un elemento pasivo capaz de almacenar energía en forma de campo magnético cuando la corriente eléctrica fluye a través de ella. Dentro del ámbito de la microelectrónica, se emplean bobinas integradas que se obtienen mediante una espiral de pistas metálicas sobre un sustrato. En la Figura 20 se muestra un ejemplo de una bobina integrada, así como los parámetros que definen su geometría. Se puede apreciar el parámetro w que corresponde con la anchura de las pistas, el parámetro s indica la separación entre pistas y la variable r define el radio de la bobina.

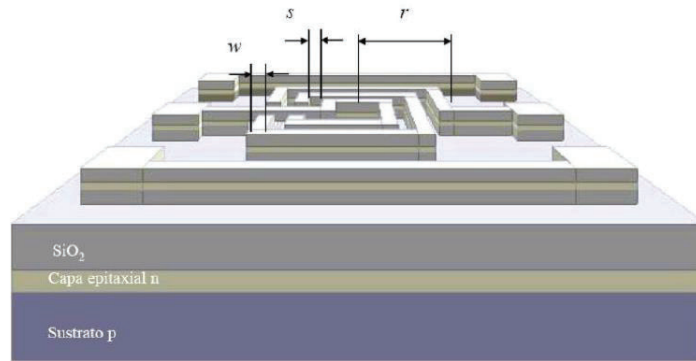


Figura 20. Estructura de una inductancia cuadrada en espiral simple [21].

Las bobinas proporcionadas por el kit de diseño 45 RFSOI de GlobalFoundries poseen una forma de espiral cuadrada o rectangular como la que se muestra en la Figura 21. El inconveniente de las bobinas integradas es que para elevadas frecuencias se incrementan las pérdidas por el efecto *skin* y las pérdidas debidas a efectos de proximidad inducidas por el campo magnético, algo que es típico en ellas. En este caso, al usar solamente dos dimensiones para implementarlas, se accede al terminal que se encuentra en el interior de la espiral por medio de un segundo nivel de metal llamado *underpass*. En la propia figura, se puede ver que se nombran algunos parámetros como *sout*, que es el espacio entre espiras, pudiendo ser de 3 μm o 4 μm , la relación de aspecto entre el largo (*doutx*) y el ancho (*douty*) de la bobina que puede ser de 1, 1.4 o 2 y *wout* es el ancho de la pista. Por lo tanto, a la hora de realizar el diseño de la bobina que se quiera incluir en el circuito, se deben respetar estos parámetros e incluir otros como el número de vueltas.

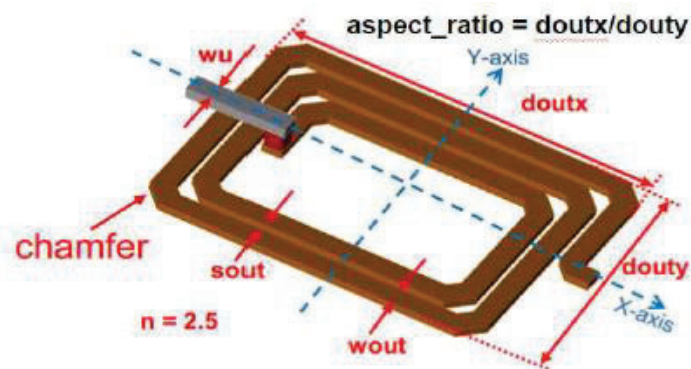


Figura 21. Inductancia en espiral rectangular con los parámetros de diseño [25].

Uno de los parámetros principales de las bobinas es el factor de calidad (*Q*). Dicho factor se define como la relación entre el pico de energía almacenada por ciclo y la potencia disipada por ciclo para un elemento reactivo con pérdidas reales. Sin embargo, en el caso de los inductores en espiral es complejo calcular el valor de *Q* debido a que se debe conocer la energía almacenada y la potencia disipada instantáneamente por cada elemento reactivo. Por lo

tanto, se utiliza un método común para calcularlo partiendo de los parámetros Y, aplicando la expresión (8) [25].

$$Q_{conv} = -\left(\frac{\text{Imag}[Y_{11}]}{\text{Real}[Y_{11}]}\right) \quad (8)$$

Este método es conocido como “Q convencional” y es válido para frecuencias bajas dónde la espiral actúa como un circuito RL. Pero en caso de que se use un inductor con espiral simétrica, el cálculo de Q es diferente ya que se aplica el método conocido como “Q diferencial”, mostrado en las expresiones (9) y (10).

$$Z_{diff} = 2 \cdot Z_0 \cdot \frac{(1 - S_{21}) \cdot (1 - S_{21}) - (S_{11} \cdot S_{22})}{(1 - S_{22}) \cdot (1 - S_{11}) - (S_{12} \cdot S_{21})} (\Omega) \quad (9)$$

$$Q_{diff} = \frac{\text{Imag}(Z_{diff})}{\text{Real}(Z_{diff})} \quad (10)$$

En cuanto a los modelos de inductores de la tecnología, en los circuitos a diseñar se utilizan los de tipo *indr*, aunque se destacan también los siguientes:

- **Indr**: Inductor rectangular de una sola capa.
- **Indrp**: Inductor rectangular apilado en paralelo.
- **Symindr**: Espiral simétrica rectangular de una capa.
- **Symindrp**: Espiral simétrica rectangular apilada en paralelo.

Por lo tanto, los valores de los parámetros de los inductores que se emplean en los diseños se muestran en la Tabla 6. Además, en la Figura 22 se aprecia el *layout* de una bobina *indr*.

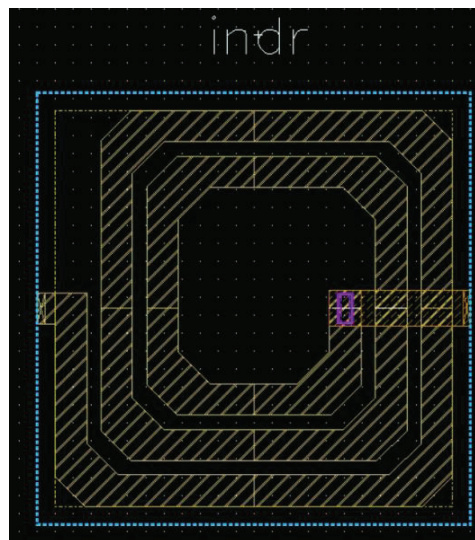


Figura 22. Layout de una bobina asimétrica sin apilar (INDR).

Tabla 6. Posibles valores de los parámetros de la bobina INDR

Tipo de inductor	Largo (m)	Ancho (m)	Relación de aspecto	Ancho de la espira (m)	Distancia entre espiras (m)	Nº de vueltas
INDR	28 μ -400 μ	28 μ -200 μ	1, 1.4, 2	2 μ -20 μ	3 μ , 4 μ	Mínimo: 1, incrementos de 0.25

3. Elementos Activos

Los elementos activos tienen la capacidad de proporcionar ganancia a un circuito. En este trabajo el único elemento activo que se emplea es el transistor MOSFET, pero existen otros elementos activos como los diodos. Además, son elementos que pueden controlar el flujo de carga eléctrica de un circuito.

I. Transistores

Los transistores MOS o MOSFETs son elementos activos que están caracterizados por la existencia de dos tipos de transistores complementarios, los de tipo N y los de tipo P, siendo el origen del nombre de la tecnología CMOS (*Complementary Metal-Oxide Semiconductor*). Hay que destacar que los MOSFET presentan una ventaja frente a los BJT (*Bipolar Junction Transistor*), que es el aislamiento entre la puerta y el canal. Esto implica que el flujo de corriente entre la puerta y el sustrato es muy pequeño.

Dentro de los transistores MOS de GlobalFoundries del kit de diseño 45 RFSOI se pueden distinguir dos grupos: los MOSFET de banda base y los de RF, siendo estos últimos los que se usan en el diseño del LNA. Dentro de los transistores MOS de RF existen los siguientes tipos:

- o Floating body NFET con $L = 0.04 \mu\text{m}$.
- o Floating body PFET con $L = 0.04 \mu\text{m}$.
- o Floating body NFET con $L = 0.04 \mu\text{m}$, $0.032 \mu\text{m}$ o $0.048 \mu\text{m}$.
- o Notched-body contacted AVT NFET $L = 0.056 \mu\text{m}$.
- o T-body contacted AVT NFET para valores de L de $0.232 \mu\text{m}$ a $1 \mu\text{m}$.
- o 1.5V Thick oxide floating body NFET con $L = 0.112 \mu\text{m}$.
- o 1.5V Thick oxide T-body contacted NFET $L = 0.112 \mu\text{m}$.
- o 1.5V Thick oxide T-body contacted PFET $L = 0.112 \mu\text{m}$.

- o Floating body FET with thermal-node.
- o Floating body FET with thermal-node for thermal coupling simulation.

De todos estos modelos, el modelo utilizado es el Floating body NFET con $L = 0.04 \mu\text{m}$ debido a que este modelo presenta una longitud de puerta reducida. Además, en comparación a los modelos *contacted*, Floating body alcanza unas prestaciones superiores, consiguiendo una f_T mayor, así como una figura de ruido reducida. Asimismo, a la hora de configurar el transistor, se deben elegir los valores correctos del número de *fingers* del transistor (nf), del ancho total del transistor (W), de la longitud del canal (L) y de la multiplicidad (m). El ancho total del transistor depende directamente de nf y según el transistor con el que se trabaje existe un tamaño mínimo y máximo. Por su parte, en la Figura 23 se muestra el layout del transistor empleado.

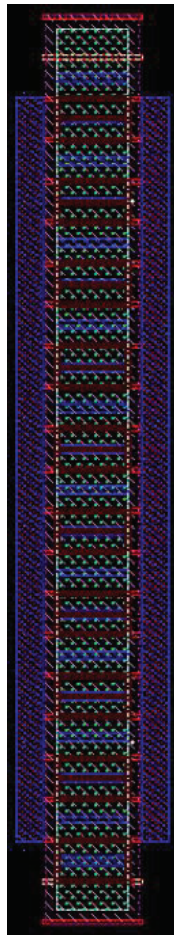


Figura 23. Layout del transistor ADNFET empleado.

4. Conclusiones

A lo largo del presente capítulo se han analizado los elementos de la tecnología 45RFSOI de GlobalFoundries incluidos en el diseño del LNA. Algunos aspectos importantes analizados son las restricciones geométricas de los componentes, los tipos de transistores incluidos en el kit de diseño o las características y motivos por los que se elige el condensador de elevada densidad para implementar el amplificador de bajo ruido.

Capítulo 4. Diseño a Nivel de Esquemático

En el cuarto capítulo del presente TFM se expone el diseño inicial del LNA, es decir, el diseño a nivel de esquemático. Para desarrollar un buen circuito es necesario analizar las ventajas que puede aportar el cascodo, para ello se estudia la topología elegida teniendo en cuenta las prestaciones a conseguir. Con la estructura fijada, se determinan los valores de los componentes ideales para realizar una prueba de concepto y una estimación inicial. Además, se sustituyen por los componentes reales, o del PDK, para obtener unos resultados que tengan en cuenta la desviación debida a los componentes no ideales, puesto que introducen diversos efectos no deseados. Asimismo, se pueden realizar modificaciones de los valores de los inductores o condensadores para seguir manteniendo el compromiso de NF, ganancia o adaptaciones de entrada y salida (E/S).

1. LNA en cascodo

Una vez analizada la tecnología y los componentes asociados, es necesario determinar bajo qué topología se debe implementar el LNA. Tal y cómo se menciona previamente, la función de un amplificador de bajo ruido es potenciar la señal de entrada, pero introduciendo una cantidad de ruido reducida, por lo que estos son los dos principales elementos a tener en cuenta en el diseño: la figura de ruido y la ganancia. Al mismo tiempo, un LNA se sitúa al inicio de la cadena de recepción, teniendo que existir una buena adaptación de impedancias entre la antena y el propio amplificador. Asimismo, es necesario que el LNA cumpla con dos características fundamentales: que sea estable y que presente una elevada linealidad, puesto que se trabajan a frecuencias elevadas, tratando de evitar las distorsiones significativas.

Dentro de la literatura de los LNAs, existen múltiples topologías. Algunos ejemplos son las estructuras *Common-Source* o *Common-Gate*, donde se emplea un único transistor para amplificar la señal, conectándose el surtidor a tierra o la puerta a la fuente de alimentación, respectivamente. Para implementar el LNA de este proyecto, se define una topología de cascodo, en la que se combinan dos transistores, donde uno de ellos está configurado como CG y el otro como CS. Los motivos de elección de dicha topología son las mejoras en el aislamiento entre la entrada y la salida, la consecución de un elevado ancho de banda, aumento de la ganancia, mayor estabilidad y reutilización de corriente, destacando estos aspectos frente a otras soluciones. Un cascodo sencillo se muestra en la Figura 24, siendo el circuito base sobre el que se desarrolla el TFM y al que se le añaden ciertos cambios en función de la tecnología o de las adaptaciones de los parámetros S del circuito. En la figura se observa que el transistor superior actúa como CG al estar el terminal de puerta conectado a V_{DD} , mientras que el

transistor situado en la parte inferior del esquemático posee una configuración en CS al estar el terminal de fuente conectado a tierra.

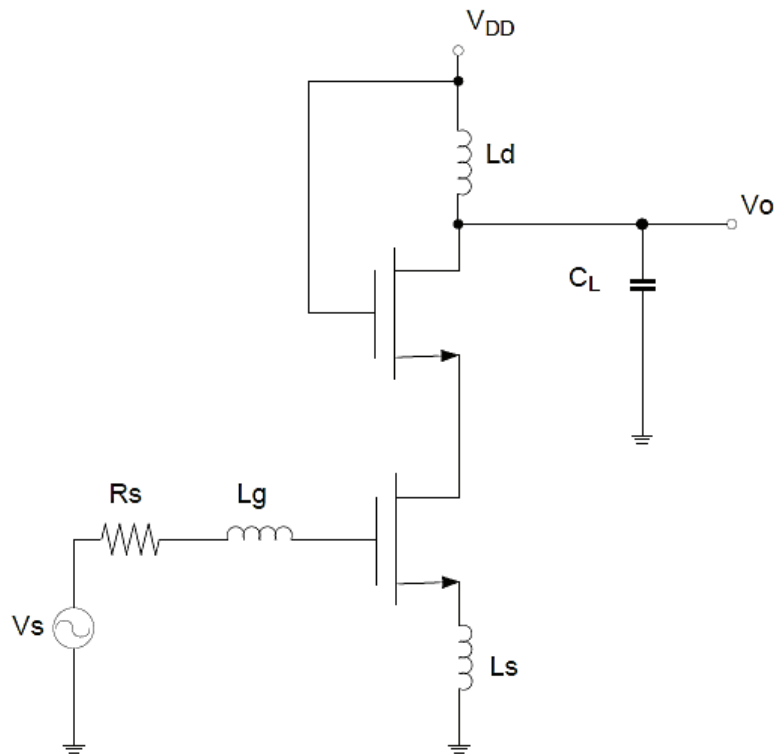


Figura 24. Esquemático de un cascode sencillo [16].

2. Diseño con componentes ideales

El diseño con componentes ideales es el primer paso para realizar el diseño. En este punto se deben definir algunos aspectos fundamentales del circuito, como es la corriente de polarización del transistor para obtener un compromiso entre la ganancia y la figura de ruido, los valores de los componentes del circuito tales como condensadores o inductancias, o la tensión de alimentación del circuito que afecta directamente al consumo del circuito, entre otros aspectos. Al mismo tiempo, el diseño a nivel de esquemático con componentes ideales da pie a conocer las prestaciones del circuito cuando los componentes empleados no introducen pérdidas, aunque con el transcurso de la implementación dichas prestaciones se pueden reducir.

I. Proceso de diseño

Para realizar un diseño a nivel circuital es necesario seguir ciertos pasos, así como tomar algunas decisiones que repercuten en el *layout* final. El desarrollo del LNA con componentes ideales consta de los siguientes pasos:

- Fijar una densidad de corriente de polarización del transistor, así como el consiguiente consumo de potencia, donde se priorice una figura de ruido mínima.

- Establecer los parámetros del transistor NFET: largo, ancho de *finger* y número de *fingers* para minimizar la NF, maximizar la ganancia y obtener una buena adaptación de impedancias.
- Introducir una inductancia de degeneración en la fuente del transistor en CS, denominada L_{source} , con el propósito de que los valores reales de la impedancia de adaptación de entrada (S_{11}) y la impedancia óptima para mínimo ruido (S_{opt}) se aproximen.
- Añadir al circuito una inductancia en la puerta del transistor en CS, denominada L_{gate} , cuya función sea trasladar los valores de S_{11} y S_{opt} al centro de la Carta Smith, es decir, a 50Ω .
- Emplear una inductancia de carga entre el drenador del transistor en CG y la fuente de alimentación, denominado L_{drain} , cuyo valor afecta directamente al aumento de la ganancia del LNA.
- Tras fijar estos componentes, es necesario analizar si las bobinas ocupan una extensión del área del chip elevada en función del valor. En caso de que esto ocurra, se incluye un condensador entre la puerta y el surtidor del transistor en CS para reducir L_{gate} .
- Añadir un condensador de salida, denominado C_{out} , para ajustar la salida de la señal del LNA.

De forma previa a iniciar el proceso de diseño a nivel esquemático, en la Figura 25 se muestra el primer circuito, sobre el que se emplea el cascode para fijar la densidad de corriente y definir los valores de wf y nf . Por un lado, en la parte superior derecha del circuito, y denominado V_0 , se sitúa la fuente de alimentación, que inicialmente está fijada a 900 mV. A su vez, se muestran las tres inductancias mencionadas en el párrafo anterior, así como el condensador de salida empleado para adaptar el parámetro S_{22} . En la parte central, se muestran los dos transistores, en configuración de CG y CS respectivamente. En los extremos, se encuentran los terminales de entrada y salida empleados para poder realizar simulaciones. En la parte izquierda, se opta por un espejo de corriente compuesto por un transistor y dos resistencias de 2 k Ω que le aportan estabilidad al espejo, así como para fijar la corriente que circula por el cascode. Además, en la entrada del circuito, se coloca un condensador que se emplea para bloquear la continua. Por último, se conectan a la alimentación cuatro condensadores en paralelo cuya función es asegurar que se conecta a tierra en corriente alterna (AC) la puerta del transistor N1 y para evitar que el circuito se vuelva inestable por posibles señales de ruido en la fuente de alimentación.

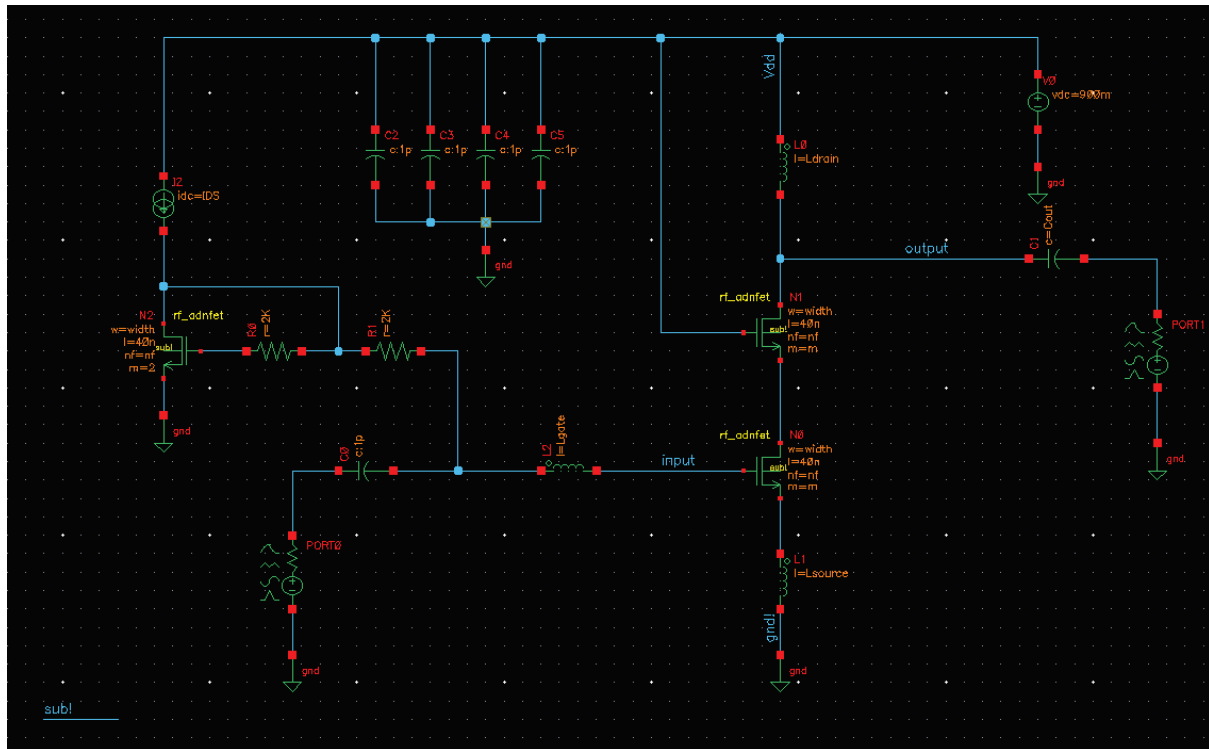


Figura 25. Esquemático inicial para dimensionar el transistor.

Siguiendo el proceso de diseño, el primer paso es fijar la corriente de polarización del circuito. Para ello, se parte con una configuración base mostrada en la Figura 26, destacando que los valores no influyen inicialmente, puesto que únicamente se emplean para fijar la corriente de polarización. Se asignan valores al condensador de salida (C_{out}), corriente de polarización (I_{DS}), bobinas de drenador, puerta y fuente (L_{drain} , L_{gate} y L_{source}) y a los parámetros del transistor: número de *fingers* (nf), ancho total de *fingers* (wf) y multiplicidad (m).

Design Variables	
wireopt	18
Cout	1p
IDS	10m
Ldrain	500p
Lgate	1p
Lsource	1p
nf	50
width	50u
m	1

Figura 26. Configuración inicial sobre la que se dimensionan los transistores.

Bajo esta configuración inicial, se realiza una primera simulación donde se barre la corriente del drenador (I_{DS}) desde 0.5 mA hasta 60 mA. Para fijar la corriente se busca el compromiso entre la figura de ruido mínima y la ganancia máxima, por lo que son las dos variables por estudiar. En la Figura 27, se muestran los resultados obtenidos donde se puede observar una figura de ruido mínima cercana a 1.8 dB, una ganancia máxima entorno a los 22.8 dB y una densidad de corriente de 0.2 mA/ μm . Se observa que a medida que la corriente aumenta, se mejoran las prestaciones de ambos elementos, pero conlleva un aumento notable

del consumo del circuito, por lo que se toma la decisión de fijar la corriente de polarización de 10 mA para mantener un consumo razonable sin sacrificar significativamente las prestaciones.

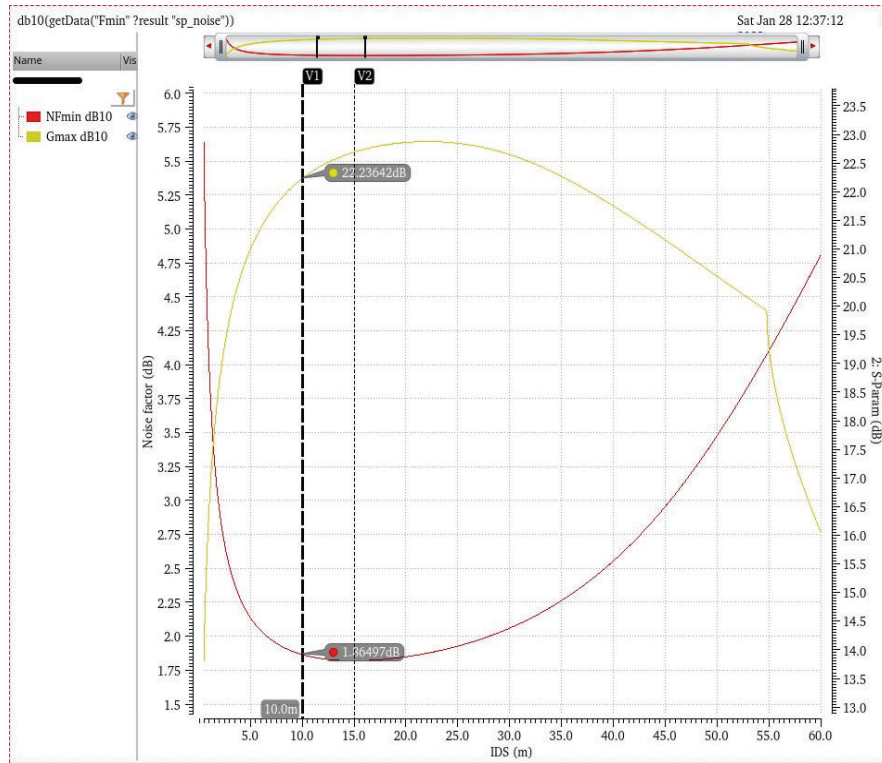


Figura 27. Resultados de la corriente de polarización en función de la ganancia y la figura de ruido.

El siguiente paso es encontrar la densidad de corriente óptima para cada tamaño de transistor. Para ello, se realiza una simulación como la anterior para diferentes anchuras. En primer lugar, se realiza un barrido de wf desde 40 μm hasta 100 μm , en pasos de 10 μm . Además, se varía de forma simultánea nf desde 40 *fingers* hasta 100 *fingers*, consiguiendo así un ancho unitario de cada *finger* a 1 μm , es decir, para el valor de $wf=40$ μm , el valor de nf equivale a 40 *fingers*. Los resultados obtenidos se muestran en la Figura 28, donde el punto de la ganancia máxima y la figura de ruido mínima se rueda hacia la derecha, es decir, a un valor superior de corriente de polarización, a medida que se aumentan los valores de wf . Por tanto, para lograr reducir la figura de ruido mínima es necesario aumentar el ancho y el consumo del circuito. Cabe destacar, la ganancia para 40 *fingers* y 40 μm de ancho es la línea rosa superior, mientras que en la parte inferior se sitúa la figura de ruido en color azul para esas mismas dimensiones, perteneciendo el resto de líneas a los valores adyacentes.

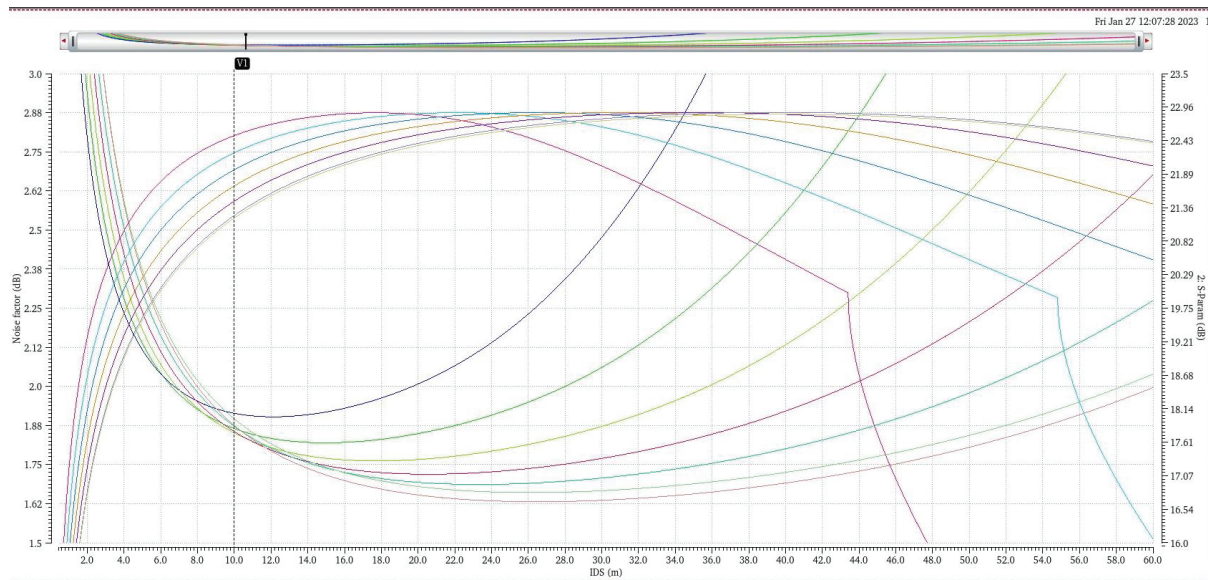


Figura 28. Resultados de la ganancia y la figura de ruido en función de la corriente de polarización variando los valores del ancho del transistor desde 40 μm a 100 μm .

Tras analizar los valores anteriores, se determina que las dimensiones del transistor equivalen a $w_f = 50 \mu\text{m}$ y $n_f = 75 \text{ fingers}$. Con un w_f de 50 μm , la parte real de S_{opt} se aproxima a 50 Ω , permitiendo realizar la adaptación de entrada con una sola bobina para cancelar la componente capacitiva en la puerta del transistor CS. A su vez, la toma de esta decisión se debe al análisis mostrado en la Figura 29, y para un ancho de 50 μm , se realizan cuatro pruebas para observar el efecto de la anchura unitaria de *finger* en las prestaciones del transistor. Se observa como al aumentar el número de *fingers*, disminuye la figura de ruido, aunque se mantiene la ganancia para la corriente de drenador de 10 mA. En la gráfica de la figura de ruido y ganancia máxima, el color rojo pertenece a $n_f = 25 \text{ fingers}$, el amarillo a 50 *fingers*, el verde a 75 *fingers* y el celeste a 100 *fingers*. Por lo tanto, se opta por un valor de $n_f = 75 \text{ fingers}$ para conseguir un compromiso entre ambos parámetros, correspondiendo a un ancho de *finger* unitario de 0.67 μm .

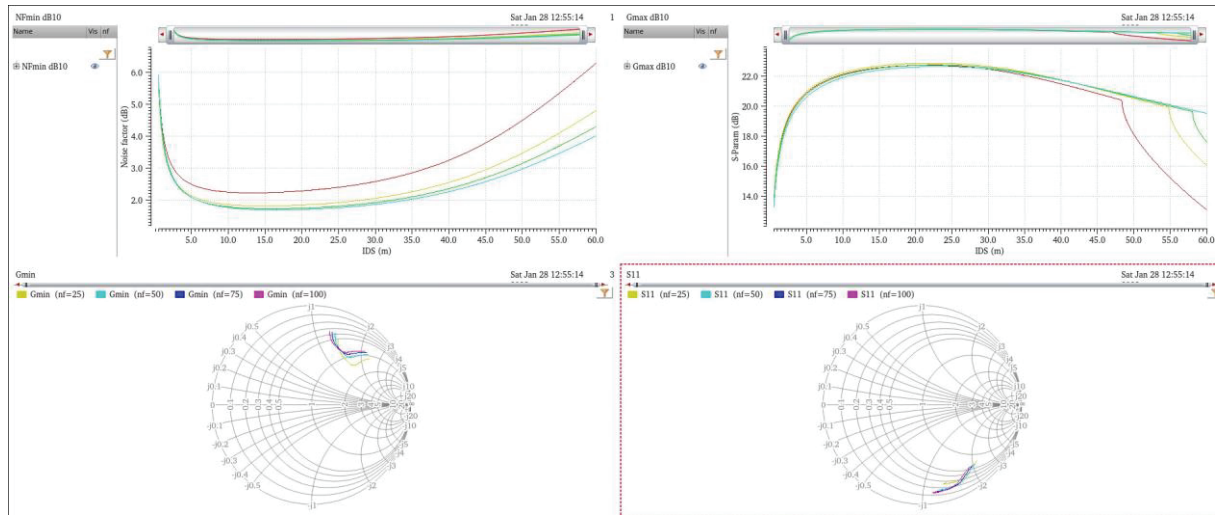


Figura 29. Barridos de nf desde 25 fingers hasta 100 fingers para determinar las dimensiones del transistor.

El siguiente paso es obtener el valor de L_{source} para que las partes reales de S_{opt} y S_{11} se aproximen. En la Figura 30 se muestra el valor de S_{11} y S_{opt} en función de una inductancia variable desde 25 pH hasta 150 pH en pasos de 5 pH. En el resultado obtenido se observa como a mayor inductancia, la ganancia se mantiene prácticamente constante pero la figura de ruido se reduce. Por esta razón, el valor de L_{source} equivale a 120 pH, puesto que así se consigue que el parámetro S_{11} tenga de parte real 50 Ω aproximadamente.

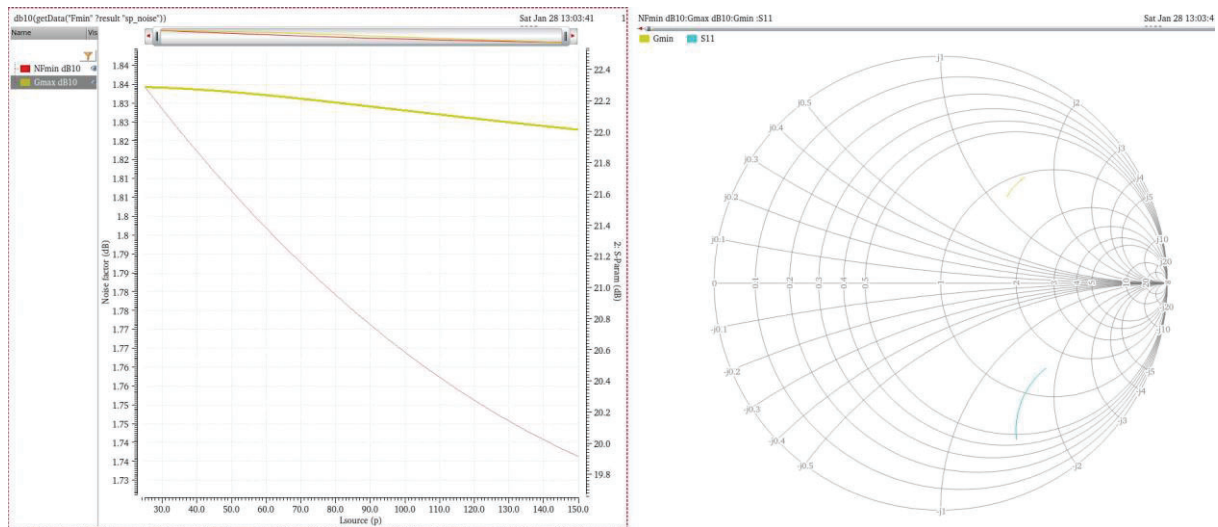


Figura 30. Barrido de L_{source} desde 25 pH hasta 150 pH en pasos de 5 pH.

Tras fijar el valor de L_{source} , se añade L_{gate} para acercar el valor de S_{11} al centro de la Carta Smith. En la Figura 31 se realiza un barrido desde 50 pH hasta 550 pH en pasos de 5 pH, observándose como en 350 pH se alcanza la figura de ruido mínima igual a 1.5 dB y una ganancia máxima de 20.8 dB. Además, en la misma imagen se demuestra en la Carta Smith como S_{11} se lleva al centro, estando solapados con el círculo unidad, es decir, con una impedancia de 50 Ω . Se destaca que la nomenclatura de S_{opt} en el entorno de Cadence es G_{min} .

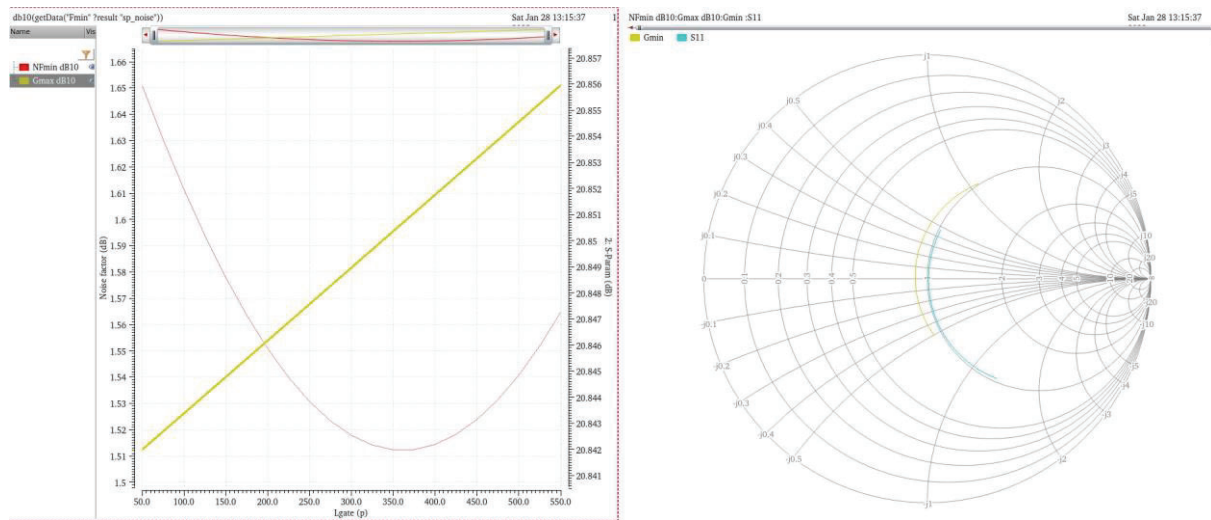


Figura 31. Barrido de L_{gate} desde 50 pH hasta 550 pH en pasos de 5 pH.

Sin embargo, para obtener una mejor adaptación de entrada, se debe analizar el valor de L_{gate} . Es por ello, que en la carta Smith se emplean marcadores próximos a 50Ω , obteniendo a su vez el valor de L_{gate} , que como se muestra en la Figura 32 corresponde a 400 pH.

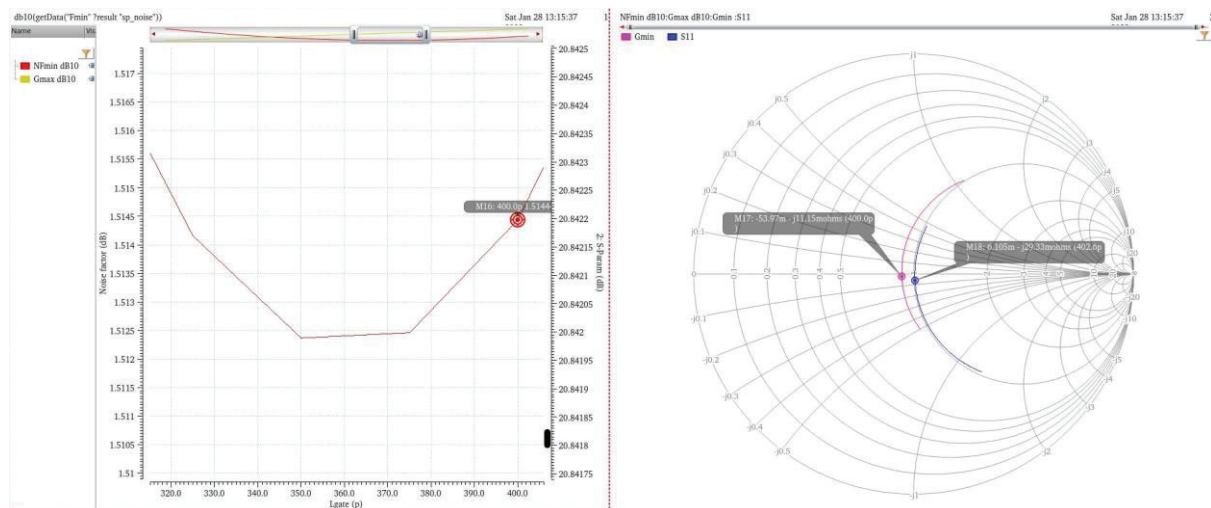


Figura 32. Ajuste del valor de L_{gate} en función de la Carta Smith para obtener una adaptación de entrada próxima a 50Ω .

En este punto, se puede comprobar si el circuito está adaptado a la entrada y si la figura de ruido (NF) es próxima a la figura de ruido mínima (NF_{min}). En la Figura 33 se muestran ambas conclusiones, estando el circuito adaptado a la entrada a la frecuencia de trabajo de 30 GHz, al igual que la figura de ruido es la más reducida a dicha frecuencia.

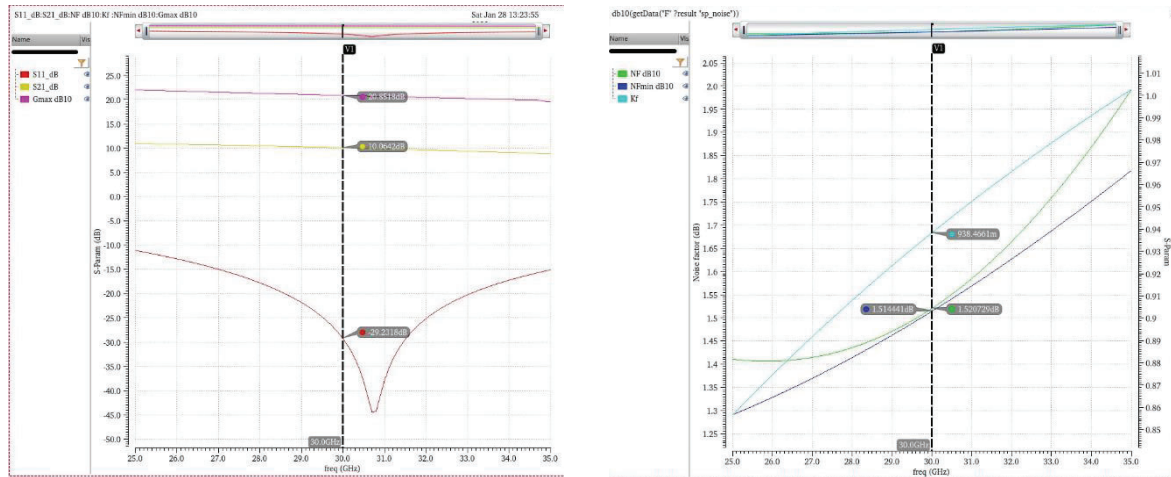


Figura 33. Valores de los distintos parámetros en la frecuencia de trabajo.

Con L_{source} y L_{gate} fijadas, se pasa a adaptar la salida. En principio, se mantiene el valor inicial de L_{drain} , y se varía el condensador de salida C_{out} , en función del parámetro S_{22} . Inicialmente se realiza un barrido desde 20 fF hasta 35 fF en pasos de un 1 fF. El resultado obtenido se ilustra en la Figura 34, dónde se indica que 27 fF es el valor de C_{out} que ofrece una mejor adaptación de S_{22} .

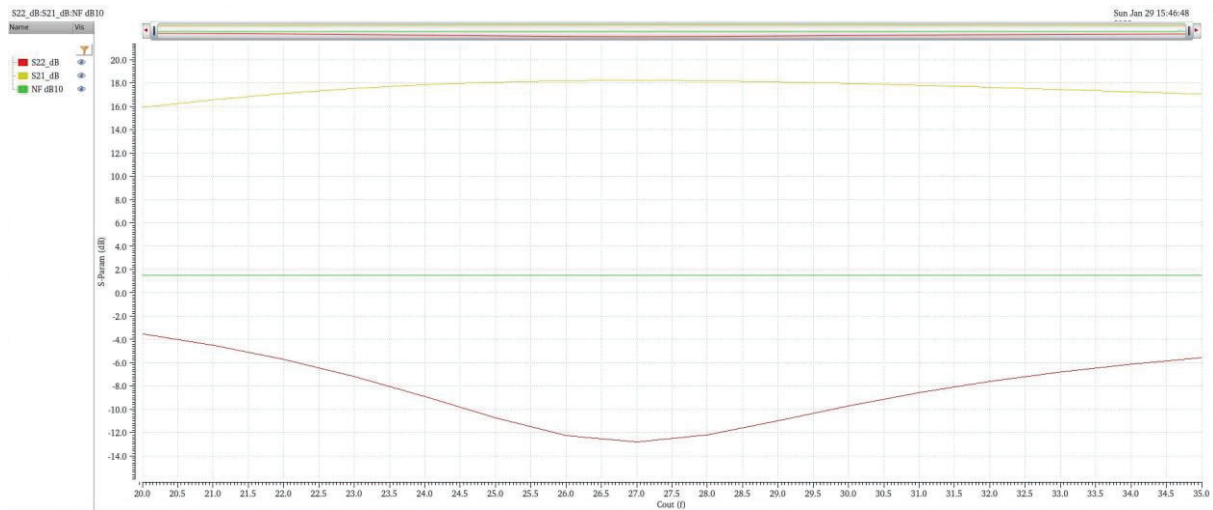


Figura 34. Barrido desde 20 fF hasta 35 fF en pasos de 1 fF para ajustar C_{out} .

Al adaptar la salida, se desconfigura la adaptación de entrada, por lo que es necesario realizar algunos ajustes. Se reajusta L_{gate} para conseguir un compromiso entre la ganancia, la figura de ruido, S_{11} y S_{22} . El barrido va desde 370 pH hasta 410 pH en pasos de 2 pH, obteniendo los valores mostrados en la Figura 35.

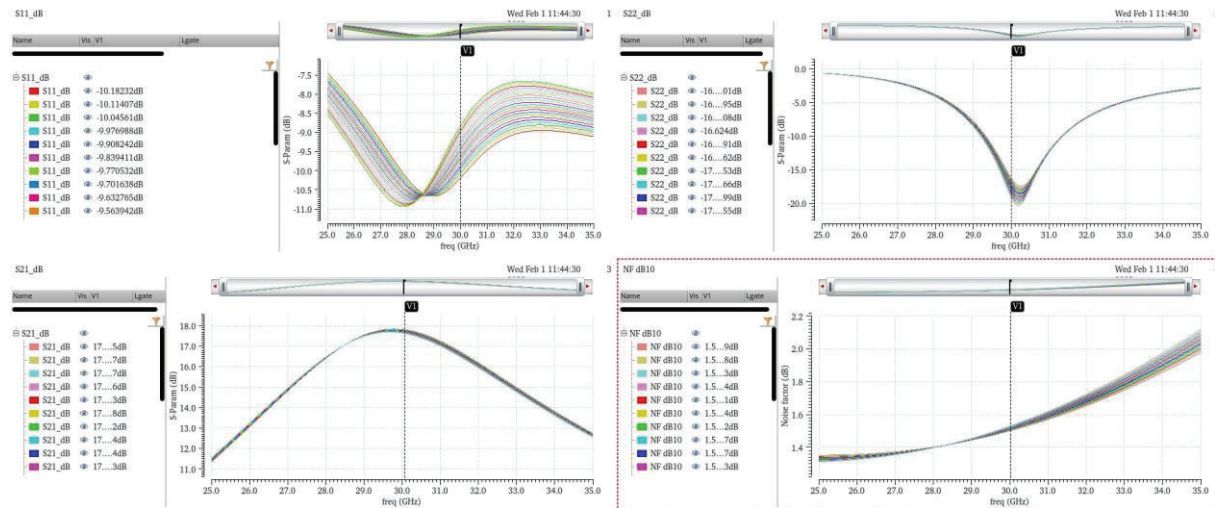


Figura 35. Reajuste de L_{gate} para mantener un compromiso entre los parámetros del diseño.

Tras observar los resultados, se continúa reduciendo L_{gate} hasta un valor de 330 pH, puesto que es el punto en el que los valores de S_{11} y S_{22} son inferiores a -10 dB en la frecuencia de trabajo, considerándose así una adaptación válida. Por tanto, en la Figura 36 se recogen los valores de los componentes del diseño, siendo éste el punto de partida del esquemático con los componentes del PDK.

Design Variables	
wireopt	18
Cout	27f
IDS	10m
Ldrain	500p
Lgate	330p
Lsource	120p
nf	75
width	50u
m	1
Click to add variable	

Figura 36. Valores de los componentes ideales.

En cuanto a los resultados finales, en la Figura 37 se muestra la gráfica con los valores obtenidos. Se destaca que la ganancia en la frecuencia de trabajo es de 18 dB, con una figura de ruido de 1.5 dB, adaptación de entrada de -11.4 dB, y adaptación de salida de -14 dB.

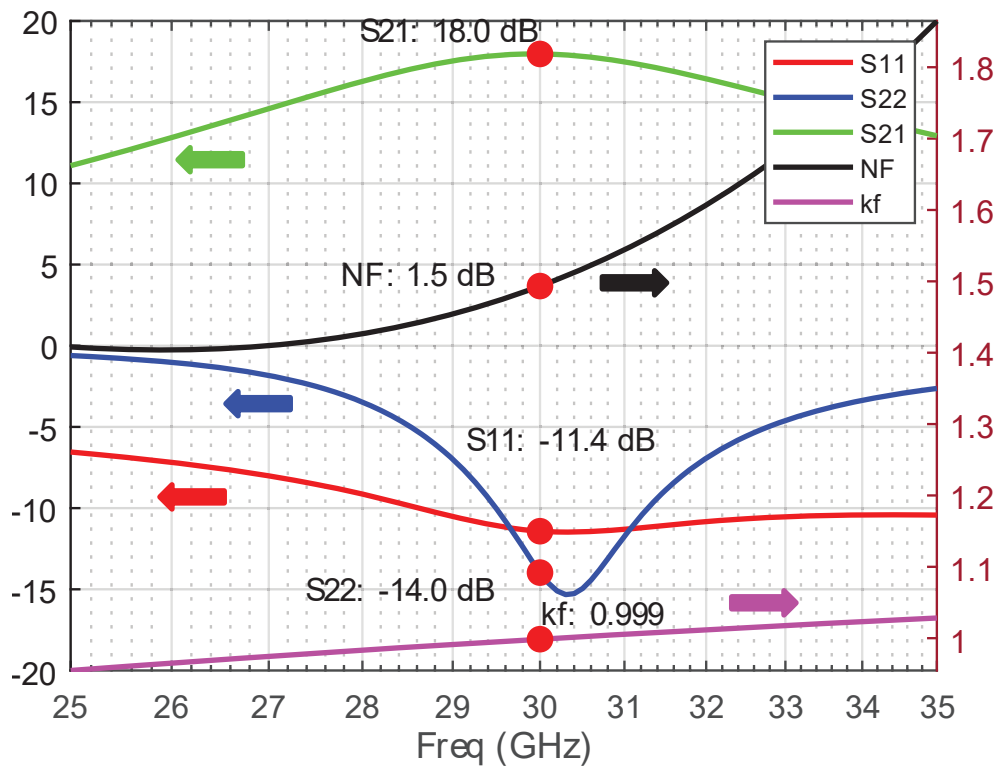


Figura 37. Resultados finales del diseño basado en componentes ideales.

3. Diseño con componentes reales

Una vez realizado el diseño con componentes ideales para tener una expectativa de las prestaciones que el LNA puede ofrecer, se pasa a sustituir dichos componentes por los elementos de la tecnología. Para ello, se emplea el PDK, siendo el primer nexo de unión entre el diseño a nivel de esquemático y el proceso de diseño del *layout*.

El primer elemento sustituido es L_{source} , con una inductancia de 120 pH. Para obtener su equivalente se emplea la herramienta proporcionada por el PDK, mostrada en la Figura 38, donde lo primero que se realiza es seleccionar el tipo de inductor que se desea, siendo en este caso una bobina rectangular en espiral. El siguiente paso es introducir el valor deseado, así como algunos parámetros propios de la bobina como el número de vueltas o el espaciado entre pistas. Tras unos ajustes, la bobina queda configurada con un valor de 119.9 pH, como se muestra en la Figura 38.

Model Name	indr18_ch1_ar1n1p4n2	Freq	30.0G Hz
Description	ctangular Spiral Inductor	Inductance	119.884p H
Wireopt	8LM_3Mx_1Cx_1Ux_20x_LD	Q	32.23866
Display min/max	☐	Area (um^2)	9565.346
Specify Aspect Ratio?	Yes	SRF	106.3167G Hz
Aspect Ratio	1	Parameters	valid
Outer diameter (x)	97.8u M		
Outer diameter (y)	97.8u M		
Turn width	14.5u M		
Turn spacing	4u		
Number of turns	1.0		

Figura 38. Valores de inductancia y dimensiones de L_{source} .

Con L_{source} calculado, se realiza la actualización en el esquemático y se realiza una simulación para comprobar los cambios que supone su inclusión. En la Figura 39 se muestran los resultados, donde se destaca como las prestaciones se mantienen constantes, menos la adaptación de salida que pasa de -14 dB a -13.8 dB.

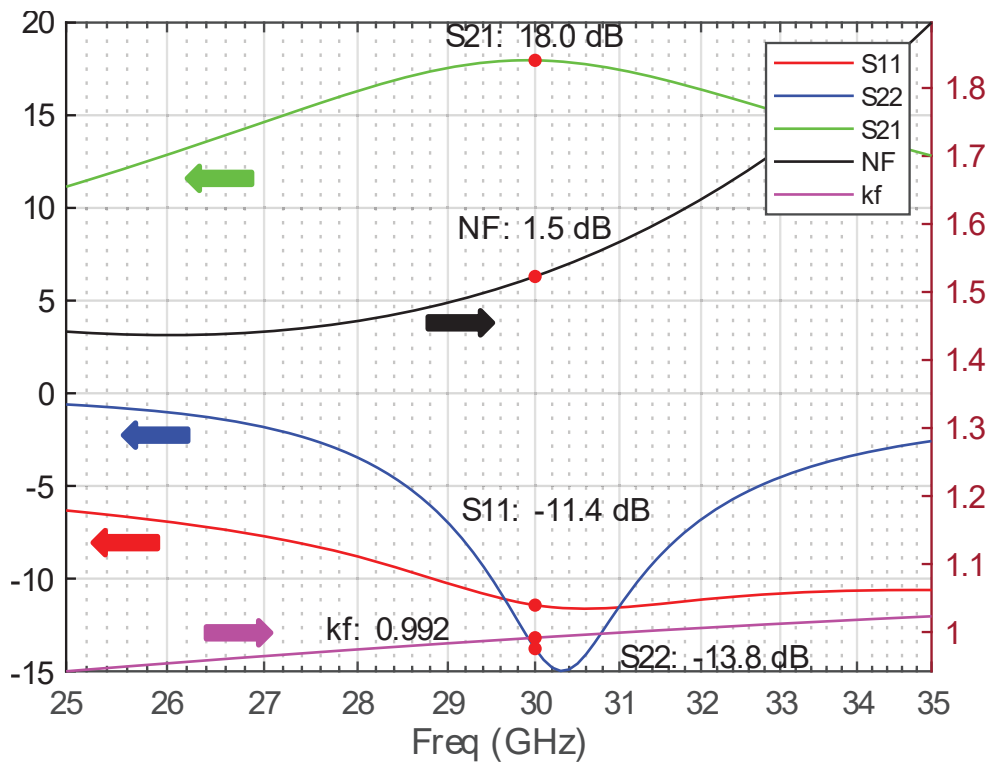


Figura 39. Resultados tras añadir L_{source} desde el PDK.

El siguiente cambio es incluir el inductor L_{drain} del PDK. Se emplea el mismo tipo de bobina que para L_{source} , pero esta vez se busca una inductancia de 500 pH. El procedimiento es similar al anterior, obteniendo un valor de 477.9 pH mostrado en la Figura 40.

Model Name	indr18_ch1_ar1n1p4n2
Description	ctangular Spiral Inductor
Wireopt	8LM_3Mx_1Cx_1Ux_20x_LD
Display min/max	☐
Specify Aspect Ratio?	Yes ☒
Aspect Ratio	1 ☒
Outer diameter (x)	188.4u M
Outer diameter (y)	188.4u M
Turn width	20.0u M
Turn spacing	3u ☒
Number of turns	1.0
Chamfer?	Yes ☒
Chamfer factor	0.8
Overpass	Yes ☒
Groundplane Option	SX ☒
Temperature Delta	0.0 C
Model Name	indr
OPTIMAL INDUCTOR FINDER	
Freq	30.0G Hz
Inductance	477.8571p H
Q	37.86298
Area (um^2)	35495.48
SRF	48.69776G Hz
Parameters	valid

Figura 40. Valores de inductancia y dimensiones de L_{drain} .

De forma análoga y para comprobar las variaciones en los resultados, se simula el circuito. La gráfica obtenida se muestra en la Figura 41, dónde se observan cambios evidentes. Por un lado, se reduce la ganancia (S_{21}), así como mejoran S_{11} y S_{22} , y se mantiene la figura de ruido al mismo tiempo. El aspecto positivo es que el circuito ya es incondicionalmente estable, puesto que el factor de estabilidad aumenta al introducir dichos componentes.

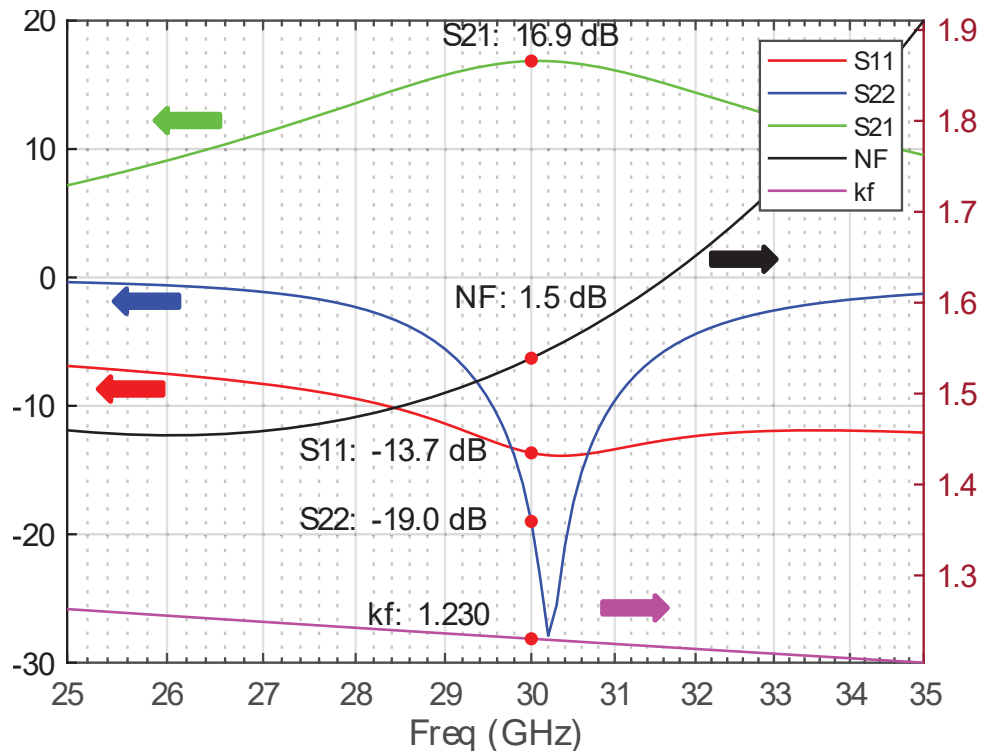


Figura 41. Resultados del esquemático con componentes del PDK tras añadir L_{drain} .

La siguiente inductancia es L_{gate} , la cual tenía un valor de componente ideal equivalente a 330 pH, y al emplear la herramienta, la bobina del PDK adopta un valor aproximado de 329.7 pH. En este caso, las dimensiones de la bobina son de 121.4 μm por lado, con una vuelta y media, manteniendo un espaciado entre vueltas de 4 μm , como se observa en la Figura 42.

Model Name	indr18_ch1_ar1n1p4n2
Description	ctangular Spiral Inductor
Wireopt	8LM_3Mx_1Cx_1Ux_20x_LD
Display min/max	☐
Specify Aspect Ratio?	Yes
Aspect Ratio	1
Outer diameter (x)	121.4u M
Outer diameter (y)	121.4u M
Turn width	15.1u M
Turn spacing	4u
Number of turns	1.5
Chamfer?	Yes
Chamfer factor	0.8
Overpass	Yes
Groundplane Option	SX
Temperature Delta	0.0 C
Model Name	indr
OPTIMAL INDUCTOR FINDER	
Freq	30.0G Hz
Inductance	329.7081p H
Q	34.11887
Area (um^2)	14738.58
SRF	68.14498G Hz
Parameters	valid

Figura 42. Valores de inductancia y dimensiones de L_{gate} .

De la misma forma que en el resto de los casos, se realiza una simulación para analizar los cambios en las prestaciones tras añadir esta bobina. En la Figura 43 se muestran los resultados obtenidos, notándose los cambios sobre todo en las adaptaciones de entrada y salida, así como el aumento de la figura de ruido. Además, la ganancia se reduce para la frecuencia de trabajo 0.4 dB aproximadamente, pero se mejora la estabilidad del circuito.

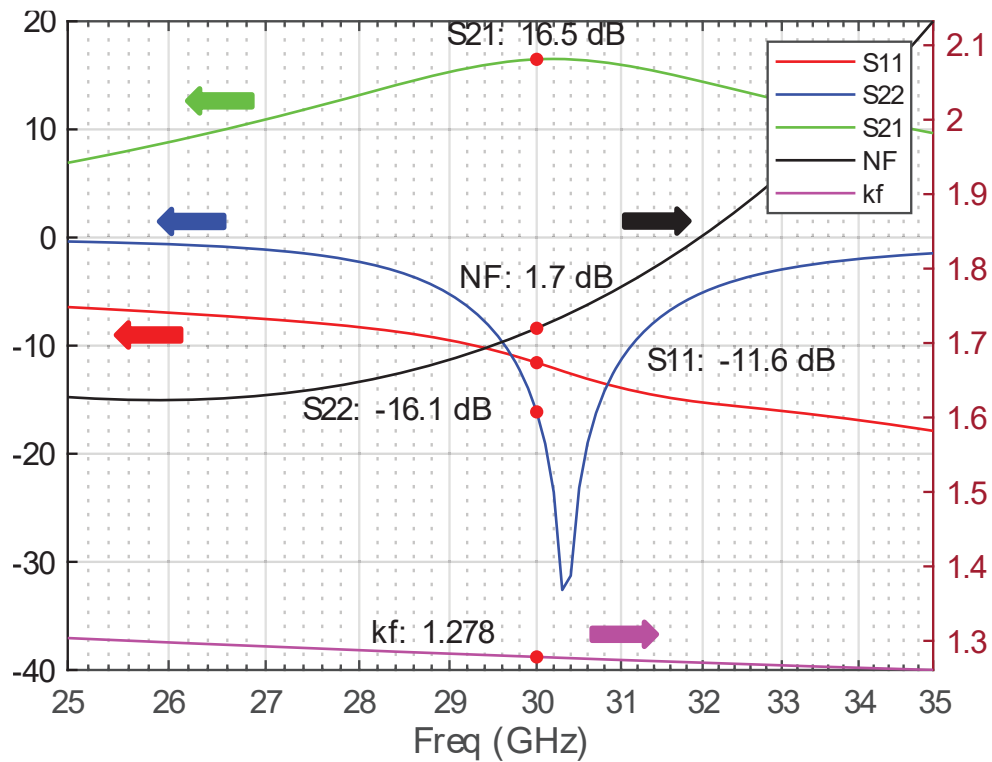


Figura 43. Resultados del esquemático con componentes del PDK tras añadir L_{gate} .

Siguiendo con el diseño con componentes de la tecnología, se incluye C_{out} , con un condensador de tipo VN_{CAP} (*Vertical Natural Capacitor*). Para configurar este elemento se emplea la herramienta de la Figura 44, donde se van modificando las dimensiones del ancho y largo hasta obtener una capacidad próxima al valor deseado que es de 27 fF. El valor obtenido es de 26.8 fF.

Description	Vertical Natural Capacitor
Length	9.2u M
Width	9.43u M
BEOL stack option	8LM_3Mx_1Cx_1Ux_20x_LD
Bottom Level Metal	M1
Top Level Metal	M1
Approx Capacitance (F)	26.8f F
Override model inductance?	☐
Override model parasitic capacitance?	☐
Temperature Delta	0.0 C
x Node Connection	sub!
Substrate Model	☒ global ☐ disconnect ☐ connect

Figura 44. Valores de capacitancia y dimensiones de C_{out} .

Al incluir este componente, los resultados son prácticamente similares a los anteriores, aunque mejora la adaptación de salida, como se muestra en la Figura 45.

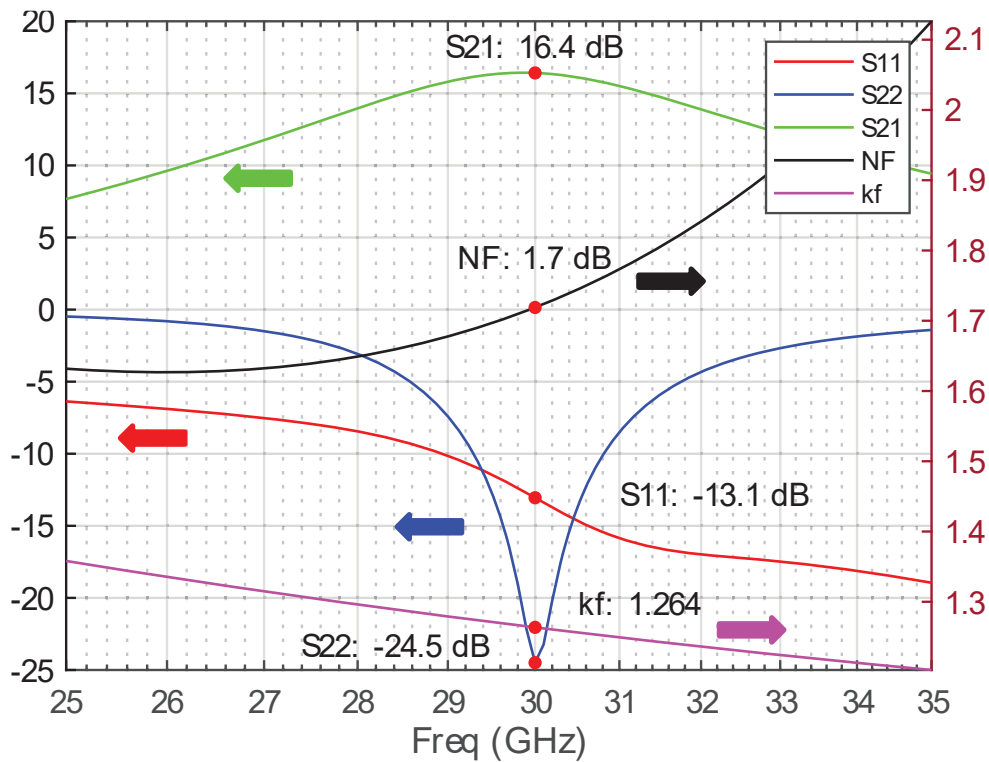


Figura 45. Resultados del esquemático con los componentes del PDK tras añadir C_{out} .

Los últimos condensadores modificados son los cuatro de Bypass. Se emplean condensadores MIMHD debido a que ofrecen una mayor capacidad por unidad de área. Asimismo, para dimensionarlos el ancho y el largo del condensador deben mantener un compromiso. En la Figura 46 se muestra el valor de 1 pF deseado, así como las dimensiones de los condensadores.

Description	High Density MiM
Stack Name	8LM_3Mx_1Cx_1Ux_20x_LD
Specify cap by geometry?	☐
Capacitance	1.0p F
Width	21.18u M
Length	20.0u M
Bottom Plate Conn Sides	3
Multiplicity	1
Back Plane	SX

Figura 46. Valores de capacitancia y dimensiones de los condensadores de Bypass.

En cuanto a los resultados del diseño tras añadir dichos componentes, en la Figura 47 se observan como se mantiene una ganancia y una figura de ruido similar, mejorando la adaptación de entrada y empeorando la adaptación de salida. El siguiente paso es realizar las

modificaciones necesarias para recuperar las prestaciones iniciales y comparar los resultados del diseño con componentes ideales frente a los componentes del PDK.

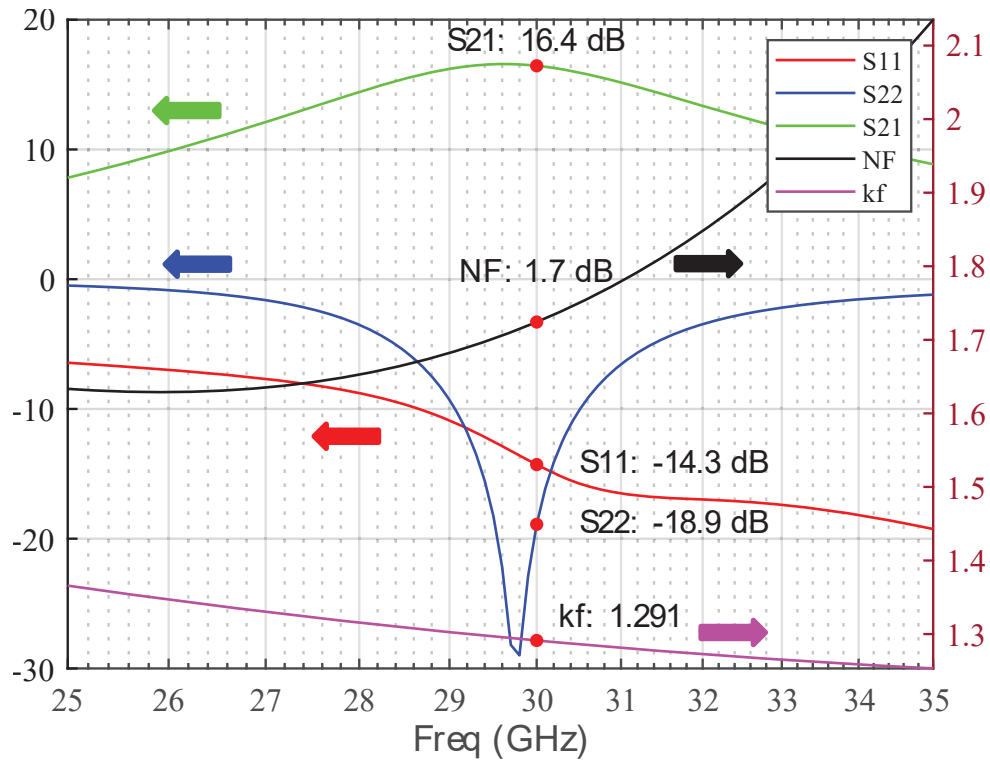


Figura 47. Resultados del esquemático con componentes del PDK tras añadir los condensadores de Bypass.

Para mejorar las prestaciones en función de los resultados obtenidos, se decide modificar el valor de L_{gate} , reduciéndolo de 330 pH a 130 pH, consiguiendo así asegurar que la salida está adaptada a la frecuencia de trabajo y que S_{11} es inferior a -10 dB. Por su parte, el esquemático definitivo tras realizar los cambios se muestra en la Figura 48.

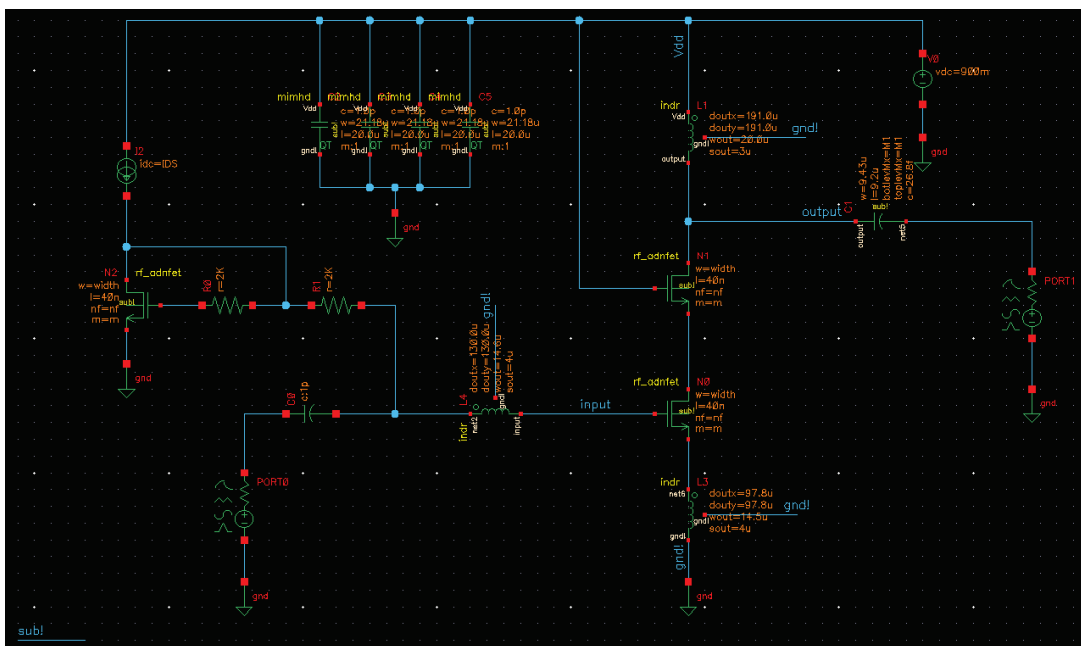


Figura 48. Esquemático del diseño con componentes del PDK.

En la Figura 49 se observan los resultados tras esta última modificación, viendo como la ganancia (S_{21}) y NF están centrados a la frecuencia de trabajo. A su vez, el factor de estabilidad del circuito se sitúa en un valor de 1.703 a 30 GHz, siendo incondicionalmente estable.

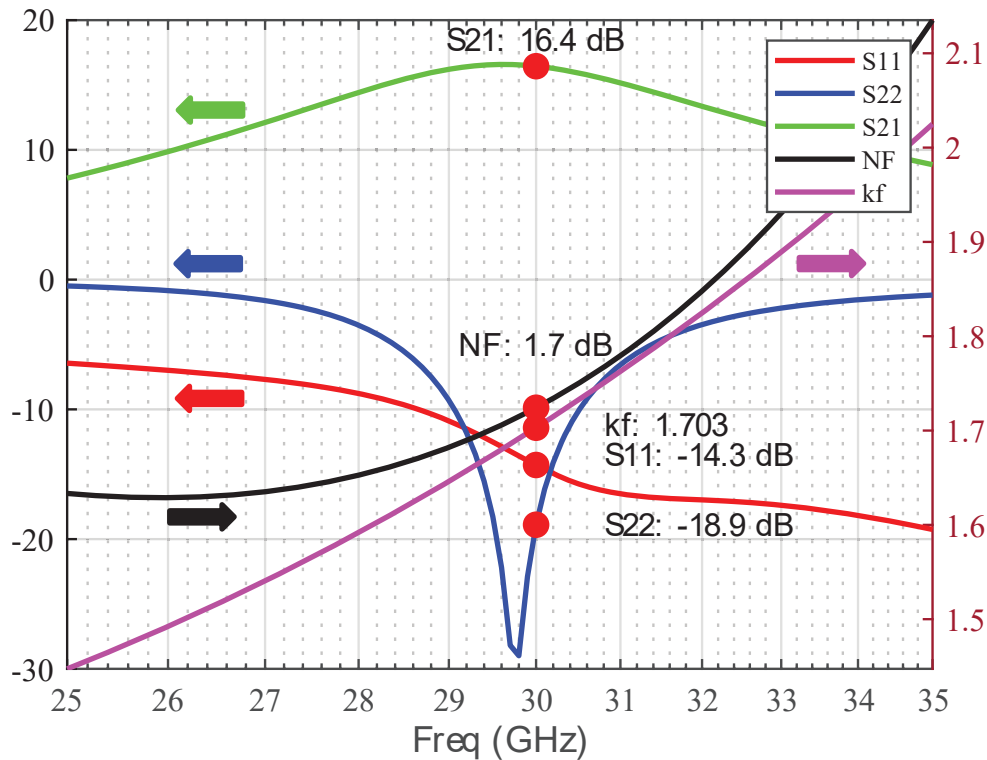


Figura 49. Resultados finales obtenidos con el diseño con componentes del PDK.

4. Conclusiones

Tras realizar el diseño a nivel de esquemático en sus dos vertientes, con componentes ideales y con componentes del PDK, se continua con el análisis de las conclusiones obtenidas con el diseño. Inicialmente, se realiza un esquemático con componentes ideales cuyo principal objetivo es fijar las dimensiones del transistor y la corriente de polarización, así como obtener una idea inicial de las prestaciones que este LNA puede ofrecer. Sin embargo, estos resultados se alejan de la realidad de fabricación, puesto que a la hora de llevar a cabo este proceso se incluyen algunos efectos parásitos que sí contemplan los modelos de los componentes del PDK.

Posteriormente, se sustituyen los componentes ideales por componentes del PDK, obteniendo así unos resultados más veraces. En la Tabla 7 se realiza una comparación de los valores de los componentes y las prestaciones de ambos diseños, donde se destaca que en el segundo diseño se mejoran las adaptaciones de entrada y salida, así como el factor de estabilidad, siendo el circuito estable en todo el rango de frecuencias. Por su parte, la ganancia y la figura de ruido empeoran, puesto que al introducir los componentes reales se tienen en cuenta las pérdidas y elementos parásitos de los mismos.

Tabla 7. Comparación de los resultados del diseño con componentes ideales frente al diseño con componentes de la tecnología

	Diseño con componentes ideales	Diseño con componentes del PDK
Ancho de <i>finger</i> (<i>wf</i>)	50 μm	50 μm
Número de <i>fingers</i> (<i>nf</i>)	75 <i>fingers</i>	75 <i>fingers</i>
Longitud de puerta	40 nm	40 nm
L_{gate}	330 pH	130 pH
L_{source}	120 pH	119.9 pH
L_{drain}	500 pH	477.9 pH
C_{out}	27 fF	26.8 fF
S_{11}	-11.4 dB	-14.2 dB
S_{22}	-14 dB	-19.5 dB
Ganancia (S_{21})	18 dB	16.5 dB
Figura de ruido (NF)	1.5 dB	1.7 dB
Factor de estabilidad (k)	0.998	1.291
Consumo	9 mW	9 mW

Capítulo 5. Diseño a Nivel de Layout

El siguiente paso en el desarrollo del presente TFM es trasladar el diseño a nivel de esquemático al nivel de *layout*. El *layout* se realiza para prototipar el chip como tal, empleando los componentes de la tecnología y su distribución de metales para realizar las interconexiones, es decir, definir los planos de fabricación del circuito integrado. Son de vital importancia las decisiones que se toman en este proceso, puesto que es el paso previo a enviar el circuito a fabricación. Por tanto, a lo largo de este capítulo se detalla el procedimiento seguido, así como las explicaciones sobre los *layouts* de los diferentes elementos del circuito.

1. Proceso de Diseño

Al igual que para realizar los esquemáticos, se emplea la herramienta Virtuoso, de Cadence, con el kit de la tecnología de 45RFSOI. El procedimiento comienza analizando una serie de aspectos que permiten conocer adecuadamente la tecnología, permitiendo que las decisiones sean más sencillas y repercutan positivamente en el flujo de diseño. Principalmente, se destacan las reglas de diseño, cuyo propósito es que el diseño cumpla con restricciones en términos de distancia entre metales, ángulos de las pistas, ancho de los metales, distancia entre pads, etc. Asimismo, la optimización del espacio, y por consiguiente del chip, es uno de los aspectos más destacados de los *layouts*. Es por ello, que es necesario tener en cuenta los siguientes aspectos [26]:

- Situar a las inductancias lo más próximas a los transistores, pasando siempre el DRC (*Design Rule Checking*), debido a que así se consigue minimizar los efectos parásitos por las conexiones con tierra o alimentación.
- Optar por pistas cortas, puesto que las pistas largas introducen capacidades e inductancias parásitas. En caso de que sea inevitable emplear líneas relativamente largas, se opta por diseñarlas en las capas más elevadas de la tecnología, puesto que introducen menos capacidades parásitas.
- Rellenar los espacios vacíos del *layout* con contactos a sustrato conectados a tierra, dando lugar a que las corrientes indeseadas se deriven al sustrato.
- Dimensionar las pistas adecuadamente para que la corriente circule de forma correcta.
- Emplear vías de unión de metales que soporten el flujo de corriente que las atraviesa, consiguiendo, a su vez, que se minimice la resistencia parásita.

Continuando con el proceso de diseño empleado para realizar el *layout* del LNA, se sigue un flujo progresivo, diseñando uno a uno cada componente y pasando los controles de DRC y LVS (*Layout Versus Schematic*). Por tanto, se destacan los siguientes pasos:

- Realizar el *layout* de los transistores, así como del cascodo, comprobando que se pasan correctamente el DRC y el LVS. Además, se realiza un modelo en el que se integran la extracción de parásitas y la simulación electromagnética de las capas superiores de las tecnologías que forman los terminales del cascodo.
- Proponer un *floor plan* para disponer los diferentes elementos de forma eficiente, teniendo en cuenta las dimensiones que ocupan, las interconexiones con otros componentes, etc.
- El siguiente paso consiste en diseñar las bobinas a nivel de *layout* e introducirlas en el circuito, realizando modificaciones como añadir más vueltas para colocarlas adecuadamente, cambiarlas por líneas de transmisión para optimizar el consumo de área, etc.
- El siguiente punto es realizar el *layout* de los condensadores, tanto el de salida, como de los cuatro de *Bypass*.
- Se obtiene un análisis EM del LNA dividiéndolo en cuatro secciones: adaptación de entrada, adaptación de salida, degeneración de fuente y red de puerta del cascodo. Además, se sustituye cada símbolo con el modelo de parámetros S en el esquemático con componentes del PDK para analizar las variaciones que sufre el circuito.
- Se continua con la adición de los *pads* en el diseño, tanto a nivel de esquemático como a nivel de *layout*, y se añade el borde del chip.
- Configuración del paso previo a la fabricación que es el relleno del chip con trozos de metal flotantes (*fillers*) para mejorar la densidad del mismo, pasando DRC y LVS.
- Finalización del diseño con las simulaciones *post-layout* y el análisis de Monte Carlo para comprobar la respuesta del LNA frente a muestras aleatorias.

De forma previa a comenzar con el diseño a nivel de *layout*, es necesario conocer las capas empleadas, recogidas en la Tabla 8, siguiendo un orden desde los niveles inferiores hasta los superiores.

Tabla 8. Siglas, nomenclaturas y códigos de colores de los niveles de diseño de 45RFSOI [27]

Siglas de la capas o vías	Nomenclatura de la capas o vías	Color en <i>layout</i>
PC	Polisilicio sobre regiones activas	Rojo
RX	Región dopada	Verde
CA	Contactos entre RX o PC a M1	Amarillo
M1	Metal 1	Azul
V1	Vía cuadrada entre M1-M2	Naranja
M2	Metal 2	Rosa
V2	Vía cuadrada entre M2-M3	Blanco
M3	Metal 3	Verde
AY	Vía cuadrada transicional M3-C1	Rojo
C1	Primer nivel de metal 1.3x	Amarillo
TA	Vía cuadrada transicional C1-UA	Violeta
UA	Primer nivel de metal 10x	Azul Claro
JT	Vía cuadrada entre UA-OA	Amarillo
OA	Nivel de cable para inductores de cobre con Q elevado	Naranja
JA	Vía cuadrada entre OA-OB	Naranja
OB	Nivel de cable para inductores de cobre con Q elevado	Amarillo
LD	Terminal grueso de aluminio a nivel de cableado para inductores	Naranja

2. Layout del transistor

El proceso del diseño del *layout* de los transistores comienza con un transistor del tipo *rf_adnfet* en el esquemático. A dicho transistor, se le añaden pines en los terminales, como se muestra en la Figura 50, siendo el paso previo a lanzar la herramienta Layout XL de Virtuoso. Además, en el propio esquemático es necesario definir los parámetros del transistor fijados en el capítulo anterior.

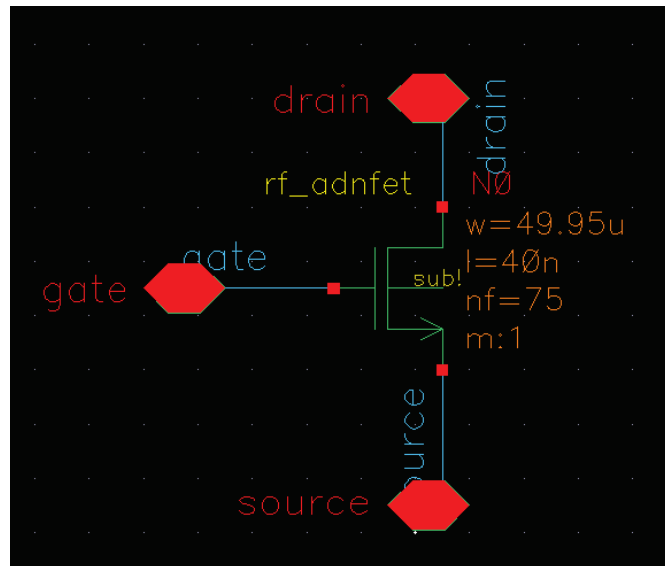


Figura 50. Esquemático del transistor con los pines y las dimensiones.

Una vez exportado el transistor desde el esquemático hasta el entorno de diseño del *layout*, se observa en la Figura 51 que el transistor es extremadamente largo. Este hecho colisiona con uno de los principios de la tecnología, el cual indica que en los metales de capas inferiores como RX, PC o M1, sólo se permiten anchos reducidos. Por esta razón, se plantea una estrategia que es redimensionar el transistor, dividiéndolo en varios transistores, pero manteniendo el valor de ancho unitario de *finger*.

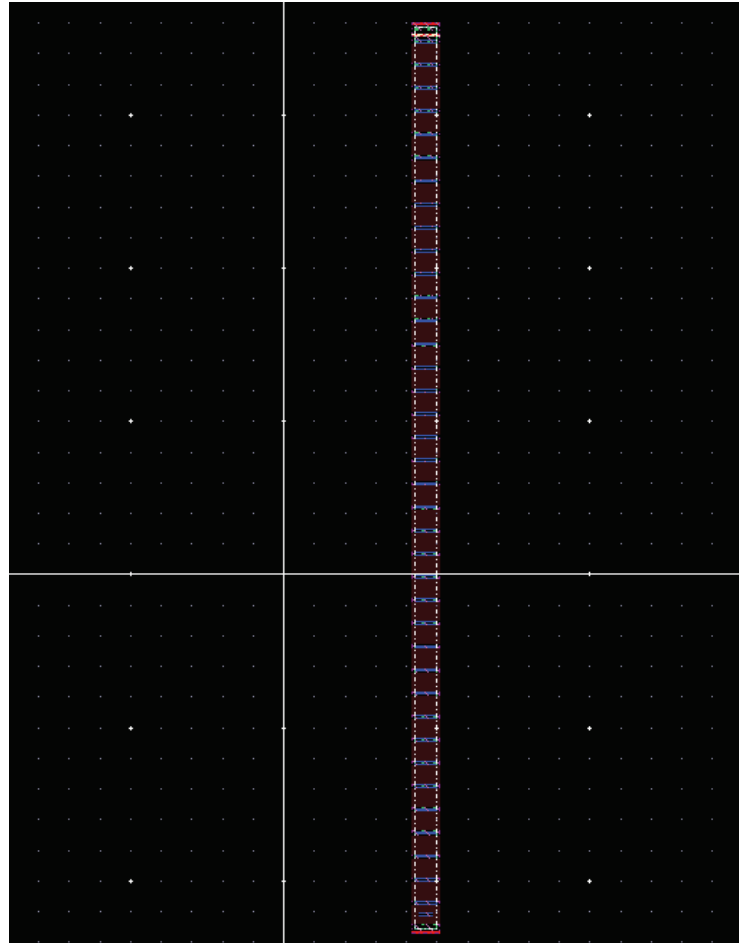


Figura 51. Incorporación del transistor al layout.

Continuando con ese planteamiento, se propone variar la multiplicidad del transistor, pudiendo crear un transistor con un ancho total de $50\text{ }\mu\text{m}$ a partir de cuatro transistores de $12.5\text{ }\mu\text{m}$, tal y como se muestra en la Figura 52.

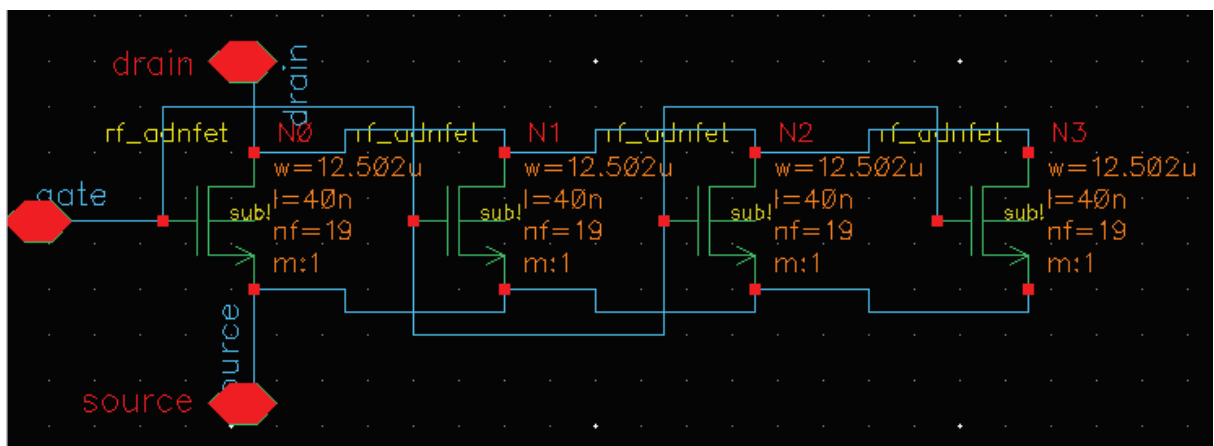


Figura 52. Esquemático con los cuatro transistores para reducir el ancho del transistor.

Con los pines añadidos se exporta este circuito a *layout*, obteniendo un diseño reducido, dónde al interconectar los terminales de puertas, drenador y fuente de cada uno de ellos se consigue un único transistor, como se muestra en la Figura 53. Otra ventaja de realizar la partición del transistor original es que ahora los efectos parásitos se reducen. En la imagen se

muestra en color azul oscuro el metal M1, el cual se emplea para interconectar los cuatro transistores.

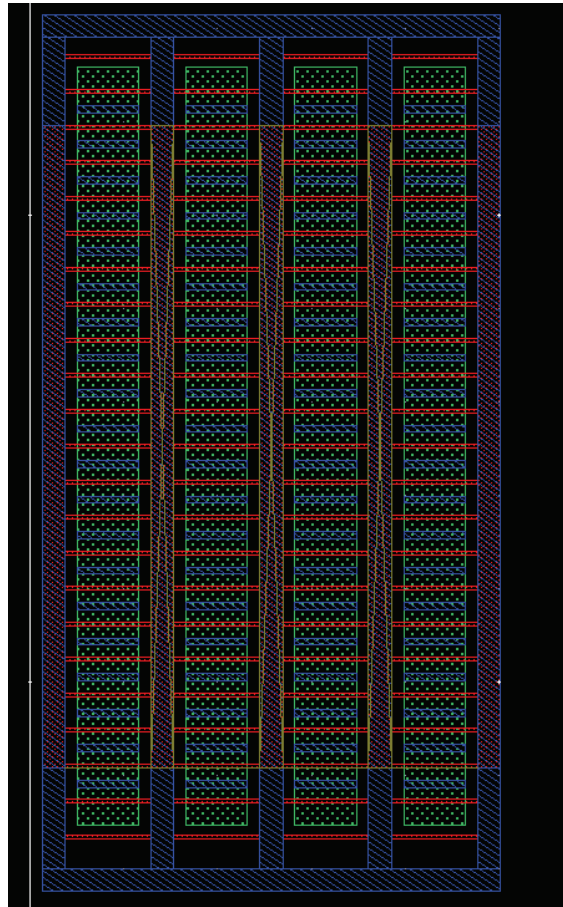


Figura 53. Layout de los cuatro transistores con los terminales interconectados.

El siguiente paso, y como se comenta previamente, es interconectar los terminales de todos los transistores. Para ello se emplea el metal C1, en color amarillo como se indica en la Figura 54, creando los peines de drenador (*drain*) y fuente (*source*). Asimismo, en color rojo se destaca el polisilicio (PC) que conforma los *fingers* de los transistores. Se destaca que existen varios *fingers* que están flotantes, y que se denominan *dummies* puesto que su función es que el transistor reconozca el resto de *fingers*, mejorando así la simetría del transistor.

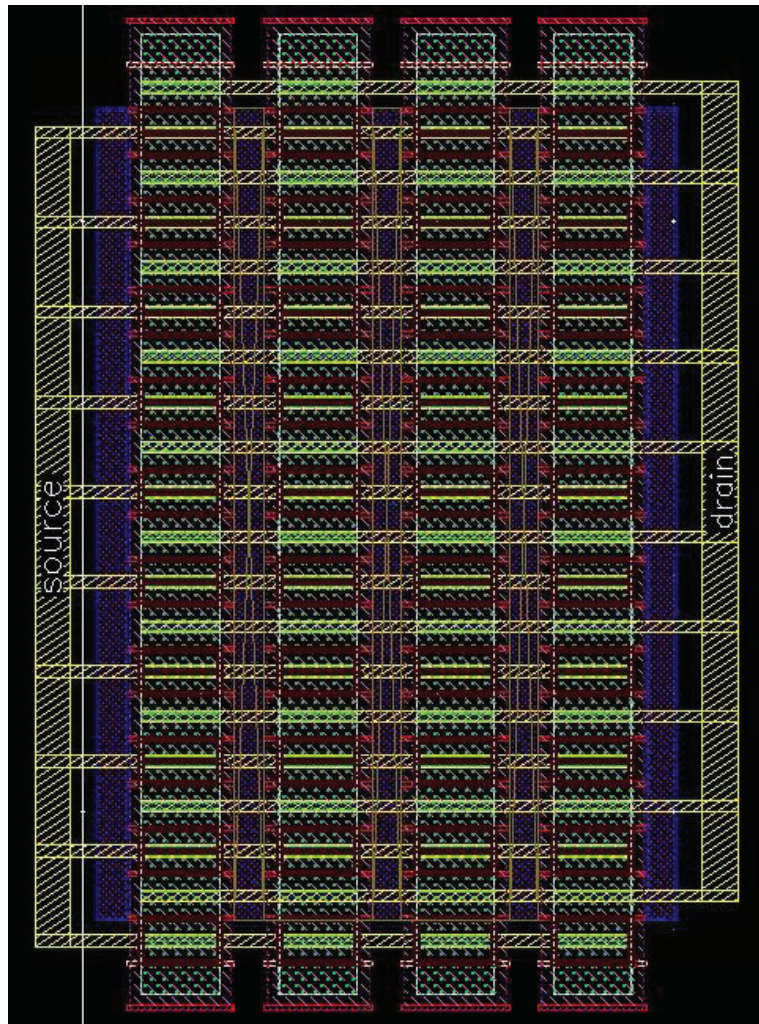


Figura 54. Implementación del layout del primer transistor completo con los terminales.

Para culminar el diseño del primer transistor, es necesario tener en cuenta que se emplean los metales M1 (azul oscuro), M2 (rosa) y M3 (verde), considerados metales inferiores, para diseñar los transistores. Por su parte, las bobinas, condensadores y el resto de elementos, suelen situarse en los metales superiores, como OB (amarillo) y LD (naranja). De esta forma, es necesario subir hasta dichas capas empleando vías, para facilitar la posterior conexión con el resto de componentes. En la Figura 55, se muestra el diseño del primer transistor finalizado, con los tres terminales en la capa LD y con el DRC y LVS pasados satisfactoriamente.

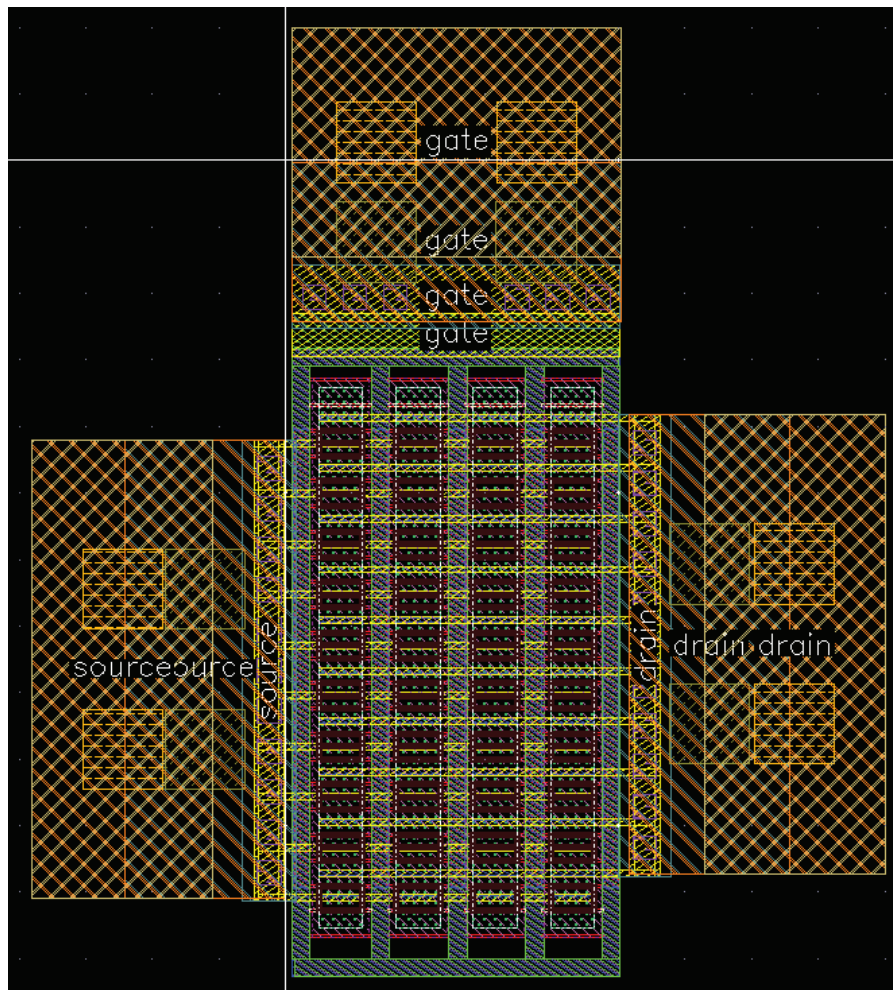


Figura 55. Implementación final del primer transistor con los terminales en la capa LD para su conexión con otros componentes.

I. Layout del cascode

Implementado el primer transistor, y verificado correctamente con el DRC y LVS, se continua con el diseño del cascode. Este paso conlleva una complejidad reducida, puesto que consiste en replicar el núcleo del primer transistor y unir ambos componentes con un rectángulo de metal C1, debido a que es la capa que interconecta los terminales de uno con su homólogo. Por tanto, en la Figura 56 se muestra la adaptación realizada en el esquemático, añadiendo cuatro transistores más, que corresponden con el segundo transistor del cascode, evitando así posibles incongruencias a la hora de ejecutar el LVS.

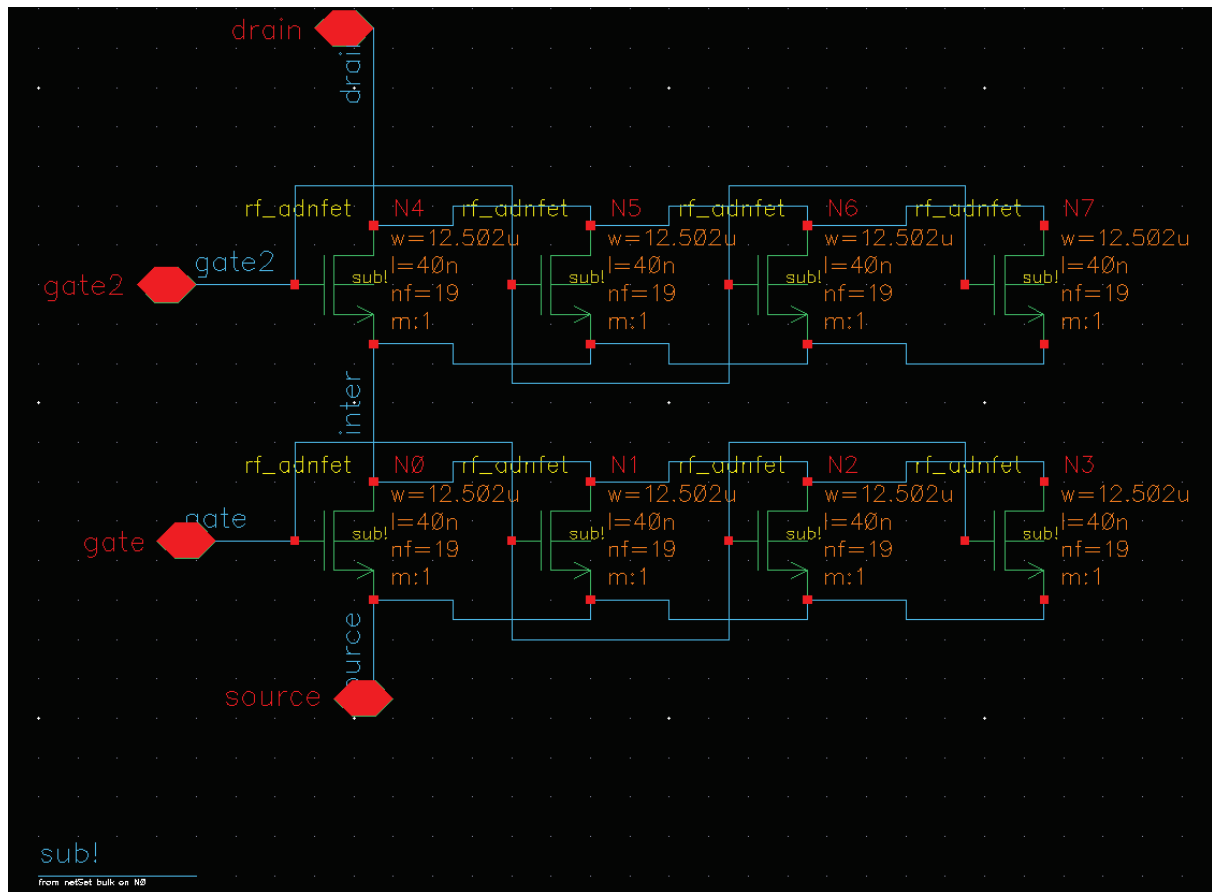


Figura 56. Esquemático para implementar el cascode, dividiendo los transistores para reducir el ancho total.

En el entorno de *layout*, se añade el segundo transistor y se interconectan entre ellos mediante el metal C1, como se menciona previamente. En la Figura 57 se muestra dicho cambio, así como la conglomeración de metales y vías para conectar el cascode desde los metales inferiores hasta la capa LD. Otro aspecto relevante es decidir la colocación de las puertas, para facilitar la conexión con el resto de componentes. Asimismo, se ejecuta el DRC y el LVS, solventándose los posibles errores cometidos con los anchos de los metales, la cercanía entre algunos o la ausencia de reconocimiento de algunas etiquetas o redes en el LVS. En la Figura 58 se muestra el modelo en 3D del cascode, obtenido mediante la herramienta *Momentum*.

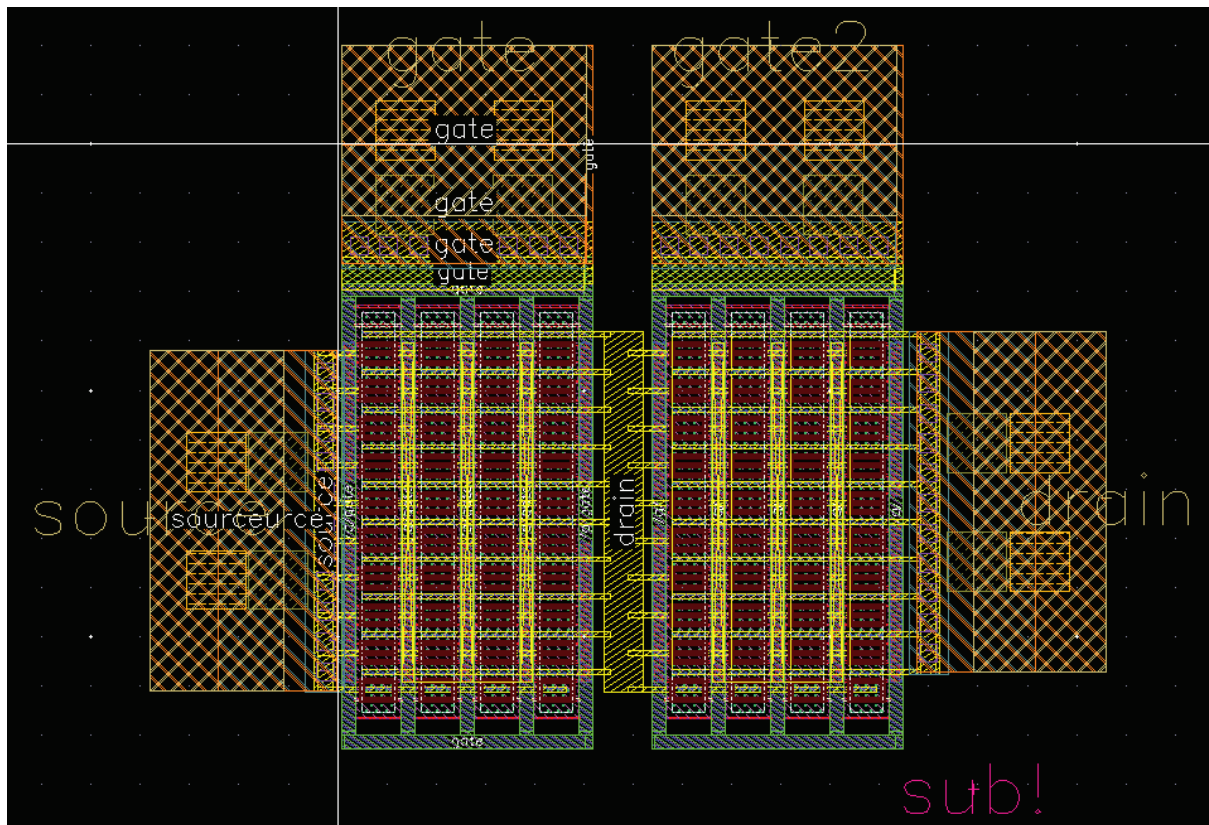


Figura 57. Implementación del layout del cascode hasta el nivel LD.

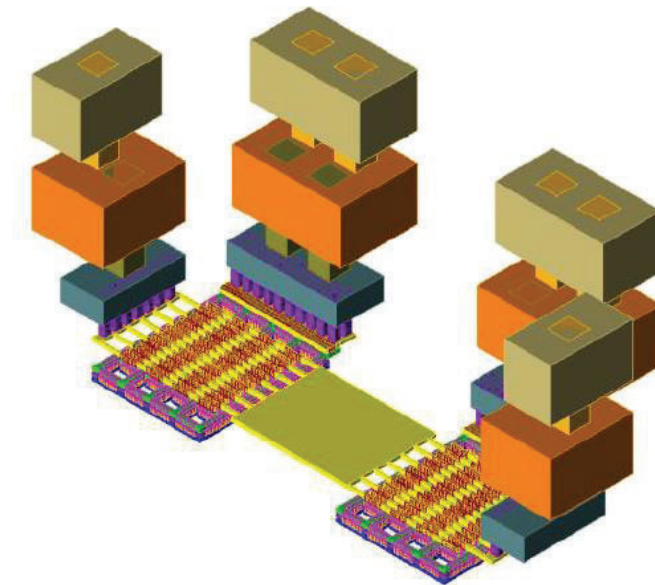


Figura 58. Modelo en 3D del cascode donde se observan los distintos niveles de metal y las vías.

II. Modelado del cascode

Tras implementar el *layout* del cascode, se continua con la realización del modelado del mismo. Por un lado, se realiza una extracción de parásitas (*Parasitic Extraction*, PEX) y, por otro, una simulación electromagnética (*ElectroMagnetic eXtraction*, EMX). Mediante la extracción de parásitas, se pretende calcular los efectos negativos que producen en el diseño las resistencias, condensadores y bobinas, señalándolos en el *layout* del cascode [28]. Además,

se opta por un PEX en las capas inferiores porque tienen un espesor reducido en comparación a las capas superiores, extrayendo las parásitas desde el polisilicio hasta C1.

En cuanto a la simulación EMX, se desea obtener un modelo que contenga el comportamiento de los parámetros S a través de los terminales del cascode, para posteriormente realizar simulaciones para analizar las prestaciones del circuito integrado en este punto. Además, al ser una tecnología basada en metales como aluminio y cobre, hay que tener en cuenta el espesor de las capas empleadas en las simulaciones, que afectan directamente al “*skin effect*”, produciendo que la corriente circule en una ínfima parte del metal, elevando la resistencia del conductor [29]. En este caso, las capas estudiadas son más densas, por lo que se obtiene el modelo EM del cascode desde C1 hasta la capa LD.

El procedimiento para implementar el modelado del cascode consiste en dividir el *layout* del mismo en dos secciones. La primera de ellas se ilustra en la Figura 59, dónde se destaca la parte del cascode que se somete a la simulación EMX, dónde se respetan todos los metales superiores a partir de la capa C1. Por su parte, en la Figura 60, se muestra el cuerpo del cascode al que se le extraen las resistencias y capacidades parásitas, donde se observan los metales inferiores hasta C1, eliminándose el resto. Estos dos *layouts* son complementarios, es decir, que si se unifican, se obtiene el *layout* del cascode inicial.

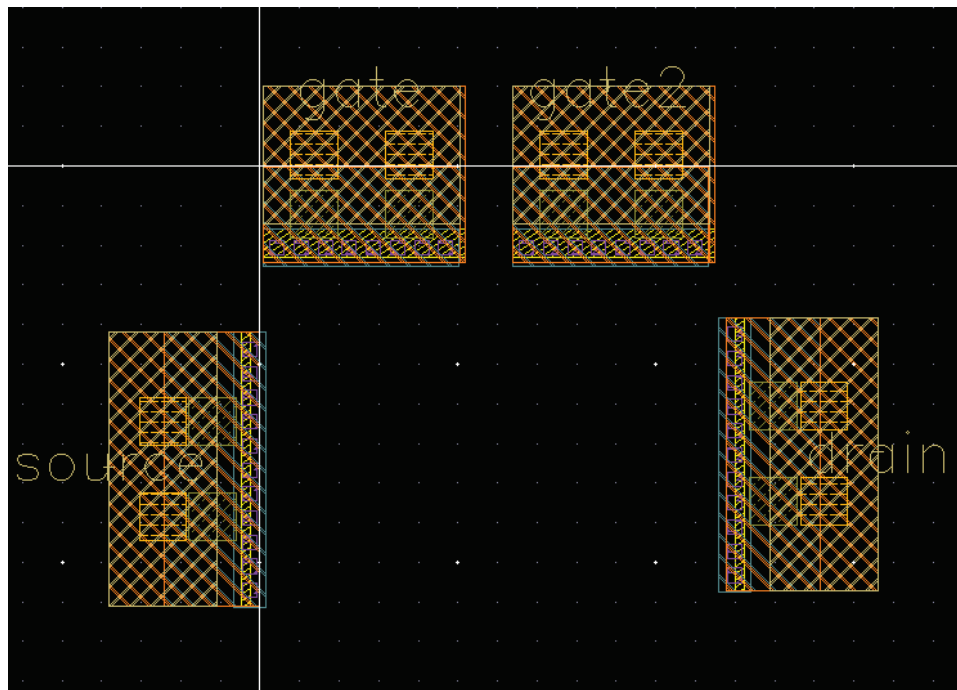


Figura 59. Elementos del cascode sometidos a la simulación EMX.

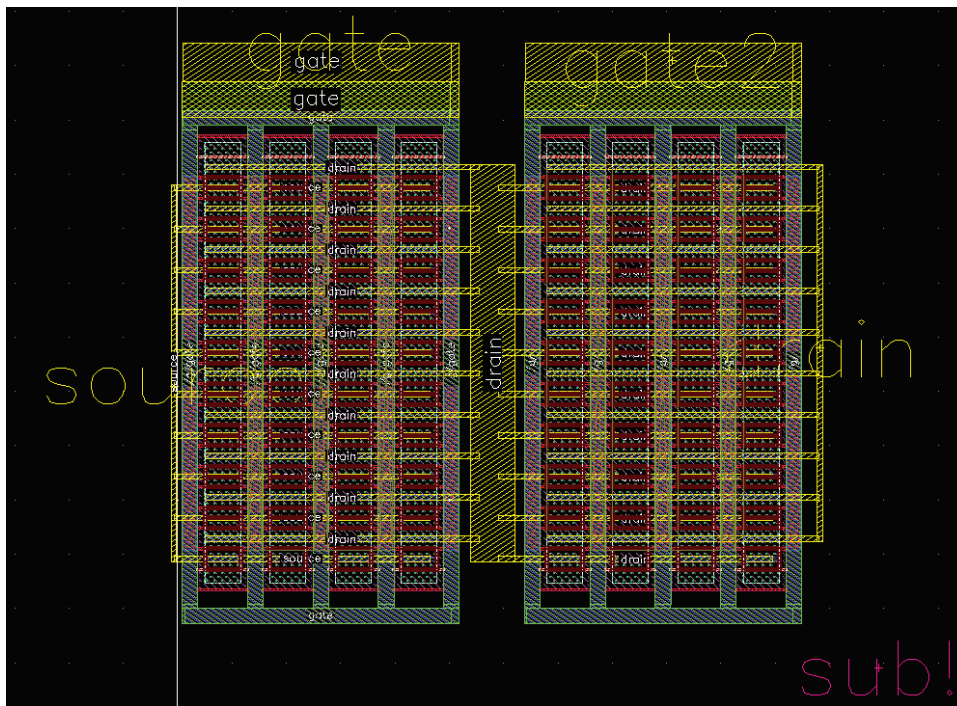


Figura 60. Elementos del cascode sometidos a la extracción de capacidades parásitas.

Analizando la extracción de parásitas, denominada RCC (*Resistor, Capacitor and Couplings Capacitors*) por el tipo de extracción que se realiza, se destaca que hay que ser precisos a la hora de separar el LNA, empleando la regla que proporciona Virtuoso y asegurando que C1 cubre las vías TA en el otro *layout*. A su vez, se colocan las etiquetas en las capas correspondientes de tipo LBL (*Label*), el DRC y LVS. Tras ejecutar y pasar las pruebas correctamente, se realiza la extracción de parásitas, obteniendo los resultados mostrados en la Figura 61. Se muestra dónde se sitúan los efectos parásitos extraídos, correspondiéndose la imagen con el núcleo del cascode, que principalmente son resistencias y condensadores, localizados en las interconexiones del transistor.

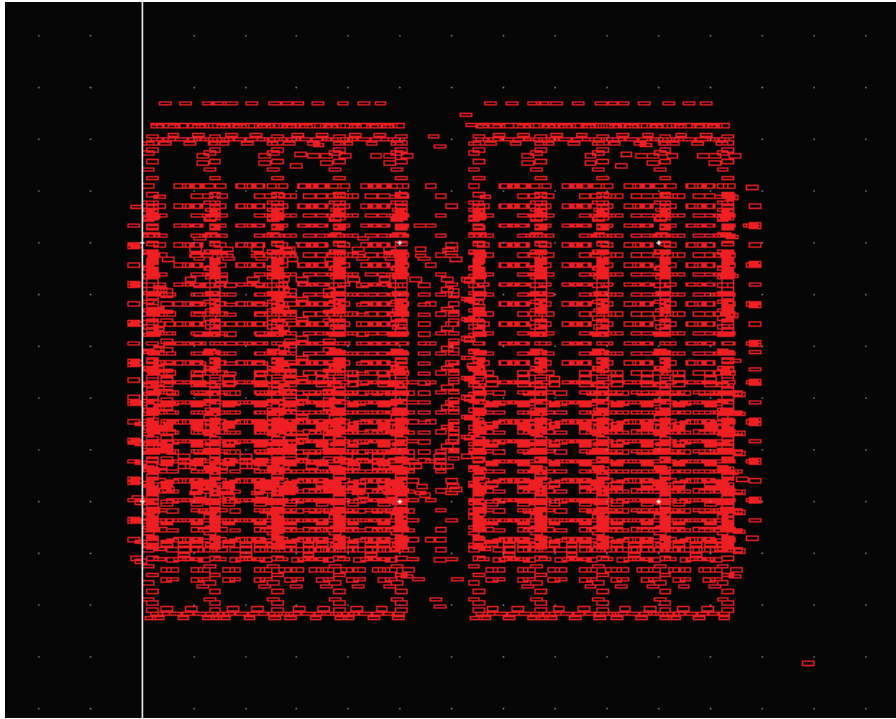


Figura 61. Resultados de la extracción de parásitas del modelo RCC.

En este punto, se extrae un símbolo, mostrado en la Figura 62, que contiene los resultados del PEX, que se emplea en simulaciones para analizar el comportamiento del circuito.

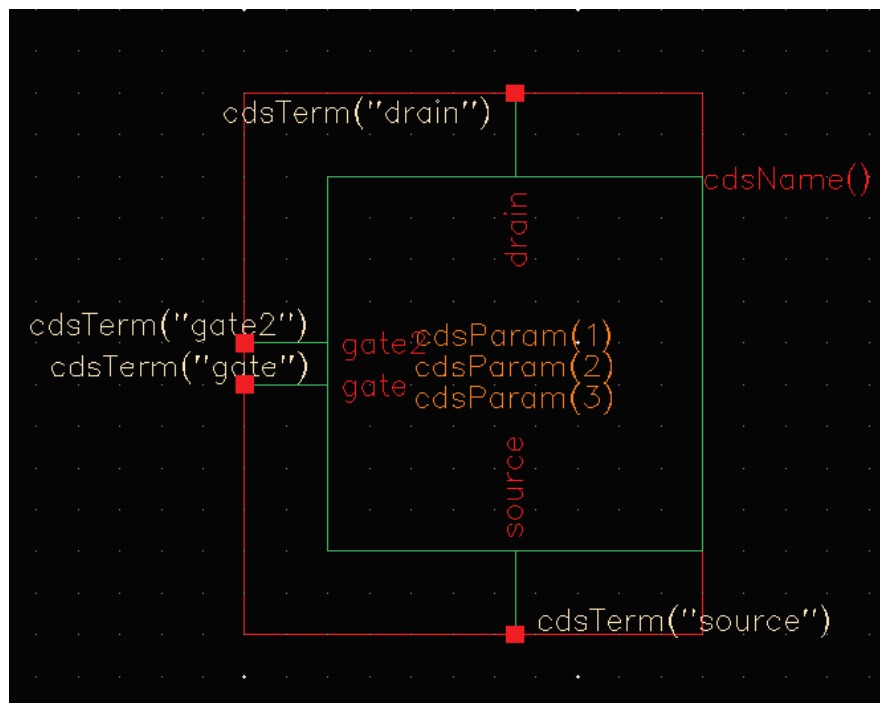


Figura 62. Creación del símbolo que contiene los resultados de la extracción de capacidades parásitas.

La simulación EMX comienza configurando el segundo *layout*, desde el metal C1 hacia las capas superiores. Cabe recordar, que se cubren las vías TA con C1 y que se añaden las etiquetas necesarias para denominar los terminales del cascodo. Tras realizar estos pasos, se

ejecuta un DRC y un LVS, continuando con la simulación EMX siempre que se verifiquen correctamente ambos análisis. Para este tipo de simulación es necesario realizar una calibración de la herramienta, empleando una bobina de la tecnología y aplicándole una simulación similar a la que se realiza con el cascodo para corroborar que se obtienen los resultados deseados.

Realizada la calibración, se configuran los archivos EMX para la opción de la tecnología que se corresponde con el transistor empleado, que es la opción 18. En caso de que esta configuración se realice correctamente, se muestra un diagrama de las capas empleadas con el cascodo, como se muestra en la Figura 63. En dicha ilustración se muestra cómo las capas inferiores tienen un espesor reducido en comparación con las superiores, justificando así que se empleen los metales más bajos para diseñar los transistores.

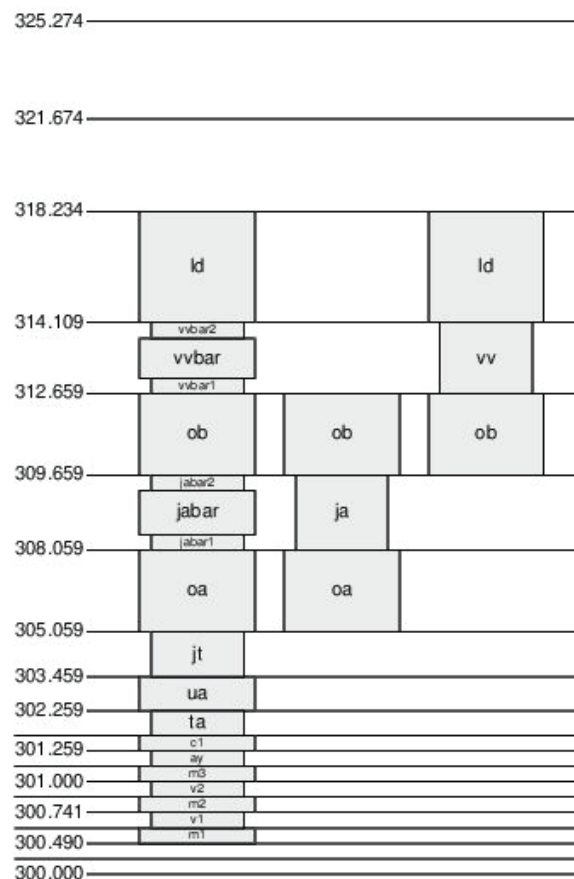


Figura 63. Sección vertical de la tecnología que indica las capas empleadas en el diseño del cascodo.

Dentro de la simulación EMX, se configura un barrido en frecuencia del cascodo desde 0 GHz hasta 60 GHz de parámetros S de tipo “N-Port”. Una vez finalizada la simulación, se crea un símbolo que contiene las vistas de los parámetros S, unificando dicho símbolo con el creado previamente con el modelo RCC de la extracción de parámetros para realizar las simulaciones. El símbolo resultante se sustituye en el esquemático con componentes del PDK, como se muestra en la Figura 64.

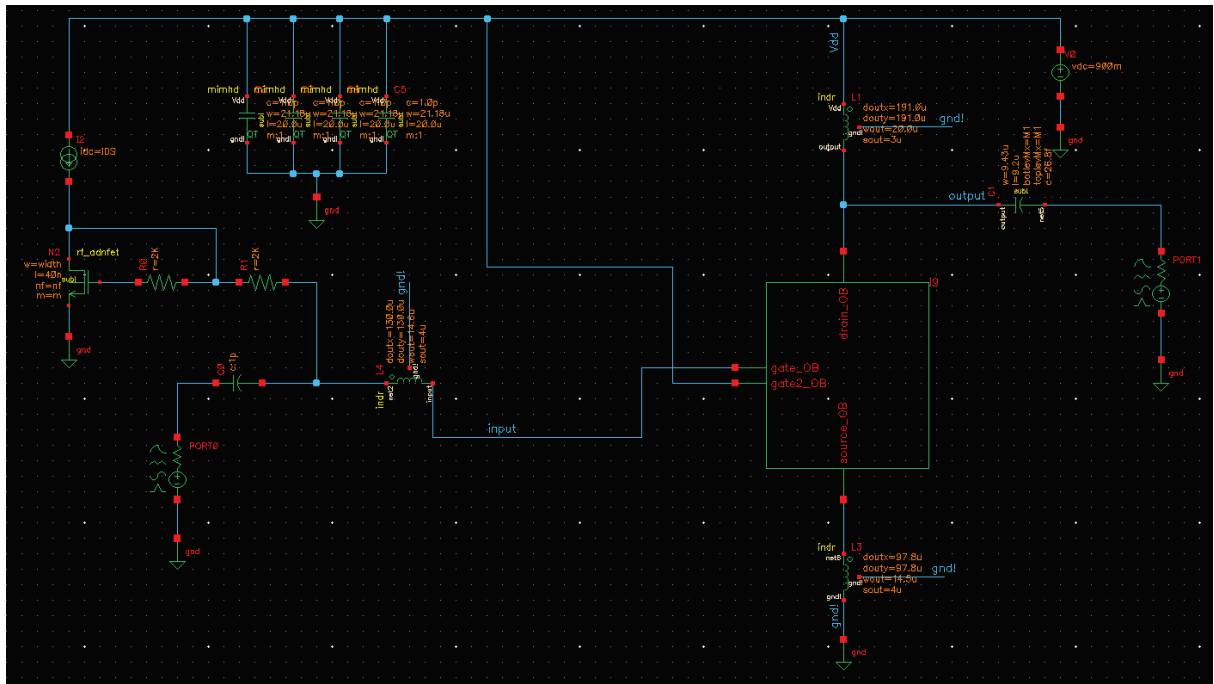


Figura 64. Esquemático que contiene el símbolo con el modelo del cascode para realizar simulaciones.

El siguiente paso es crear en la herramienta de Cadence un fichero de tipo “config” que se emplea para fijar las vistas deseadas de los símbolos para realizar las simulaciones. En primer lugar, se realiza una simulación con las vistas de tipo esquemático en los símbolos de RCC y EM respectivamente, obteniendo los resultados mostrados en la Figura 65. Se destaca cómo disminuyen algunos valores como las adaptaciones de entrada y salida o la ganancia del LNA en comparación a los resultados del esquemático final con componentes del PDK.

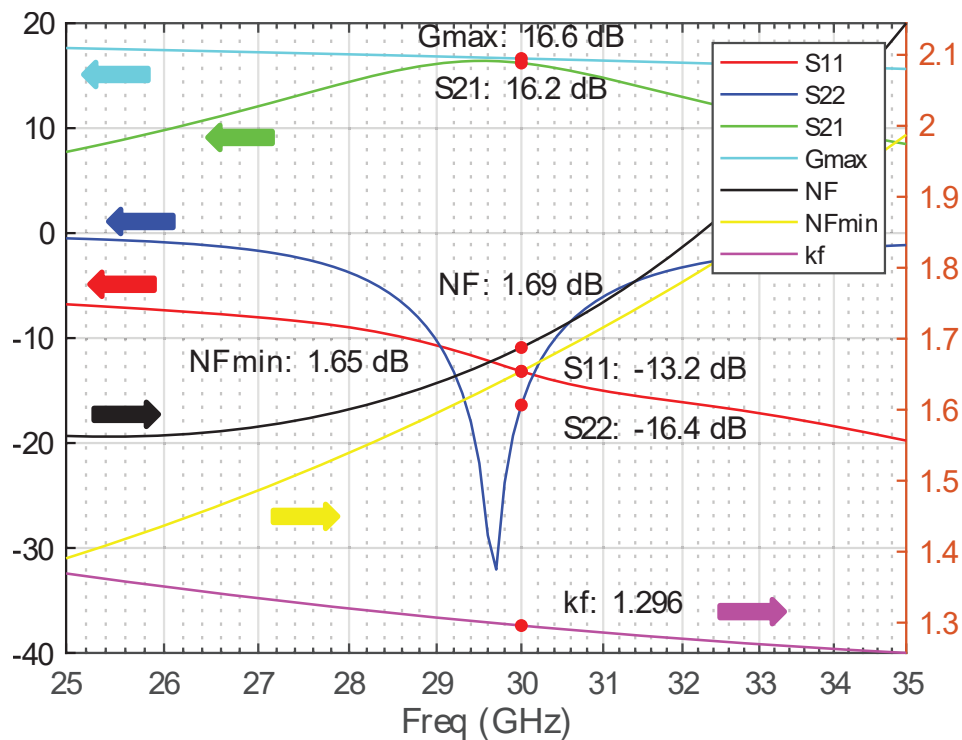


Figura 65. Resultados de la simulación con las vistas de esquemático seleccionadas en el fichero de tipo config.

La siguiente simulación conlleva que se realice un ajuste en el fichero de configuración, estableciendo que la vista del modelo EM sea de tipo “*Schematic N-Port*”, obteniéndose los resultados mostrados en la Figura 66. En este caso, se observa que S_{21} aumenta 0.5 dB, así como mejora la adaptación de entrada a la frecuencia de trabajo, mientras que la figura de ruido se mantiene constante. Sin embargo, el parámetro S_{22} que corresponde a la adaptación de salida se reduce hasta llegar a -15.2 dB.

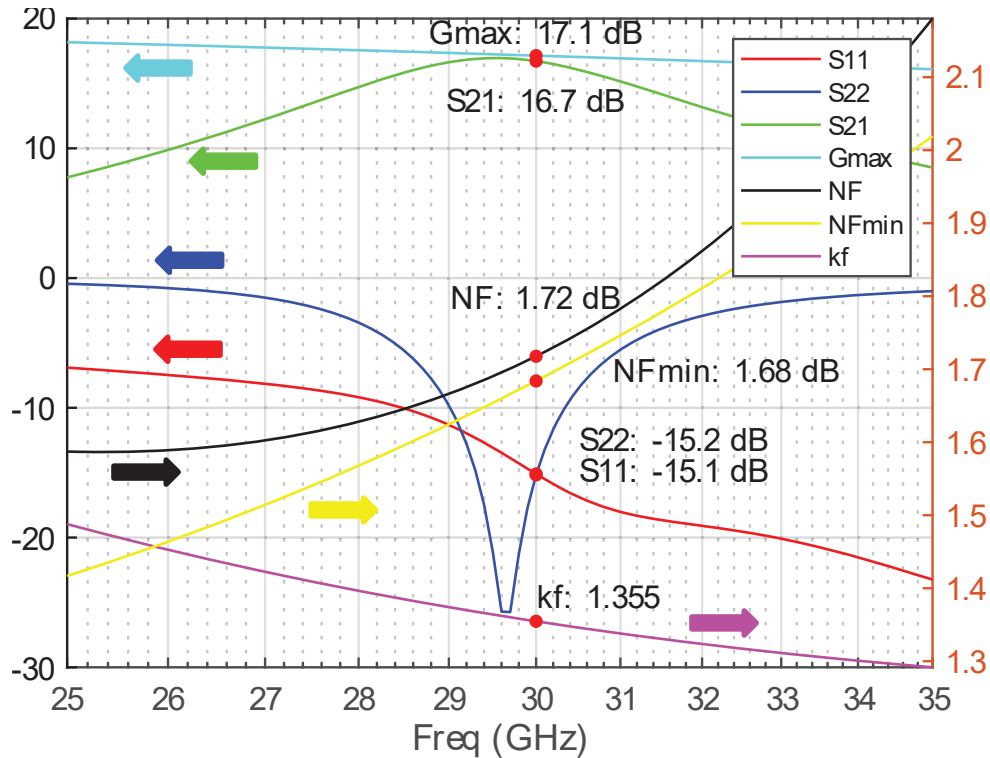


Figura 66. Resultados de la simulación del LNA con la vista "Schematic N-Port" del modelo EM.

En este punto, se determina que es necesario realizar varios ajustes en los valores de los componentes del PDK para obtener unos resultados que se aproximen a los iniciales. Por consiguiente, se configuran las vistas EM y RCC con los valores tras las simulaciones para adaptar el circuito en función de dichos resultados. Nuevamente se realizan algunos barridos variando los valores de las inductancias y del condensador de salida, obteniendo los resultados mostrados en la Figura 67. Se destaca que los valores tras esta última simulación son los más próximos a las prestaciones iniciales, puesto que al incluir la extracción de parásitas y los valores de EMX, empeoran los principales parámetros. No obstante, se mantiene que las adaptaciones de E/S se sitúan por debajo de -10 dB, siendo este el umbral definido para validar los resultados. Del mismo modo, la figura de ruido obtenida es equivalente a 2 dB, la ganancia es igual a 16.1 dB y el circuito es incondicionalmente estable. Cabe destacar que para mejorar prestaciones como NF en el diseño, es fundamental mantener un compromiso con la capacidad existente entre la fuente y la puerta, así como la resistencia de puerta. Este aspecto se puede

mejorar añadiendo múltiples contactos en las capas inferiores (M1, M2 o M3) o solapando de forma precisa los metales superiores.

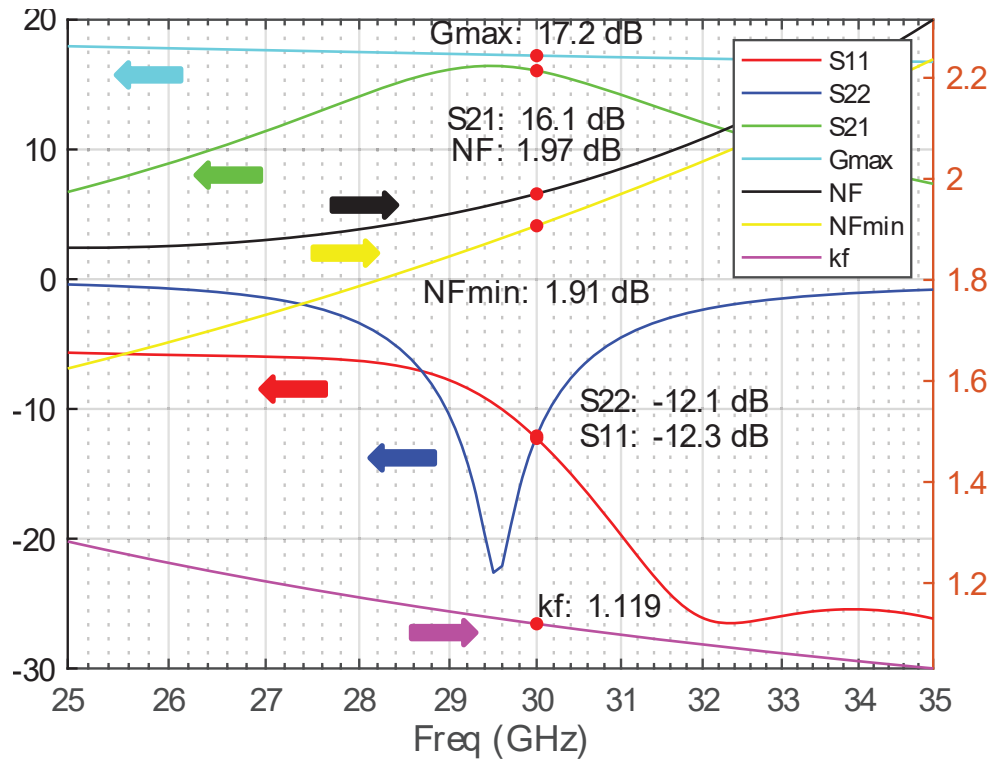


Figura 67. Resultados finales del esquemático con las vistas de las simulaciones EM y RCC.

A modo de resumen, en la Tabla 9 se muestran los valores principales de las prestaciones y de los componentes del PDK tras las modificaciones descritas previamente.

Tabla 9. Resultados de los parámetros del LNA con el modelado del cascodo

Parámetros	LNA con elementos del PDK y modelo del cascodo
L_{gate}	316.6 pH
L_{source}	119.9 pH
L_{drain}	459.5 pH
C_{out}	26.1 fF
S_{11}	-12.3 dB
S_{22}	-12.1 dB
Ganancia (S_{21})	16.1 dB
Figura de ruido (NF)	2 dB
Factor de estabilidad (k)	1.119

3. Layout de las bobinas

Tras finalizar el *layout* del cascodo, se prosigue con la introducción de los elementos pasivos del circuito. Los primeros componentes que se añaden son las bobinas, por lo que es necesario realizar un *floor plan* para estimar la ubicación de los mismos y tomar las decisiones de diseño necesarias. En la Figura 68 se muestra un boceto del diseño, dónde se destaca la inclusión de los *pads*, denominados *bonpads* de tipo *Wire-Bonding* (WB), para gestionar las señales de entrada y salida, así como la tensión de alimentación y la conexión a tierra del chip. A su vez, se añaden las bobinas, rotándolas para conseguir la dirección deseada y optimizada.

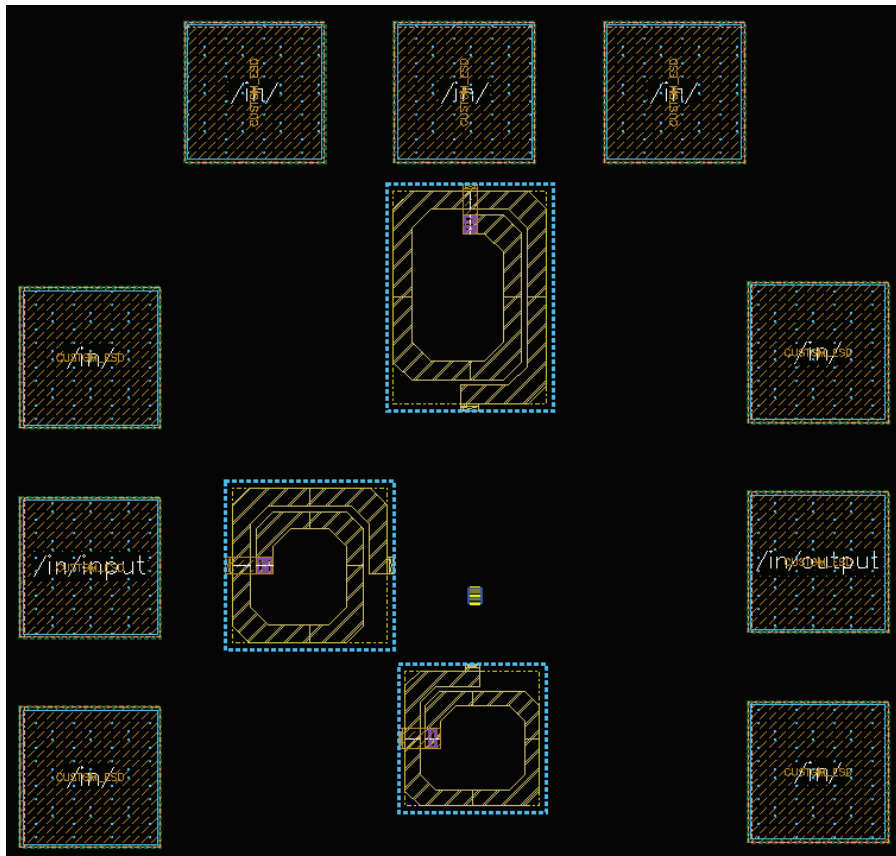


Figura 68. Floor plan del layout del LNA.

Para tener una idea de la topología a seguir en la disposición de los componentes, se opta por el diseño propuesto por Rebeiz y Omar El-Aassar [20], ilustrado en la Figura 69. Se destaca la orientación de las inductancias, dónde L_{gate} se conecta al terminal de entrada, IN, y a la puerta del cascodo. Por su parte, L_{drain} está conectada a V_{DD} y a la alimentación del cascodo, coincidiendo con la pista en la que se sitúa la adaptación de salida con C_{out} y el terminal de salida, OUT. Finalmente, en la parte inferior, L_{source} se sustituye por una línea de transmisión para reducir el área del diseño, puesto que, al ser de tan solo 130 pH en ese diseño, con la línea de transmisión se puede obtener dicho valor de la inductancia.

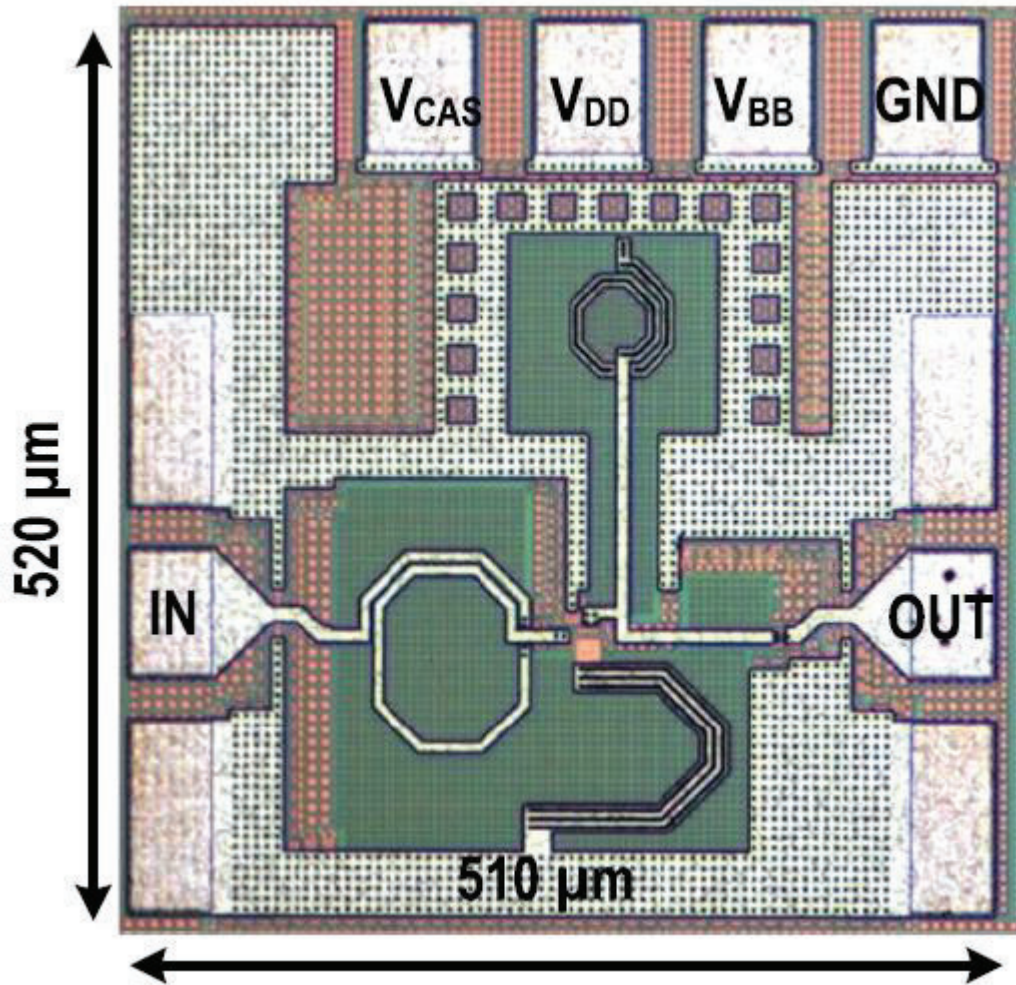


Figura 69. Layout con la topología a seguir en el presente TFM [20].

I. Bobina de drenador

El diseño de las inductancias da comienzo con la importación de las mismas desde el esquemático con componentes del PDK. Existen bobinas como es el caso de L_{drain} que, al introducirla desde el esquemático, alguno de los terminales se sitúa en una posición que puede afectar al diseño en términos de aumento de capacidad. Por ello, se emplea nuevamente la herramienta *Optimal Finder* para configurar otro número de vueltas, pero manteniendo la inductancia original, con el fin de obtener una nueva inductancia que se adapte al diseño. A la hora de realizar estos ajustes, se tiene en cuenta que el factor de calidad Q sea elevado.

En el caso de esta bobina, no influye notablemente que el valor de Q sea elevado, puesto que una de las características de la misma es que mejora el ancho de banda aunque aumente una reducida cantidad la figura de ruido. En la Tabla 10 se muestran los valores de los parámetros de la inductancia, y en la Figura 70, se observa el *layout* de la inductancia, destacando que se sitúa en la capa OB.

Tabla 10. Parámetros de la bobina L_{drain}

Parámetros	L_{drain}
Relación de aspecto	1.4
Diámetro externo (eje x)	152.6 μm
Diámetro externo (eje y)	109 μm
Ancho de vuelta	13.3 μm
Espaciado entre vueltas	4 μm
Número de vueltas	1.5 vueltas
Inductancia	496.4 pH
Factor de calidad (Q)	33.8

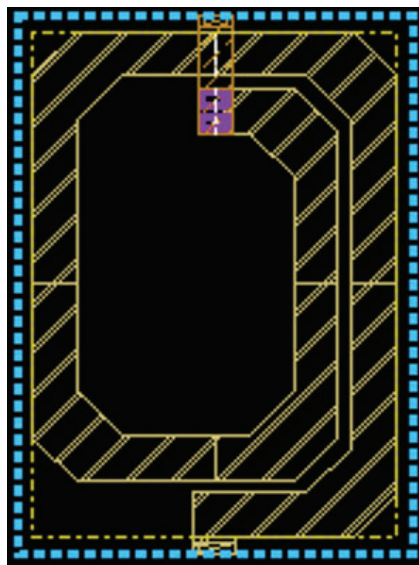


Figura 70. Diseño a nivel de layout de L_{drain} .

II. Bobina de puerta

La bobina de puerta se añade, de igual forma, desde el esquemático, y al tener un tamaño considerable, se toma la decisión de alinear el cascodo con la propia inductancia. Esta decisión influye en la reducción de las posibles inductancias generadas por las pistas. En la Figura 71 se muestra el *layout* de L_{gate} , destacando que se encuentra en OB y que es necesario, al igual que en todas las interconexiones, que se cubran adecuadamente los terminales, empleando pistas en forma de cuña para ajustar las pistas anchas a los terminales estrechos. Asimismo, se debe considerar un espacio en el diseño resultante para la línea de alimentación del cascodo, puesto

que el terminal de entrada de L_{gate} y la alimentación del cascode están próximas una de la otra. Los valores de esta bobina se muestran en la Tabla 11.

Tabla 11. Parámetros de la bobina L_{gate}

Parámetros	L_{gate}
Relación de aspecto	1
Diámetro externo (eje x)	110 μm
Diámetro externo (eje y)	110 μm
Ancho de vuelta	12.5 μm
Espaciado entre vueltas	4 μm
Número de vueltas	1.5 vueltas
Inductancia	316.6 pH
Factor de calidad (Q)	32.4

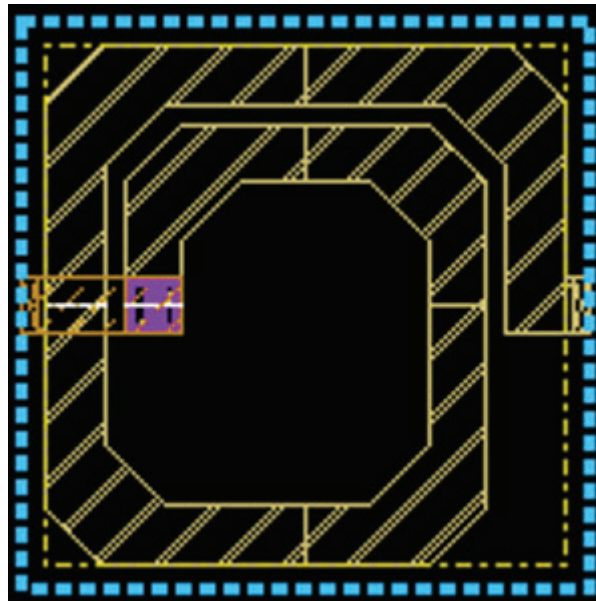


Figura 71. Diseño a nivel de layout de L_{gate} .

III. Bobina de fuente

El diseño de L_{source} es análogo al de las otras bobinas, manteniendo el valor del componente en el esquemático del PDK. En la Figura 72, se muestra el *layout*, observando como ocupa una extensión de área similar a L_{gate} para una inductancia reducida. En el caso de L_{source} se necesita maximizar el factor de calidad porque afecta directamente a S_{11} y NF.

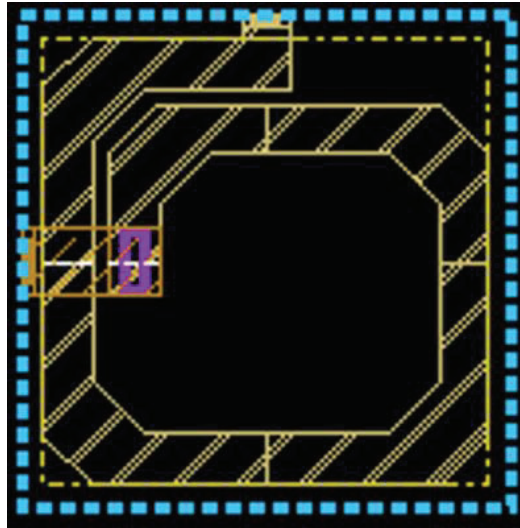


Figura 72. Diseño a nivel de layout de L_{source} .

Al considerar L_{source} el valor de la inductancia es muy reducido, por lo que se plantea la sustitución por una línea de transmisión que aporte al diseño la misma inductancia que la bobina. Los principales motivos de su inclusión son el ahorro de área de chip consumida y la reducción de posibles acoplamientos entre L_{gate} y L_{source} . El procedimiento consiste en calcular la inductancia total de la línea de transmisión en función de las líneas individuales. Para ello, se fija un ancho de línea, el cual corresponde con el ancho del terminal de fuente del cascode, y se amplía o reduce su longitud en función del valor de la inductancia.

Desde el esquemático, se incluyen varios componentes denominados *singlewire* que corresponden a las líneas de transmisión. La disposición de las líneas se realiza según la línea de transmisión que incluye Rebeiz en el trabajo mencionado previamente [20], por lo que para implementar los giros de 90° se usan los componentes llamados *bendm*. Dentro de su configuración, indicamos que la línea se sitúa en OB y que el plano de tierra está conectado a UA. La inductancia se calcula en función de las capas en las que se sitúan las líneas de transmisión y la conexión a tierra de las mismas. Se opta por UA debido a que es una capa gruesa en comparación a C1 y las que están por debajo, consiguiendo un compromiso entre una inductancia elevada generada y una reducida capacitancia agregada al diseño. En la Figura 73 se muestran los componentes añadidos en el esquemático, empleando cinco líneas de transmisión y cuatro *bendm*.

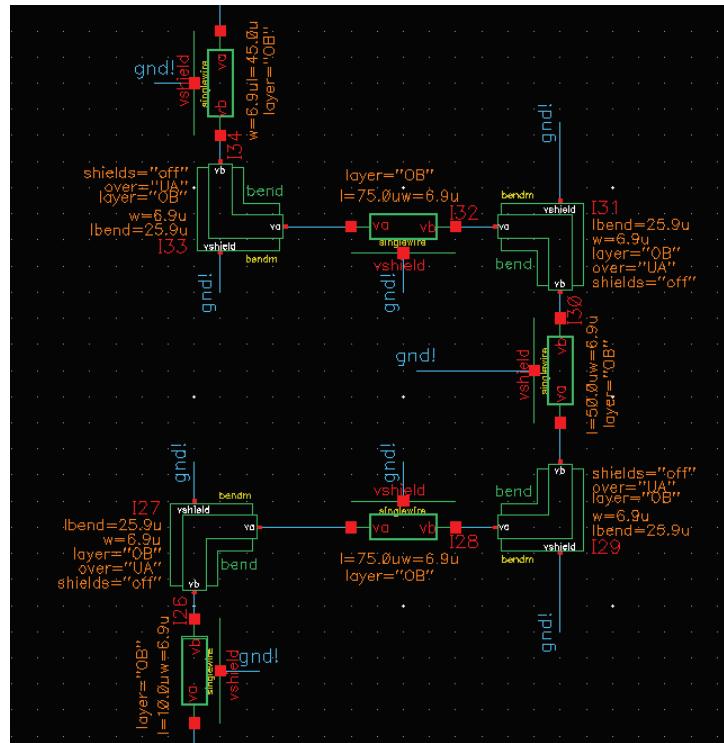


Figura 73. Líneas de transmisión para implementar L_{source} .

Las líneas no solo influyen en la inductancia, sino que también se deben definir unas longitudes determinadas para optimizar el *layout*. En la Tabla 12 se recogen las medidas de las líneas de transmisión, así como en la Figura 74 el diseño de las mismas en el *layout*. Se destaca que se opta por un compromiso entre el ancho de las líneas y el factor de calidad, debido que a menor ancho, menor factor de calidad y, por consiguiente, aumenta la figura de ruido. El valor total de inductancia de las líneas es 88.8 pH, el cual es notablemente inferior al original de 119.9 pH. Además, en el *layout* es importante que las líneas queden bien solapadas unas con otras y en la misma dirección que disponen en el esquemático, para prevenir posibles errores en DRC y LVS.

Tabla 12. Medidas de las líneas de transmisión empleadas

Parámetros	Ancho	Largo	Inductancia
<i>Singlewire1</i>	6.9 μm	45 μm	15.7 pH
<i>Singlewire2</i>	6.9 μm	75 μm	26.1 pH
<i>Singlewire3</i>	6.9 μm	50 μm	17.4pH
<i>Singlewire4</i>	6.9 μm	75 μm	26.1 pH
<i>Singlewire5</i>	6.9 μm	10 μm	3.5 pH

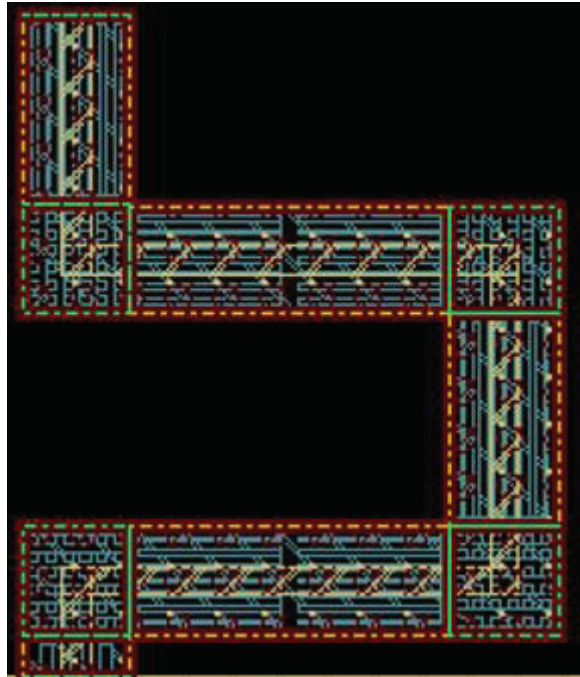


Figura 74. Diseño a nivel de layout de las líneas de transmisión.

Al obtener una inductancia total de 88.8 pH, las prestaciones del diseño varían. Es por ello, que se realiza un proceso iterativo para recuperar las prestaciones iniciales, empleando el circuito de la Figura 75.

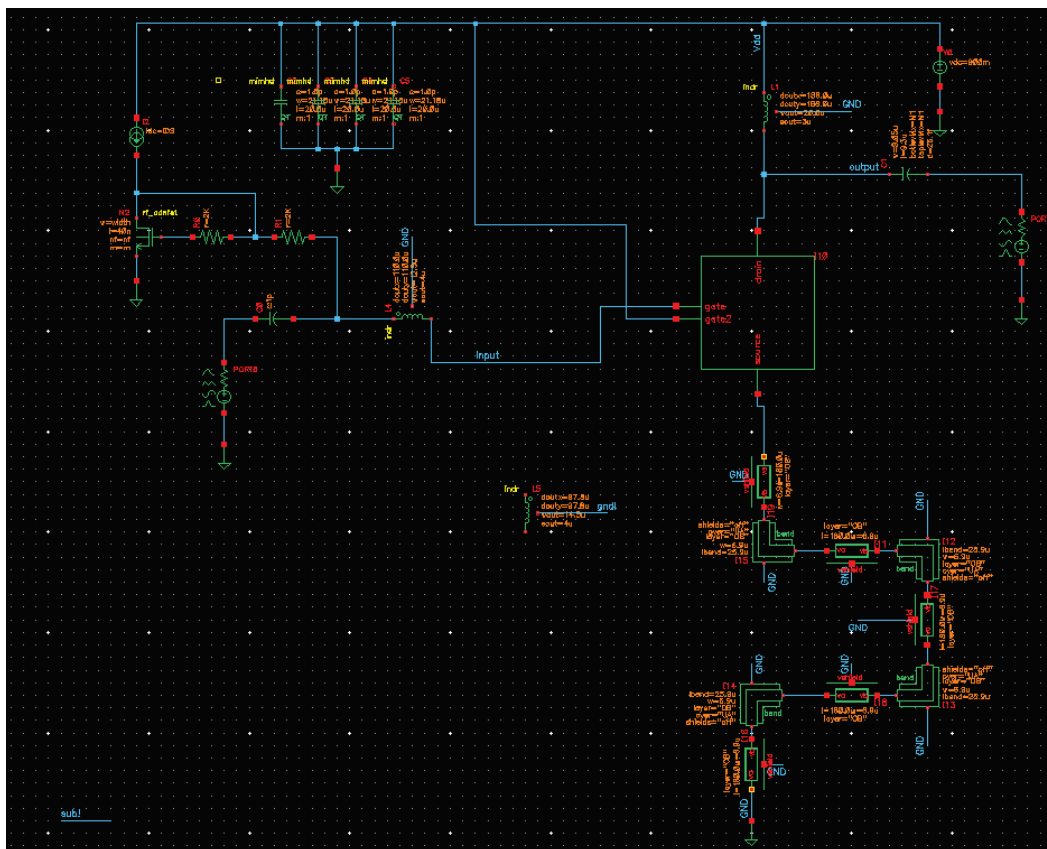


Figura 75. Esquemático con las líneas de transmisión para realizar simulaciones.

Los resultados obtenidos tras ese proceso se muestran en la Figura 76 y en la Figura 77. En la primera, se identifican los valores obtenidos con los componentes del PDK, incluido L_{source} , mientras que en la segunda se ilustran los valores tras añadir las líneas de transmisión. Se destaca la mejora de la ganancia, aunque se reduce la adaptación de entrada, mientras que la figura de ruido se mantiene constante.

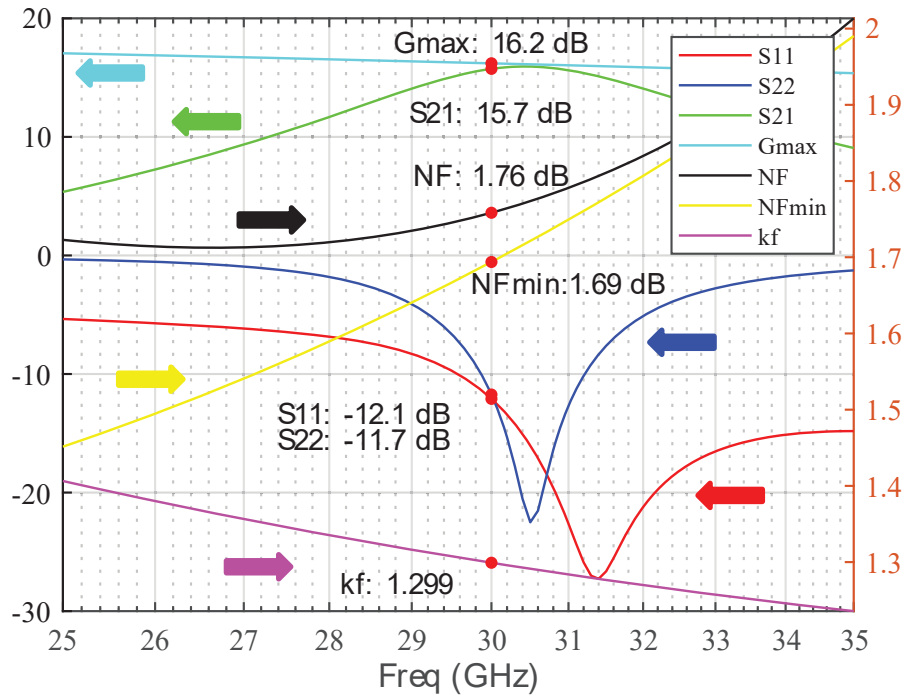


Figura 76. Resultados de la simulación antes de incluir las líneas de transmisión.

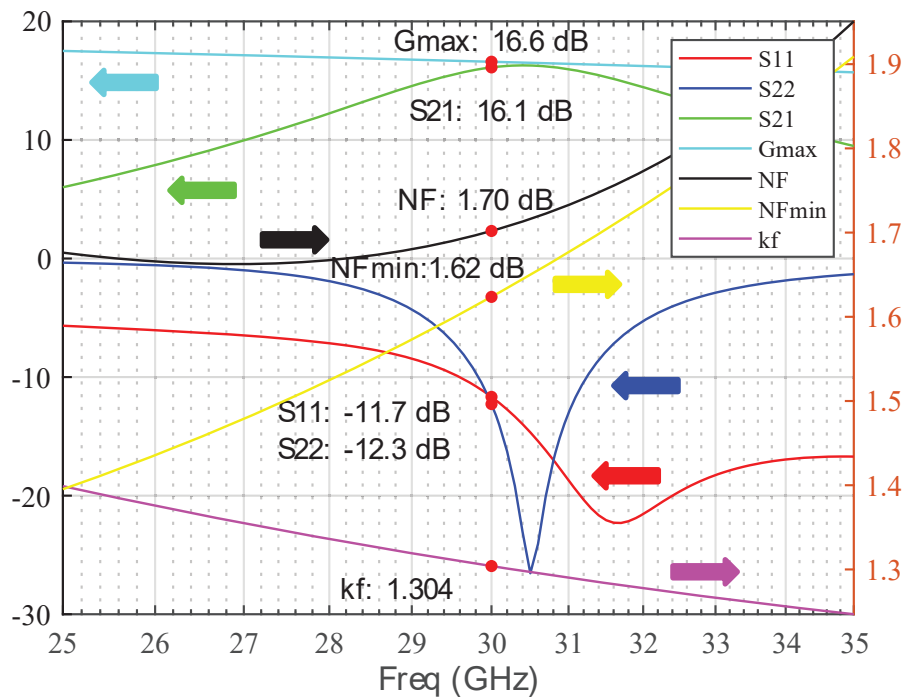


Figura 77. Resultados de la simulación tras incluir las líneas de transmisión.

4. Layout de los condensadores

En el LNA se emplean una serie de condensadores en paralelo para el *grounding* del circuito y otro condensador para la adaptación de salida. En primer lugar, se añaden al *layout* desde el esquemático los condensadores de *grounding*. Al exportarlos, se observa que tienen un tamaño reducido, por lo que se opta por hacerlos más largos para mejorar la distribución de componentes y aprovechar el área sobrante, teniendo unas dimensiones de 150 μm de largo y 21 μm de ancho. Dichos condensadores están en paralelo, por lo que se opta por interconectar sus terminales de alimentación y sus terminales de tierra, para conseguir así reducir la línea de alimentación que va desde el cascode hacia los mismos. Respecto a los valores de los parámetros, en la Tabla 13 se recogen sus valores.

Tabla 13. Valores de los condensadores de *grounding*

Parámetros	$C_{\text{grounding}}$
Capacidad	7.5 pF
Ancho	21 μm
Largo	150 μm
Tipo de condensador	MIMHD

En el *layout*, los condensadores se fijan como se muestra en la Figura 78. En ella se observa como las tierras se conectan en la parte inferior mediante la capa LD, y en la parte superior se encuentran las alimentaciones de los mismos, las cuales están conectadas en paralelo.

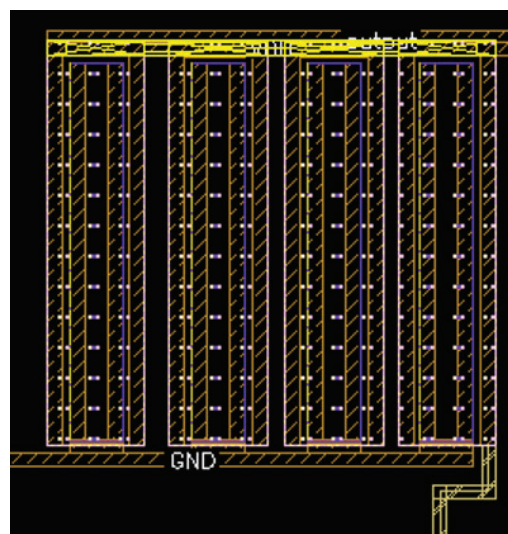


Figura 78. Diseño a nivel de layout de los condensadores de *grounding*.

Respecto a C_{out} , se exporta desde el esquemático y se coloca en la pista que conduce al terminal de salida. En el *layout*, el condensador, de tipo VN_{CAP} , se sitúa en M1, por lo que se debe subir a OB. Como existen varios metales entre dichas capas, se toma la decisión de colocar el nivel inferior del condensador en M1 y el nivel superior en C1, por lo que el recorrido para llegar a OB se reduce. Al realizar estos cambios, es necesario modificar las dimensiones hasta conseguir la capacitancia original. Una vez conseguido, se colocan vías desde C1 hasta OB, siendo fundamental cuadrar las vías según el ancho del metal C1 del condensador. En la Figura 79 se muestra el *layout* de C_{out} , así como en la Tabla 14 sus parámetros.

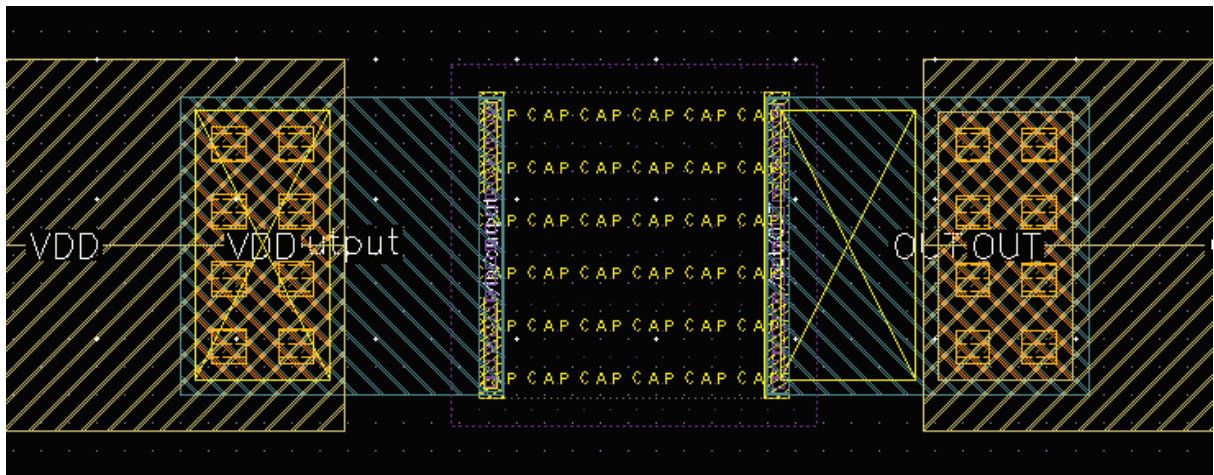


Figura 79. Diseño a nivel de layout de C_{out} .

Tabla 14. Valores de los parámetros de C_{out}

Parámetros	C_{out}
Ancho	10.9 μm
Largo	11.1 μm
Capacitancia	25.9 fF
Tipo de condensador	VN_{CAP}

5. Layout completo sin pads

Tras incorporar todos los elementos del esquemático al *layout*, se da el diseño por completado a falta de algunos matices. El primero de ellos es la inclusión de un plan de masas para aislar electromagnéticamente un circuito de otro en caso de que se fabriquen circuitos a una distancia cercana. Conectamos los terminales que van a GND al plano de masas con vías de OB a LD, y colocamos los pines en los terminales del circuito. Se obtiene el diseño mostrado en la Figura 80. En este punto, se realiza un DRC para comprobar que se cumplen todas las reglas de diseño, así como un LVS para verificar que los componentes presentes en el *layout*

se corresponden con los del esquemático. Asimismo, en la propia imagen se observa el borde del chip, denominado *guardring*, para corregir algunos errores presentes en el DRC.

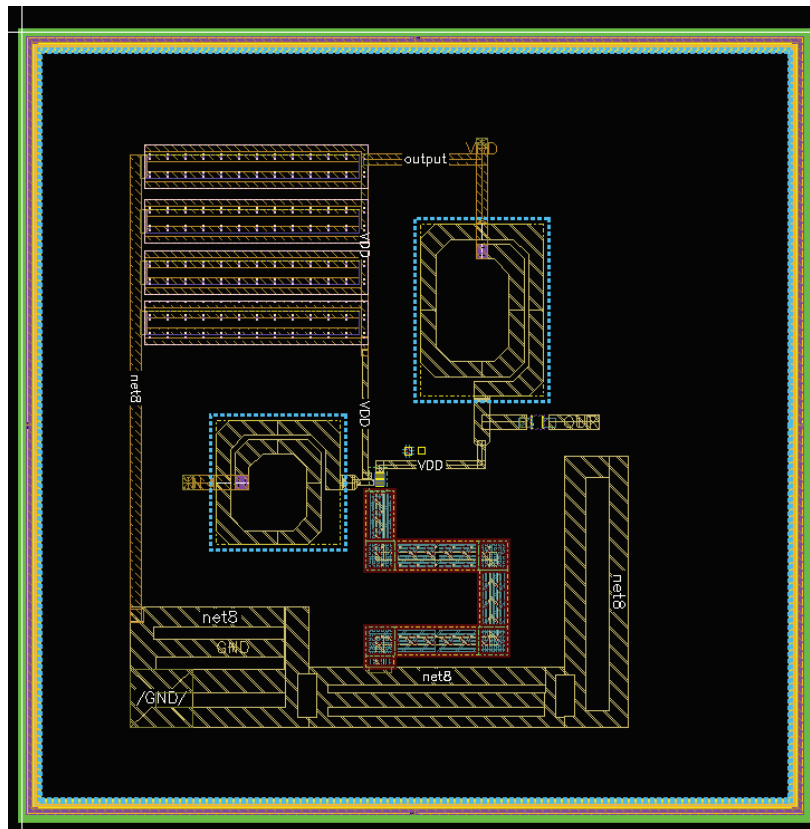


Figura 80. Layout completo sin pads y con el guardring

6. Layout completo con pads

El siguiente paso tras completar el *layout* es incluir los *pads* para finalizar el circuito como paso previo a la fabricación. El primer paso consiste en crear un símbolo del *layout* e introducirlo en el esquemático mostrado en la Figura 81, puesto que se debe trabajar con el diseño realizado. El esquemático dispone de los puertos para realizar las simulaciones, así como de la fuente de alimentación con un valor de 0.9 V, el espejo de corrientes para polarizar el LNA y un condensador de desacoplo a la entrada.

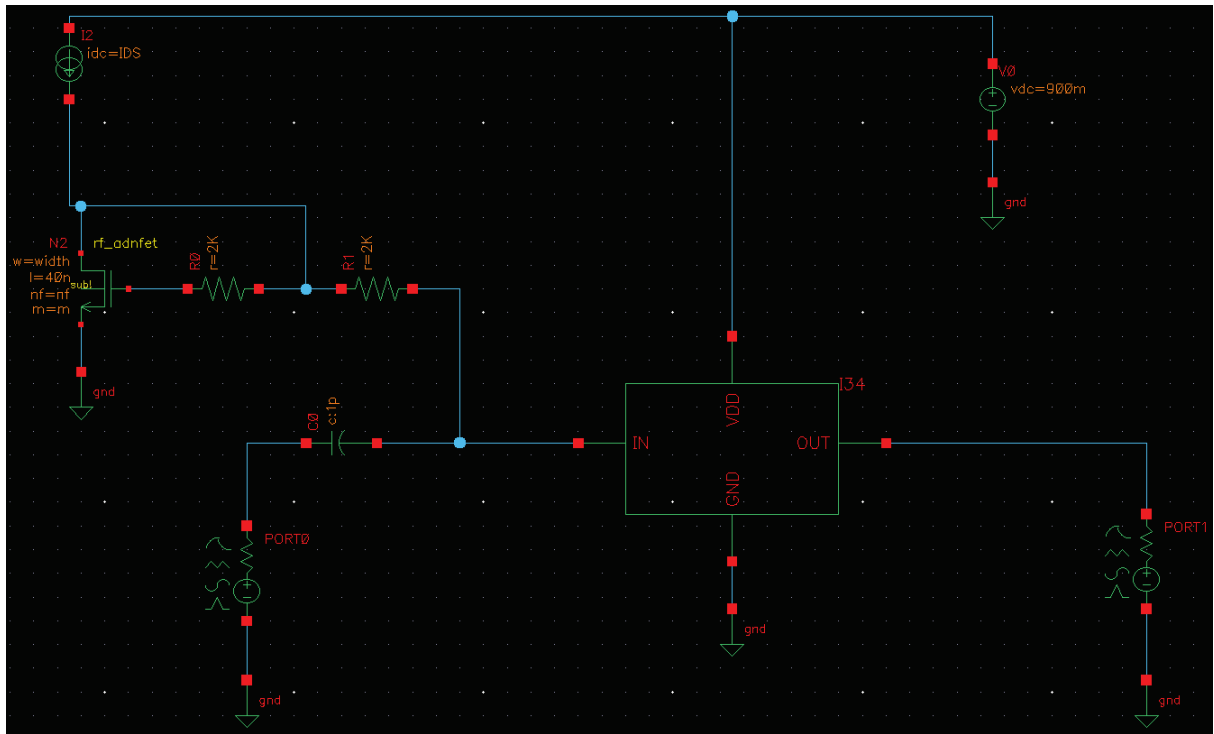


Figura 81. Esquemático con el símbolo del LNA completo.

Al esquemático anterior, se añaden nueve *pads*, denominados *bonpads*, que se encargan de las señales de E/S, alimentación y conexión a tierra del *layout*. Estos nueve componentes con forma cuadrada tienen unas dimensiones de 100 μm por lado, siendo de tipo *wire-bonding* y una conexión al plano de tierra en M1. Por tanto, tras incluir estos elementos, el esquemático resultante se muestra en la Figura 82, dónde los nueve *pads* están conectados a sustrato y a los terminales correspondientes mediante etiquetas. Los *pads* se colocan en grupos de tres en función de la configuración de las puntas empleadas. En este caso, se emplea una configuración GSG (*Ground-Signal-Ground*), correspondiendo la señal al terminal de entrada, salida o V_{DD} .

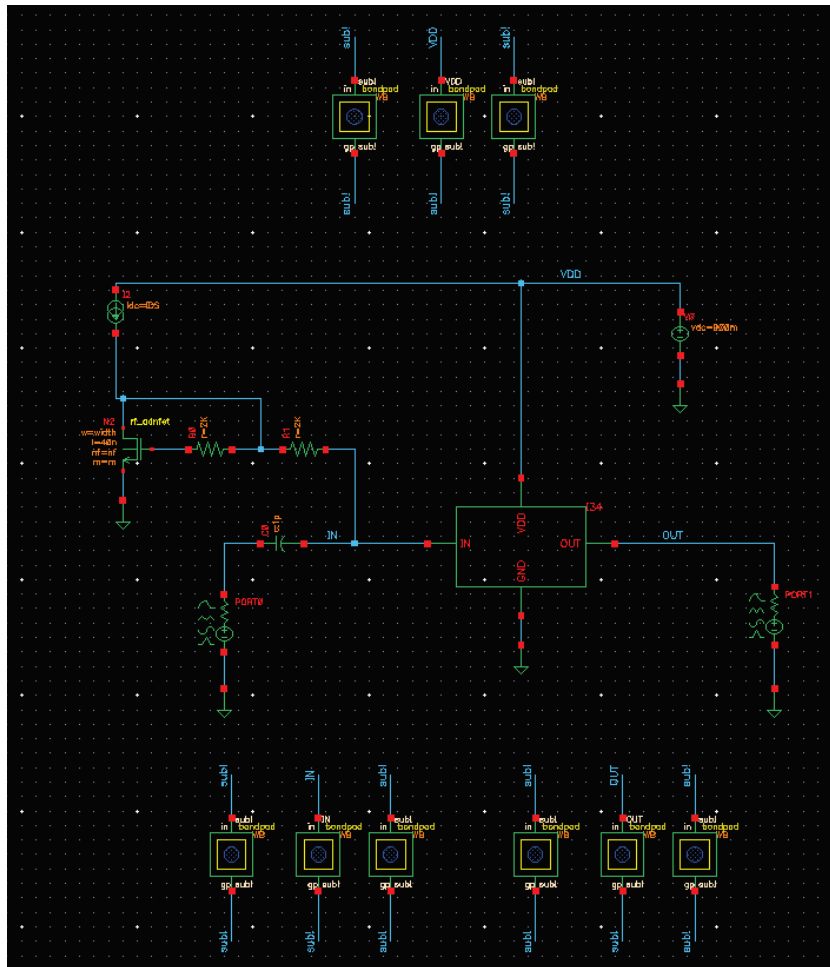


Figura 82. Esquemático con los pads añadidos y configurados en función del tipo de punta.

De forma análoga al resto de componentes, se importan los *pads* en el *layout* y se colocan agrupados de tres en tres en función de los terminales del LNA, como se muestran en la Figura 83. A su vez, se interconectan las tierras de los *pads* en M1, así como en LD si existen dos *pads* a tierra contiguos. Además, al incorporar los últimos elementos al *layout*, los espacios vacíos se rellenan con planos de masa en OA, OB y LD, así como se ajusta el borde del chip en función del área consumida, teniendo unas dimensiones de 900 μm de ancho y 1mm de alto el diseño con *pads*, mientras que el diseño sin *pads* mide 776.78 μm de ancho y 799.36 μm de alto.

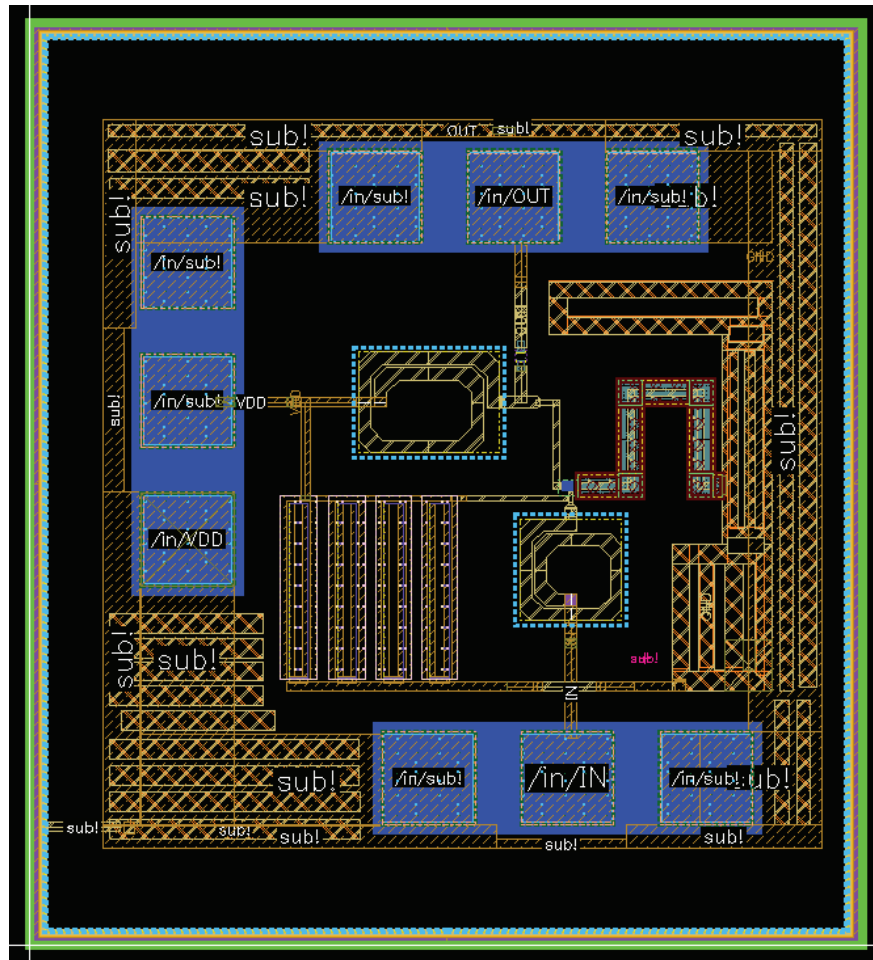


Figura 83. Layout con los pads añadidos y los planos de masa en LD, OB y OA.

Tras añadir el borde, se ejecuta un DRC para subsanar los posibles errores de los planos de masa, así como los errores de distancia al borde, y un LVS para que el esquemático y *layout* se correspondan. El siguiente punto es añadir los *fillers*, que son trozos de metal flotantes para mejorar la rugosidad del silicio empleado en el chip y uniformar la densidad de metales a lo largo del diseño. Se emplea una herramienta de Virtuoso para generar estos trozos de metal en los espacios vacíos dentro del *guardring*. Una vez finalizado el proceso, se obtiene el chip mostrado en la Figura 84, destacándose esos trozos ínfimos de metal. Nuevamente se ejecuta un DRC, pero con la configuración que se encarga de verificar la densidad del chip, y en caso de que existan errores de densidad escasa, se añaden rectángulos de metal en las capas necesarias.

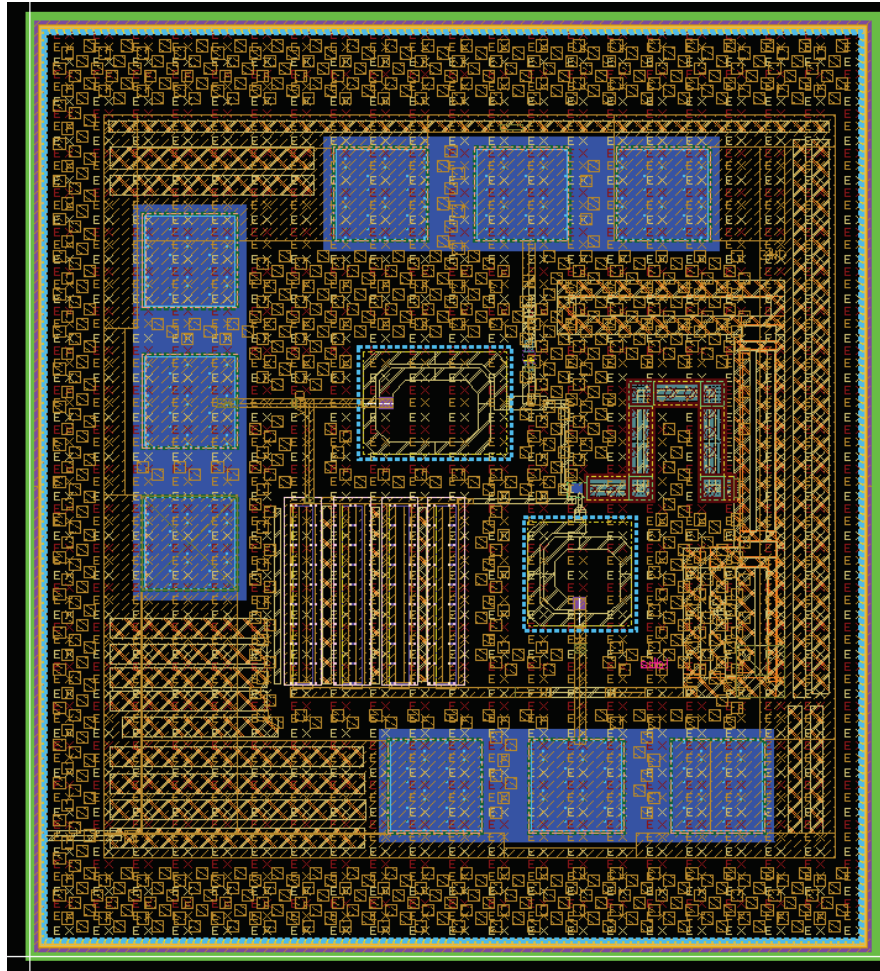


Figura 84. Layout final con los fillers como paso previo al envío a fabricación.

7. Conclusiones

A lo largo del presente capítulo se abordan todas las fases del diseño a nivel de *layout*. Se comienza con el procedimiento a seguir, así como algunas consideraciones de diseño a tener en cuenta. El proceso comienza con la implementación del *layout* del cascodo partiendo de un único transistor. Este proceso es fundamental para aprender a manejar la herramienta fluidamente, así como ejecutar verificaciones de DRC y LVS, puesto que a lo largo del diseño se repite en varias ocasiones dicho flujo. Finalizado el cascodo, se propone un *floor plan* para aproximar la colocación de los componentes y se implementa en *layout* las bobinas L_{drain} y L_{gate} , y se sustituye L_{source} por una línea de transmisión para optimizar el área consumida y evitar los acoplamientos entre la bobina de puerta y la bobina de fuente. Posteriormente, se incluyen los condensadores de *grounding* y salida en el diseño, siendo optimizados en función de la colocación y el área. A su vez, se fijan los terminales del LNA y se añade el plano de masas en los niveles de OA, OB y LD, finalizando el diseño del *layout* sin *pads*. Como paso previo a finalizar el diseño del chip completo, se añade el borde del chip y los *pads*, agrupándolos de tres en tres en función de las puntas y la colocación de los terminales en el LNA. En este punto, se ejecutan DRC y LVS para corroborar que el procedimiento de diseño

está correcto y, de forma previa a concluir y pasar a las simulaciones *post-layout*, se añaden los *fillers* para equilibrar la densidad de metales y mejorar la rugosidad del silicio. En la Tabla 15 se recogen los valores de los parámetros destacados, y en la Figura 85 el diseño a nivel de *layout* final.

Tabla 15. Principales valores de los componentes del diseño a nivel de *layout*

Parámetros	Diseño del LNA a nivel de <i>layout</i>
L_{drain}	496.4 μH
L_{gate}	316.6 μH
L_{source} (Línea de transmisión)	88.8 μH
$C_{\text{grounding}}$	7.5 pF
C_{out}	25.9 fF
Dimensiones sin <i>pads</i>	776.78 μm x 799.36 μm
Dimensiones con <i>pads</i>	900 μm x 1mm

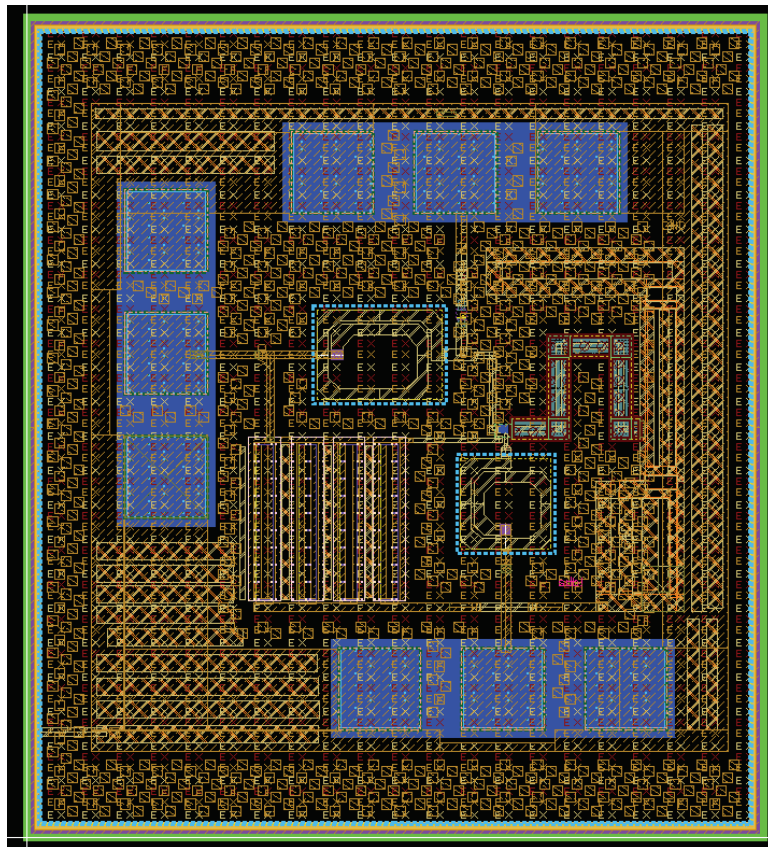


Figura 85. Diseño a nivel de *layout* completo.

Capítulo 6. Resultados de Simulación *Post-Layout*

Tras cerrar el diseño a nivel de *layout*, se continua con el análisis de las simulaciones *post-layout*. Para ello, es necesario obtener los modelos EM de los componentes pasivos e introducirlos en el diseño para observar cómo pueden afectar a las prestaciones del circuito, realizando ajustes en los componentes si es necesario para recuperar ganancia, figura de ruido, etc. Además, se realiza un análisis de Monte Carlo para simular variaciones aleatorias de los parámetros físicos de los componentes y observar el comportamiento del LNA.

1. LNA con modelo EM de los pasivos

El procedimiento para obtener el modelo EM de cada componente pasivo es crear un nuevo *layout* donde se introduce únicamente el componente en cuestión. En primer lugar, y como se muestra en la Figura 86, se añade la adaptación de entrada del LNA. Acto seguido, se seleccionan todos los niveles de diseño empleados y se eliminan aquellas capas que no sean de tipo *drawing*, obteniendo la estructura física. A continuación, se realiza una simulación EMX de este componente como “*single-ended inductor*” al ser una inductancia, se ajusta un barrido en frecuencia desde 0 GHz hasta 60 GHz en pasos de 100 MHz, obteniendo el modelo con los parámetros S y añadiéndolo a un símbolo. Además, se deben incluir los pines necesarios para definir los terminales del LNA.

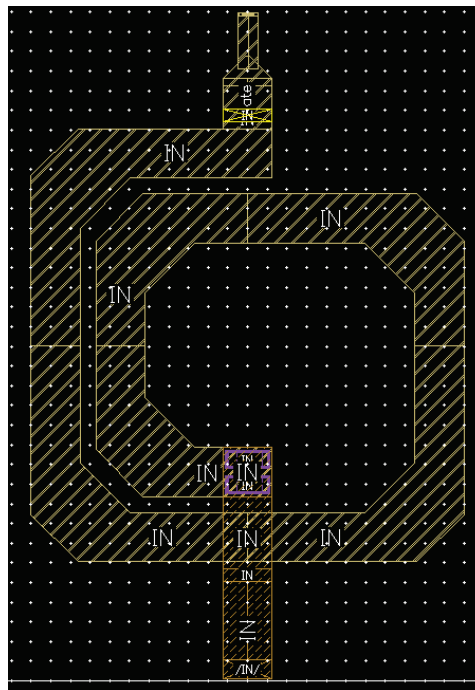


Figura 86. Adaptación de entrada del LNA a nivel de *layout*.

En el caso de la adaptación de salida, se realiza el mismo procedimiento, pero incluyendo L_{drain} , C_{out} y las pistas que van conectadas al cascode. En la Figura 87 se muestra su *layout*, con las capas de tipo *drawing* como en el caso anterior. Para estos componentes, en

la simulación EMX se mantiene el mismo barrido de frecuencia, pero al incluir la bobina, el condensador y el terminal de salida, se opta por una simulación de tipo “*N-Port*”, extrayendo el modelo de parámetros S y creando el símbolo correspondiente.

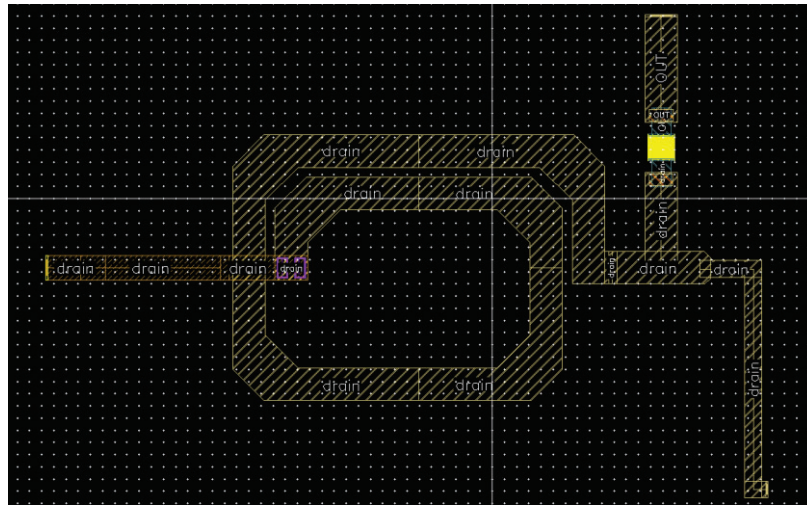


Figura 87. Adaptación de salida del LNA a nivel de layout.

El siguiente modelo EM corresponde a la degeneración de fuente, mostrándose en la Figura 88 el *layout* de la línea de transmisión. De nuevo se emplea el mismo barrido para realizar la simulación EMX, desde 0 GHz hasta 60 GHz, de tipo “*Transmission-Line*” al ser una línea de transmisión.

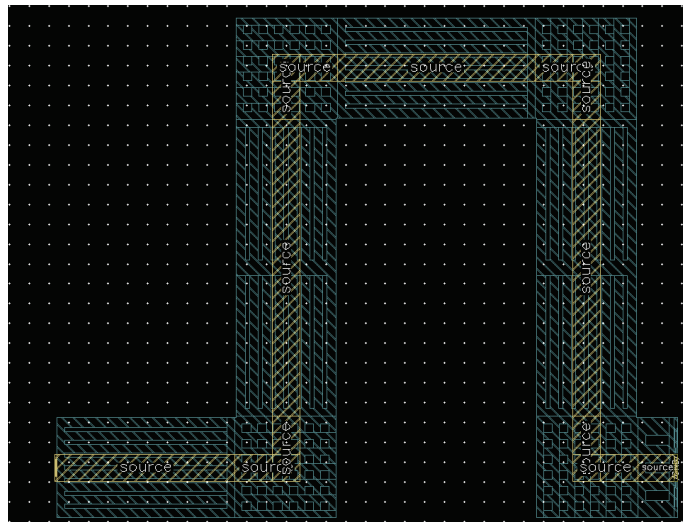


Figura 88. Degeneración de fuente del LNA a nivel de layout.

El último modelo EM pertenece a la red de puerta del cascode, donde se añaden los condensadores de *grounding*, las interconexiones a V_{DD} y GND de dichos condensadores y la conexión a V_{DD} del cascode, como se muestra en la Figura 89. En este caso en particular, como se emplean condensadores de tipo MIMHD, hay niveles de diseño que no se pueden eliminar como HT, QT y MIMDM. A su vez, en la configuración de la simulación EMX se cambian los archivos de la tecnología por los archivos correspondiente a la opción dieciocho, pero de tipo

MIM, para que se vinculen correctamente los condensadores. Al mismo tiempo, la simulación es de tipo “*N-Port*”, obteniendo el modelo de parámetros S y el símbolo.



Figura 89. Red de puerta del cascode del LNA a nivel de layout.

Una vez completadas las extracciones de los modelos EM de los componentes a nivel de *layout* del LNA, se pasa a realizar simulaciones para analizar las variaciones en las prestaciones del diseño. Para ello, se emplea el esquemático mostrado en la Figura 90, donde se destaca que se emplea el modelo del cascode para que los resultados sean lo más cercanos a la realidad posible. En la propia imagen se muestra que el primer símbolo añadido corresponde a la degeneración de fuente.

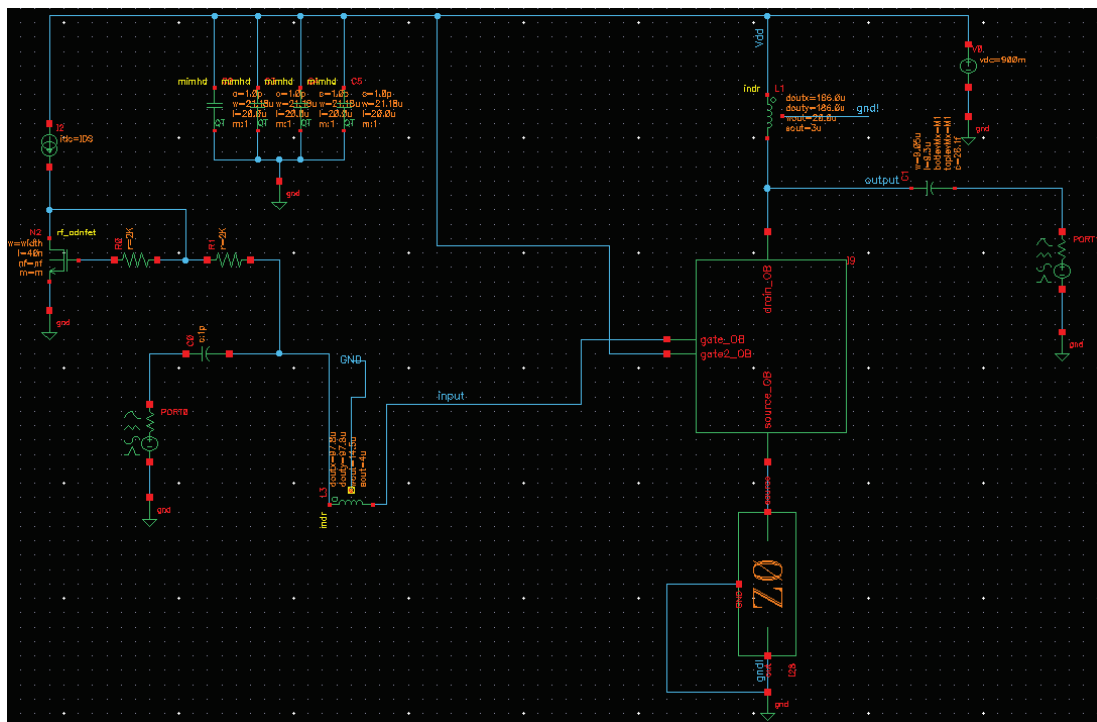


Figura 90. Esquemático con el modelo del cascode para realizar las simulaciones con el modelo EM de la degeneración de fuente.

Tras modificar el esquemático, se ejecuta una simulación con el modelo EM de la degeneración de fuente. Los resultados obtenidos se muestran en la Figura 91, dónde se destaca que las prestaciones del circuito mejoran. Respecto a la ganancia, se consigue un valor de 14.8 dB, mientras que la figura de ruido corresponde a 1.95 dB, coincidiendo con NF_{min} . Por su parte, las adaptaciones de E/S, se centran en la frecuencia de trabajo aproximadamente.

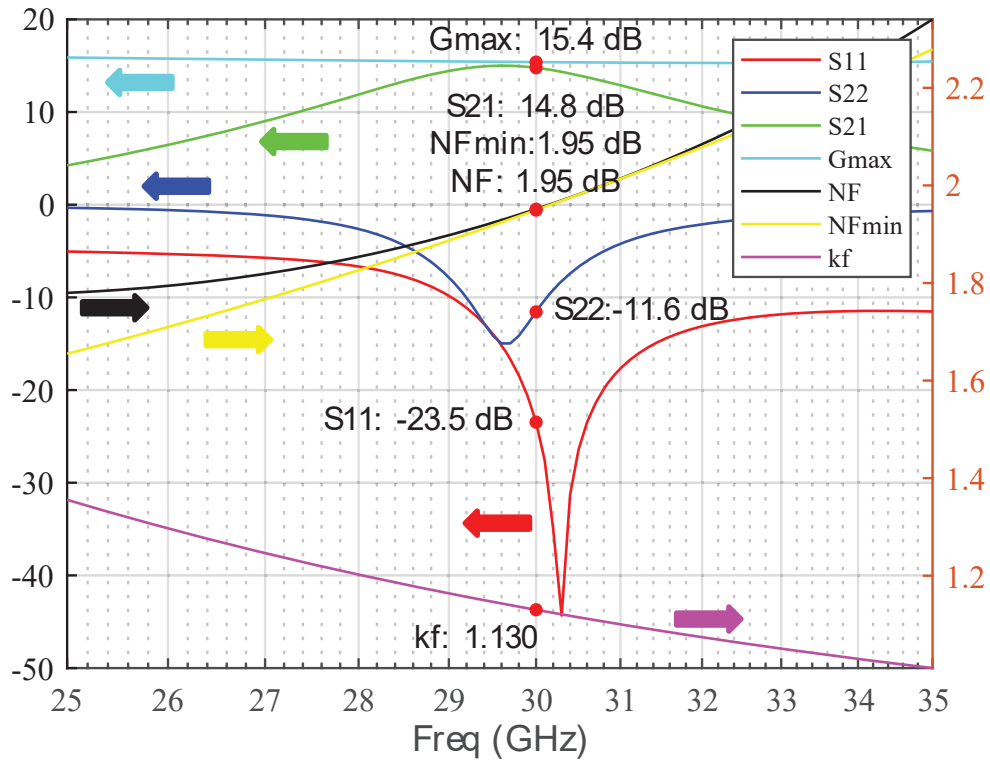


Figura 91. Resultados de las simulaciones tras añadir el modelo EM de la degeneración de fuente.

El siguiente componente añadido es la adaptación de entrada, con la bobina L_{gate} y el terminal de entrada. Se modifica el esquemático como se muestra en la Figura 92, añadiendo dichos elementos.

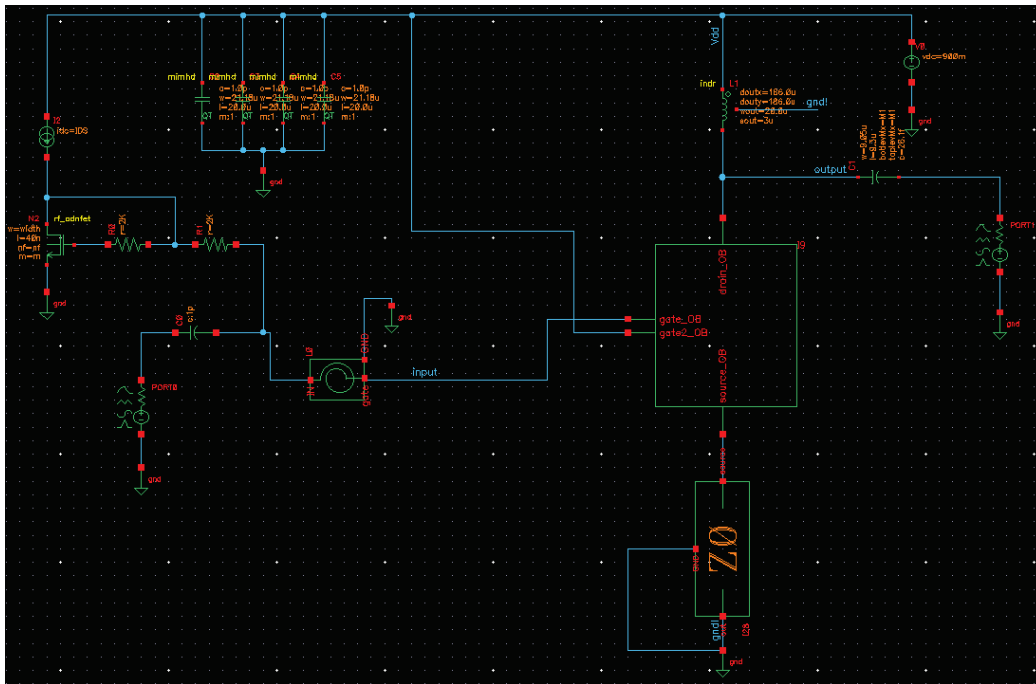


Figura 92. Esquemático con el modelo del cascode para realizar las simulaciones con el modelo EM de la adaptación de entrada.

En este punto, se ejecuta una nueva simulación para analizar cómo influye este componente en las prestaciones del diseño. Los resultados se muestran en la Figura 93, donde tras añadir la adaptación de entrada, mejora notablemente el parámetro S_{22} , así como se mantienen la figura de ruido en 1.9 dB y la ganancia en 14.8 dB.

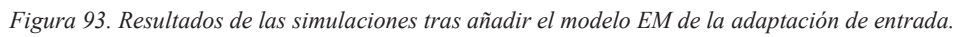


Figura 94. Esquemático con el modelo del cascodo para las simulaciones con el modelo EM de la adaptación de salida.

Una vez añadido este componente, se realiza una nueva simulación para estudiar las variaciones en el comportamiento del LNA. En la Figura 95 se muestran los resultados, donde destaca que se ha producido un desplazamiento de la frecuencia de trabajo del circuito a 29 GHz. En este punto del diseño, el siguiente paso consistiría en reajustar la frecuencia de trabajo para recuperar el rendimiento inicial a 30 GHz. Se trata de un proceso laborioso que consiste en modificar la bobina de drenador y el condensador de salida a la misma vez que las interconexiones entre estos elementos y el resto del circuito añadiendo además los efectos parásitos de los *fillers*. Por cada iteración habría que hacer los correspondientes análisis de DRC, LVS y electromagnético. Por esta razón y, para no superar el número de horas asignado al TFM, se ha tomado la decisión de dejar el diseño en el estado actual y dejar estas tareas como líneas de trabajo futuras.

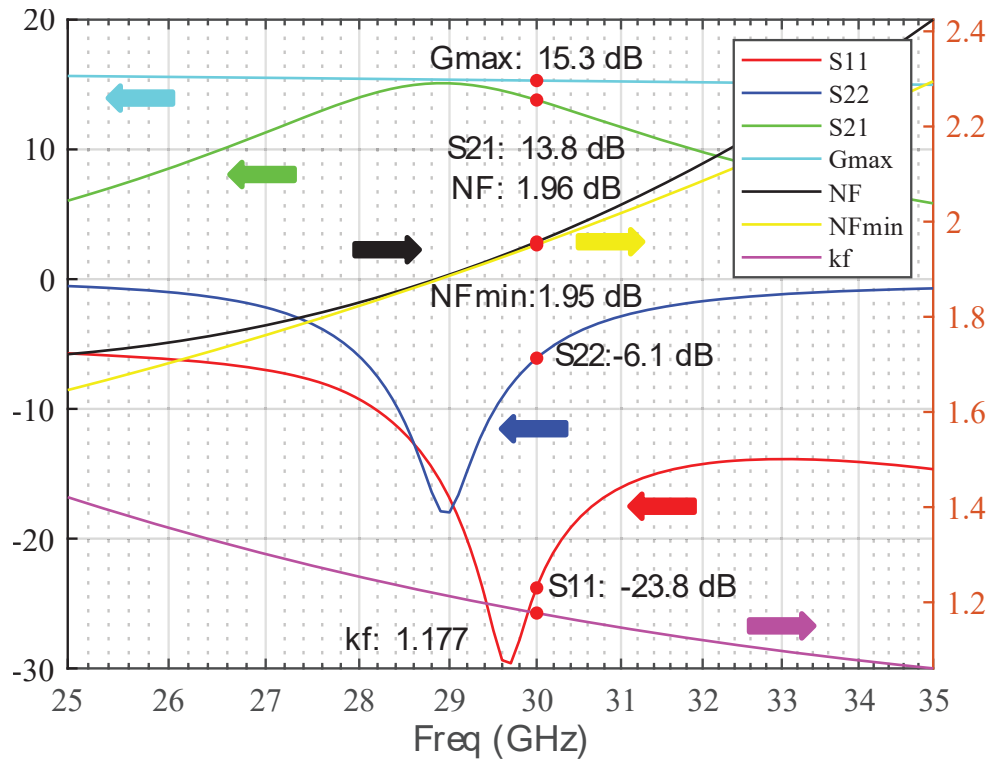


Figura 95. Resultados de las simulaciones tras añadir el modelo EM de la adaptación de salida.

2. Monte Carlo

El análisis de Monte Carlo es un proceso estocástico numérico que se basa en la sucesión de estados, y cuya evolución se define por sucesos aleatorios. Se emplea para simular variables aleatorias siguiendo una distribución de probabilidad [30]. En el presente TFM, se emplea este método para analizar el comportamiento del LNA diseñado a nivel de *layout*. En este caso, el circuito se somete a 250 ensayos, y se analizan los parámetros principales como son S_{11} , S_{21} , S_{22} y NF a una frecuencia de trabajo de 30 GHz. En primer lugar, en la Figura 96 se muestra el resultado del parámetro S_{11} , donde la mayoría se sitúa en un rango entre -10 dB y -14 dB, con una media de -12.7 dB.

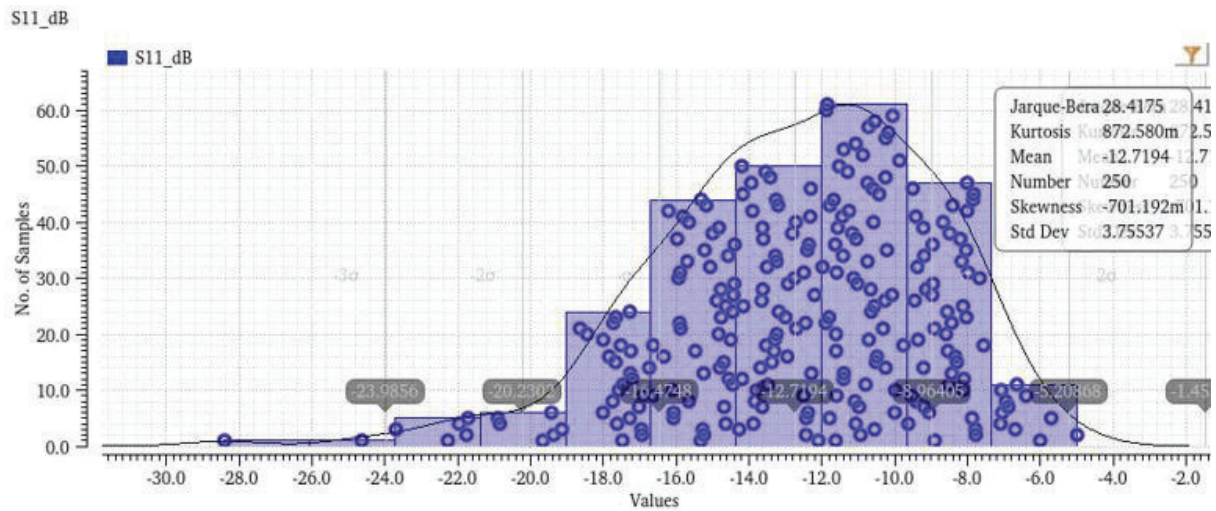


Figura 96. Resultados del análisis de Monte Carlo del parámetro S_{11} .

El siguiente parámetro analizado es el S_{22} , mostrando los resultados en la Figura 97. En este caso, la mayor cantidad de las muestras oscilan en un rango desde -7.5 dB a -14 dB, con una media equivalente a -12.4 dB.

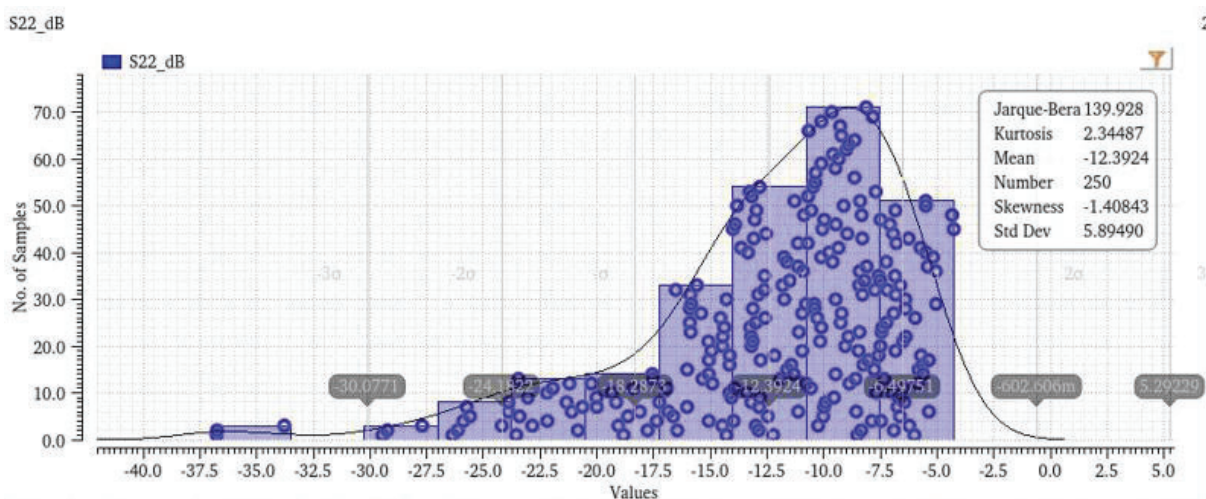


Figura 97. Resultados del análisis de Monte Carlo del parámetro S_{22} .

Respecto a la ganancia (S_{21}), en la Figura 98 se muestran los resultados obtenidos, destacando que en este caso el rango de los valores máximos en función de la cantidad de muestras se reduce, desde 15.3 dB a 16.3 dB, lo que significa que probabilísticamente la prestación del diseño se encontrará en 15.9 dB, siendo este valor su media.

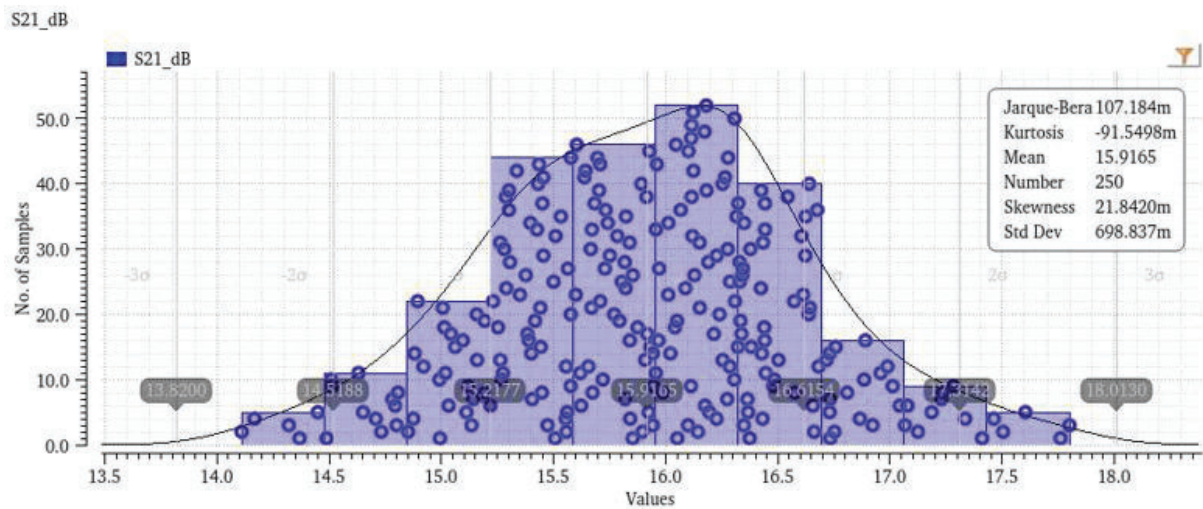


Figura 98. Resultados del análisis de Monte Carlo del parámetro S_{21} .

Por último, se analiza la respuesta de la figura de ruido frente al presente proceso estocástico. En este caso, la mayoría de las muestras se reparten en el rango de 1.9 dB y 2 dB como se muestra en la Figura 99, resultando un valor de media de 1.98 dB.

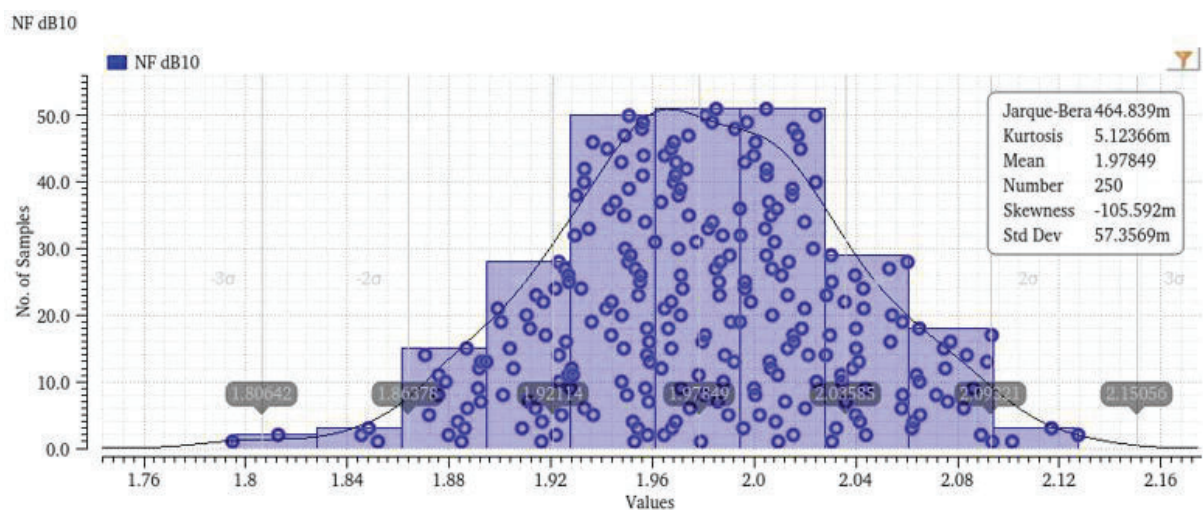


Figura 99. Resultados del análisis de Monte Carlo del parámetro NF .

A modo de resumen, en la Figura 100 se recogen los valores de los parámetros analizados, pero de forma más detallada. Se destacan los valores máximos y mínimos a los que el diseño puede llegar, así como la desviación estándar que, en los casos de la ganancia y la figura de ruido, al ser reducida, demuestra que las muestras están próximas a la media.

Test	Name	Yield	Min	Target	Max	Mean	Std Dev	Cpk	Errors
Yield Estimate: 100 %(250 passed/250 pts) Confidence Level: <not set> Filter: <not set>									
- LNA_TFM_wrk_1_LNA_tb_1									
	S11_dB	100% (250/2...	-28.41	info	-4.996	-12.72	3.755		0
	S22_dB	100% (250/2...	-36.77	info	-4.27	-12.39	5.895		0
	S21_dB	100% (250/2...	14.11	info	17.8	15.92	698.8m		0
	NF dB10	100% (250/2...	1.795	info	2.127	1.978	57.36m		0

Figura 100. Estadísticas de los parámetros analizados con Monte Carlo.

3. Conclusiones

A lo largo del presente capítulo se analizan aspectos relacionados con la finalización del diseño del LNA, con el objetivo de analizar el comportamiento del LNA frente a diversos fenómenos estocásticos y la obtención de los modelos EM de los componentes. Respecto a este último aspecto, se elaboran los diseños únicamente con las capas físicas y los pines relacionados con los terminales del circuito. Acto seguido, se configuran los archivos de la tecnología necesarios para la simulación EMX, así como el tipo, con el propósito de obtener un símbolo que contenga los resultados de las simulaciones de parámetros S en un rango de 0 GHz a 60 GHz. Esta fase de la simulación *post-layout* finaliza con la incorporación de dichos modelos a un esquemático con los componentes del PDK. Además, se estudian los resultados tras añadir dichos modelos, puesto que se emplean simulaciones similares a la realidad.

La segunda parte de las simulaciones tras la finalización del *layout* consiste en emplear un análisis de Monte Carlo. De forma estocástica-numérica, se emplean doscientas cincuenta muestras para estudiar los posibles valores de parámetros como S_{11} , S_{22} , S_{21} o NF, así como sus variaciones, media, valores máximos y mínimos. Dentro de la herramienta de Virtuoso, se puede configurar este tipo de análisis, obteniendo los resultados mostrados en la Tabla 16 que corresponden con los valores medios, máximos y mínimos. Se concluye con que el LNA está correctamente diseñado debido a que el valor medio de las muestras corresponde con valores coherentes de dichos resultados.

Tabla 16. Resumen de las prestaciones del diseño del análisis de Monte Carlo

Parámetro	Valor medio (dB)	Valor máximo (dB)	Valor mínimo (dB)
S_{11}	-12.7	-5	-28.4
S_{22}	-12.4	-4.3	-36.8
S_{21}	15.9	17.8	14.1
NF	1.98	2.1	1.8

Capítulo 7. Conclusiones

El presente capítulo consiste en un resumen del trabajo, donde se realiza un recorrido por los principales hitos alcanzados con el diseño, así como se analiza el cumplimiento de los objetivos y las prestaciones obtenidas. Asimismo, se formulan las conclusiones obtenidas con el presente Trabajo Fin de Máster, así como las posibles líneas de trabajo futuro que pueden abarcar una ampliación del trabajo realizado.

1. Resumen del trabajo realizado

El objetivo principal del TFM consiste en realizar un LNA para receptores 5G con una frecuencia de trabajo de 30 GHz, llegando al nivel de *layout full-custom* en la tecnología 45RFSOI. Para la consecución de dicho objetivo, se realizan los siguientes pasos:

- Realización de una contextualización sobre los antecedentes y las tecnologías 5G, así como planteamiento de los objetivos a conseguir y la estructura del documento.
- Investigación del Estado del Arte, dónde se destaca la teoría de los LNAs y la explicación de los principales parámetros estudiados. Además, se estudian algunos LNAs para tecnologías 5G, destacando las topologías empleadas, flujos de diseño o prestaciones obtenidas en dichos trabajos.
- Estudio de la tecnología 45RFSOI de GlobalFoundries, sobre todo de los componentes empleados en los circuitos como transistores, condensadores, bobinas, etc.
- Diseñar a nivel de esquemático el LNA, tanto con componentes ideales como con los componentes del PDK, para estimar las prestaciones que puede ofrecer el amplificador.
- Realizar el diseño del LNA a nivel de *layout*, debiendo diseñar cada componente, hasta obtener dos diseños: uno sin *pads* y otro con *pads*.
- Por último, se lleva a cabo la extracción de los modelos electromagnéticos de los elementos que forman el LNA. Además, se estudian las prestaciones finales obtenidas, incluyendo un análisis de Monte Carlo para ver las posibles variaciones de las mismas en función de las tolerancias de los componentes empleados.

2. Recopilación de resultados

En el presente apartado se recogen los principales valores obtenidos a lo largo del diseño del LNA. En la Tabla 17 se resumen los resultados de las prestaciones del amplificador en función de la fase de diseño. Respecto al LNA a nivel de esquemático, se destaca el circuito con componentes ideales y con componentes del PDK, destacando las ganancias de 18 dB y 16.5 dB del diseño con componentes ideales y del PDK, respectivamente. El valor de la figura

de ruido corresponde con 1.5 dB y 1.7 dB en cada diseño, mientras que las adaptaciones de entrada y salida en ambos circuitos se mantiene inferior a -10 dB, considerando válida dicha adaptación.

En el capítulo del diseño a nivel de *layout*, se comienza con la elaboración del modelado del cascode, donde se unifican los resultados de la extracción de parásitas y el modelo EM de las conexiones hasta LD. En este caso, la ganancia se reduce en comparación a los resultados anteriores, así como el aumento de la figura de ruido hasta 2 dB. A su vez, el diseño se considera incondicionalmente estable al obtener un factor k superior a la unidad. Además, se destaca que el ancho de *finger* se reduce al dividir el transistor en cuatro transistores, ocurriendo lo mismo con el número de *fingers*.

En los resultados del LNA a nivel de *layout* se reduce L_{source} desde 119.9 pH hasta 88.8 pH porque se cambia el inductor por una línea de transmisión, obteniendo valores similares al diseño con componentes del PDK y el cascode modelado. En el *layout* se destaca que las dimensiones del chip sin *pads* corresponden a 776.78 μm x 799.36 μm , mientras que las dimensiones del LNA con *pads* equivalente a 900 μm x 1mm. A su vez, $C_{\text{grounding}}$ equivalen a una capacitancia de 7.5 pF, con un ancho de 21 μm y un largo de 150 μm .

Las prestaciones obtenidas con el análisis de Monte Carlo se consiguen tras aplicar las 250 muestras, destacando que los valores medios de funcionamiento del circuito en cuanto a la adaptación de entrada son de -12.7 dB, la adaptación de salida de -12.4 dB, la ganancia de 15.9 dB y la figura de ruido de 2 dB aproximadamente.

Tabla 17. Recopilación de los resultados de los diseños en las distintas fases

	Diseño con componentes ideales	Diseño con componentes del PDK	Diseño con componentes del PDK y modelado del cascodo	Análisis de Monte Carlo
Ancho de <i>finger</i> (<i>wf</i>)	50 μm	50 μm	12.5 μm	12.5 μm
Número de <i>fingers</i> (<i>nf</i>)	75 <i>fingers</i>	75 <i>fingers</i>	19 <i>fingers</i>	19 <i>fingers</i>
Longitud de puerta	40 nm	40 nm	40 nm	40 nm
L_{gate}	330 pH	130 pH	316.6 pH	316.6 pH
L_{source}	120 pH	119.9 pH	119.9 pH	88.8 pH
L_{drain}	500 pH	477.9 pH	459.5 pH	496.4 pH
C_{out}	27 fF	26.8 fF	26.1 fF	25.9 fF
S₁₁	-11.4 dB	-14.2 dB	-12.3 dB	-12.7 dB
S₂₂	-14 dB	-19.5 dB	-12.1 dB	-12.4 dB
Ganancia (S₂₁)	18 dB	16.5 dB	16.1 dB	15.9 dB
Figura de ruido (NF)	1.5 dB	1.7 dB	2 dB	1.98 dB
Factor de estabilidad (k)	0.998	1.291	1.119	1.177
Consumo	9 mW	9 mW	9 mW	9 mW

Respecto al LNA completo, en la Figura 101 se muestra el diseño realizado. En ella se destaca la inclusión de los *pads*, de los *fillers* y de los planos de masa necesarios para aislar el circuito. Además, se observa la distribución elegida para situar a los componentes con el fin de optimizar el diseño.

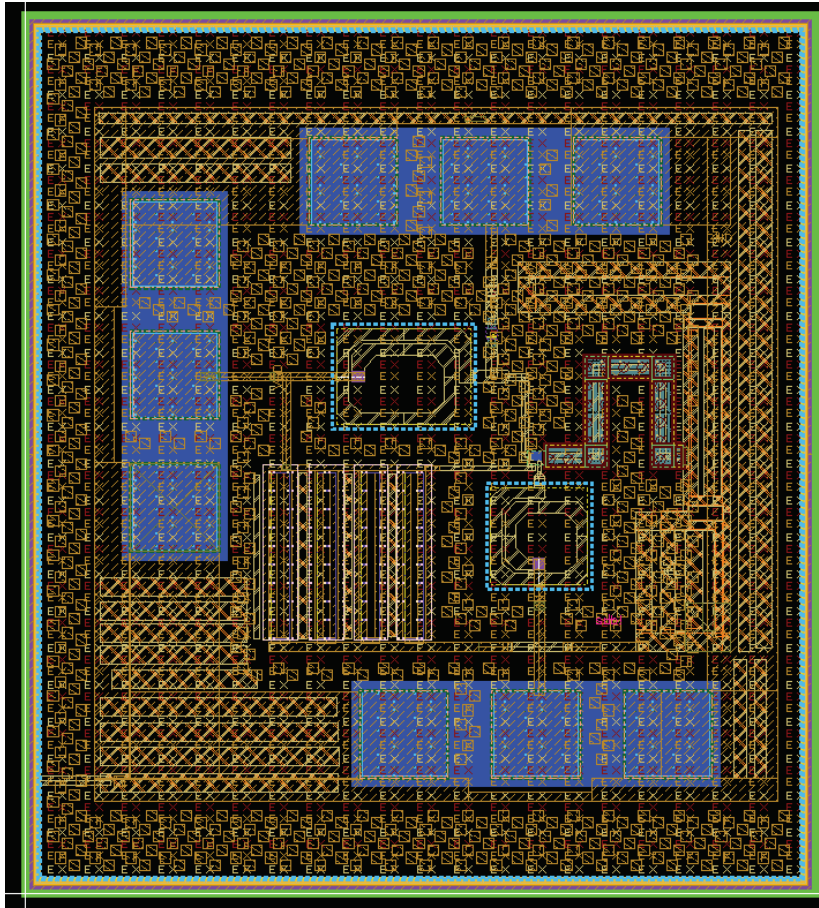


Figura 101. Recopilación del diseño completo del LNA a nivel de layout con los pads y los fillers incluidos.

3. Líneas de trabajo futuro

Una vez finalizado el diseño, se destacan algunos aspectos que en un próximo trabajo se pueden analizar para incluir mejoras en el circuito o realizar estudios del propio chip para continuar con la labor investigadora.

- Mejorar las adaptaciones de entrada y salida del circuito en función de la frecuencia de trabajo debido a que al añadir *fillers*, elementos parásitos, etc., las adaptaciones se desplazan de la frecuencia de funcionamiento.
- En caso de que exista financiación, proceder a la fabricación del chip para realizar las mediciones en la estación de puntas.
- Obtener medidas de los diferentes parámetros estudiados para verificar las prestaciones y comportamiento del LNA.
- Reajustar el diseño en función de los resultados. Este tipo de circuitos funcionan correctamente tras realizar varias iteraciones en el proceso de diseño, debido a que las prestaciones suelen empeorar.

- Diseñar el mismo LNA pero aplicando la metodología de g_m/I_D para dimensionar los transistores y asegurar el funcionamiento del diseño en cualquiera de las tres regiones de funcionamiento de los MOSFET: débil, moderada y fuerte.
- Introducir el LNA en un cabezal de recepción para analizar su funcionamiento e integración con el resto de elementos de la cadena.

Bibliografía

- [1] K. Shafique, B. A. Khawaja, F. Sabir, S. Qazi, and M. Mustaqim, "Internet of Things (IoT) for Next-Generation Smart Systems: A review of Current Challenges, Future Trends and Prospects for Emerging 5G-IoT Scenarios," *IEEE Access*, vol. 8, pp. 23022–23040, 2020, [Online]. Available: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8972389>.
- [2] P. Kumar Verma *et al.*, "Machine-to-Machine (M2M) communications: A survey," 2016, doi: 10.1016/j.jnca.2016.02.016.
- [3] J. del Pino, "Arquitecturas de transmisores y receptores." pp. 1–28, 2017.
- [4] J. del Pino, "Apuntes de conceptos básicos de sistemas de RF." pp. 1–85, 2017.
- [5] R. Jacob Baker, *CMOS Circuit Design, Layout, and Simulation*, Third Edit. Hoboken, New Jersey: John Wiley & Sons, 2010.
- [6] T. C. Carusone, D. A. Johns, and K. W. Martin, *Analog Integrated Circuit Design*, Second Edi. John Wiley & Sons, 2012.
- [7] J. Cao *et al.*, "A Survey on Security Aspects for 3GPP 5G Networks," *IEEE Commun. Surv. Tutorials*, vol. 22, no. 1, 2020.
- [8] J. H. Bae, A. Abotabi, H.-P. Lin, K.-B. Song, and J. Lee, "An overview of channel coding for 5G NR cellular communications," *Ind. Technol. Adv.*, vol. 8, pp. 1–14, 2019, [Online]. Available: <https://doi.org/10.1017/ATSIP.2019.10>.
- [9] L. Miller, *5G RF for dummies*, Qorvo Spec. 2017.
- [10] N. Jaramillo, A. Ochoa, W. Páez, and A. Peña, "TECNOLOGÍA 5G," vol. 4, pp. 41–46, 2017.
- [11] IEEE Standards Board, *IEEE Standard Letter Designations for Radar-Frequency Bands*. 1984.
- [12] F. Al-Janabi, M. J. Singh, A. Partap, and S. Pharwaha, "Development of Microstrip Antenna for Satellite Application at Ku/Ka Band," doi: 10.12720/jcm.16.4.118-125.
- [13] J. del Pino, "Apuntes parámetros S y Carta de Smith." .
- [14] B. Razavi, *RF MICROELECTRONICS Second Edition*, Second. 2012.
- [15] K.-W. Yeom, *Microwave Circuit Design: A Practical Approach Using ADS*. 2015.
- [16] N. C. García, F. J. del Pino, and D. Galante, "TRABAJO FIN DE GRADO ANÁLISIS DE LA VIABILIDAD DE LA TÉCNICA ' BULK - DRIVEN ' EN EL DISEÑO DE LNAs," 2022.
- [17] V. Chauhan and B. Floyd, "A 24-44 GHz UWB LNA for 5G cellular frequency bands," *2018 11th Glob. Symp. Millim. Waves, GSMM 2018*, pp. 44–46, 2018, doi:

- 10.1109/GSMM.2018.8439672.
- [18] M. K. Hedayati, A. Abdipour, R. S. Shirazi, C. Cetintepe, and R. B. Staszewski, “A 33-GHz LNA for 5G Wireless Systems in 28-nm Bulk CMOS,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 65, no. 10, pp. 1460–1464, 2018, doi: 10.1109/TCSII.2018.2859187.
 - [19] C. Li, O. El-Aassar, A. Kumar, M. Boenke, and G. M. Rebeiz, “LNA Design with CMOS SOI Process-1.4dB NF K/Ka band LNA,” *IEEE MTT-S Int. Microw. Symp. Dig.*, vol. 2018-June, pp. 1484–1486, 2018, doi: 10.1109/MWSYM.2018.8439132.
 - [20] O. El-Aassar and G. M. Rebeiz, “Design of low-power sub-2.4 db mean nf 5g lnas using forward body bias in 22 nm fdsoi,” *IEEE Trans. Microw. Theory Tech.*, vol. 68, no. 10, pp. 4445–4454, 2020, doi: 10.1109/TMTT.2020.3012538.
 - [21] D. Galante, F. Javier and D. S. M. Angulo, “Implementación física y verificación de un VGA diferencial con compensación de fuente para el estándar IEEE 802.15.4 en 65 nm,” *Trabajo Fin de Máster*, pp. 3–12, 2018.
 - [22] L. Ekstam, “Capacitor Theory,” vol. 1, no. 5, 1994.
 - [23] C. H. Ng, C. S. Ho, S. F. S. Chu, and S. C. Sun, “MIM capacitor integration for mixed-signal/RF applications,” *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1399–1409, 2005, doi: 10.1109/TED.2005.850642.
 - [24] Globalfoundries, “CMS90WG Technology Design Manual,” 2020.
 - [25] G. Foundries, “32SOI Model Reference Guide,” pp. 1–720, 2012.
 - [26] R. Rincón, “Autor : Sergio Rosino Rincón Tutores : F rancisco Javier Del Pino Sunil Lalchand Khemchandani,” 2011.
 - [27] Globalfoundries, “45RFSOI Design Manual,” vol. Rev. 1.2_1, 2021.
 - [28] B. Cardoso, R. Martins, N. Lourenco, and N. Horta, “AIDA-PEX: Accurate parasitic extraction for layout-aware analog integrated circuit sizing,” *2015 11th Conf. Ph.D. Res. Microelectron. Electron. PRIME 2015*, pp. 129–132, 2015, doi: 10.1109/PRIME.2015.7251351.
 - [29] J. M. Dunn, S. Kapur, and D. Long, “EMX: Overcoming silicon chip em simulation challenges for passive circuit analysis and model development,” *2021 Int. Appl. Comput. Electromagn. Soc. Symp. ACES 2021*, pp. 2021–2024, 2021, doi: 10.1109/ACES53325.2021.00097.
 - [30] J. I. Illana, “Métodos Monte Carlo,” 2013.