MASTER META
EN ELECTRÓNICA Y TELECOMUNICACIÓN APLICADAS

ULPGC
Instituto Universitario de
Microelectrónica Aplicada
IUMA

# Estudio, análisis y experimentación con núcleos RISC-V para SoC FPGA

**Estudiante: Romarey Lourdes Santos Ruiz <rsantos@iuma.ulpgc.es>**

**Tutor: Dr. Pedro Pérez Carballo <carballo@iuma.ulpgc.es>**

**Septiembre 2025**

## Resumen

El trabajo aporta un análisis de la arquitectura de conjunto de instrucciones (ISA) **RISC-V**, destacando su naturaleza **abierta, modular y libre de regalías**. Se presenta como una alternativa a las arquitecturas propietarias, fomentando la innovación, reduciendo costos y mejorando la seguridad. La parte principal del trabajo desarrollado es el estudio y la experimentación **de varios núcleos RISC-V en dispositivos FPGA**, lo que proporciona una evaluación práctica de su rendimiento y eficiencia. Se han valorado los siguientes cores: **NEORV32.** Se destaca por su facilidad de uso y modularidad. Es capaz de integrar módulos externos a través del bus **AXI4**, incluyendo la adición de un controlador **DMA** para transferencias de datos eficientes. **AIRISC.** Este núcleo, optimizado para aplicaciones embebidas, mostró un rendimiento estable a **100 MHz** con un bajo impacto en la FPGA. **CVA5**. Este núcleo de 32 bits mostró una baja utilización de recursos, funcionando a 100 MHz. Por su parte, **CVA6** fue implementado en una Placa de prototipado Genesys 2 que incluye un dispositivo FPGA Kintex de la serie 7 de AMD y realizada su síntesis lógica en un ASIC.

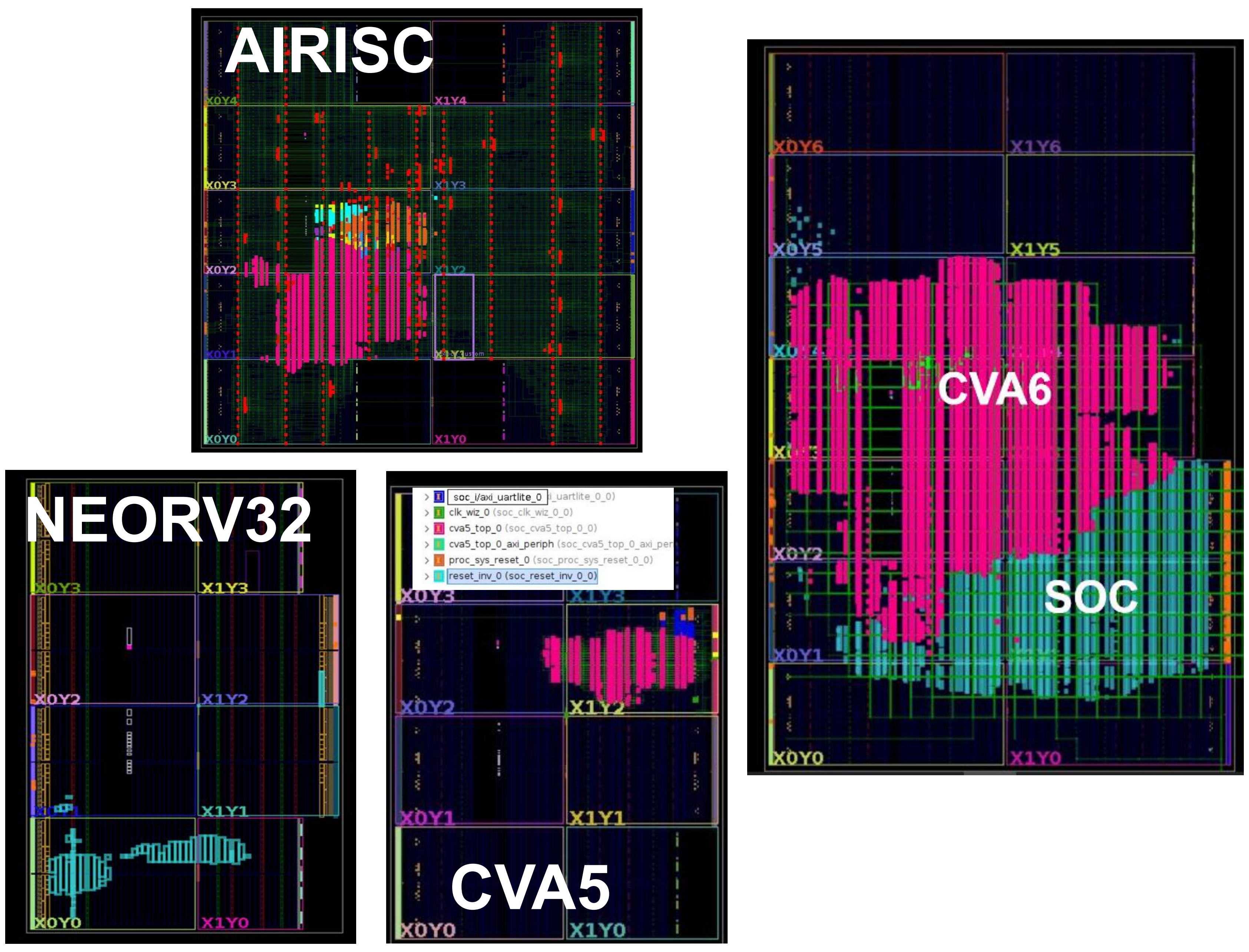
## Objetivos

El objetivo de este Trabajo Fin de Máster consiste en el estudio de la arquitectura RISC-V para diferentes dispositivos FPGA. Entre los objetivos clave se incluyen: conocer las ventajas y limitaciones de RISC-V, explorar soluciones de *software*, seleccionar distintas implementaciones existentes en cuanto a eficiencia y consumo energético, obtener resultados y documentar presentar el trabajo realizado.

## Implementación de los núcleos RISC-V

La implementación de los núcleos NeoRV32, AIRISC y CVA5 sobre las placas Nexys 4 DDR y Nexys Video revela distintas estrategias de distribución lógica en la FPGA Artix-7, evidenciadas mediante las visualizaciones obtenidas en Vivado. En la presentación de resultados de implementación física se muestra la estrategia de *placemente/routing* utilizadas para cada caso, que finalmente resulta en la distribución espacial de los recursos utilizados. Ello permite comparar la eficiencia espacial, la escalabilidad y la organización interna de cada arquitectura RISC-V en entornos FPGA.

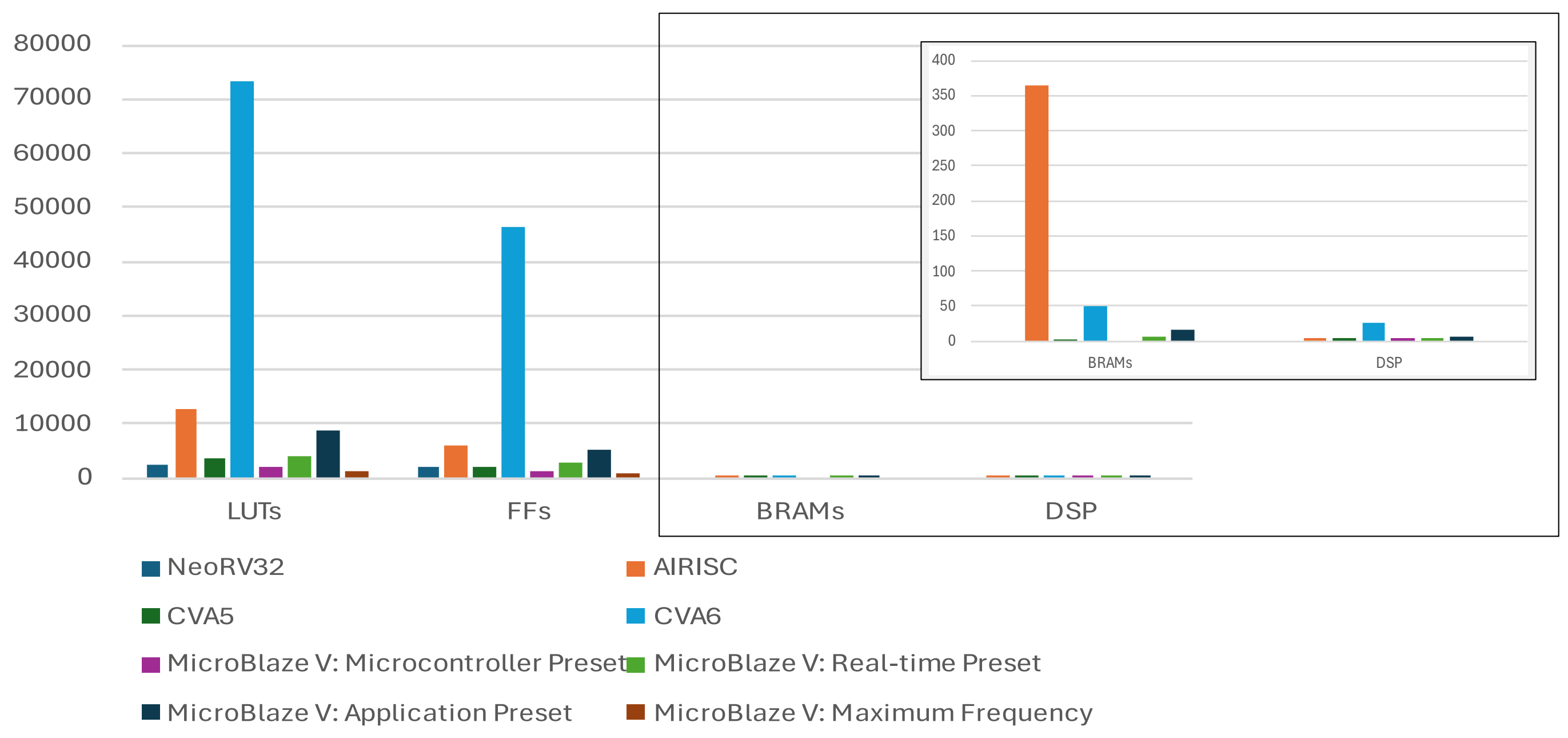
### *Layout* de los *cores* RISC-V



## Prestaciones de los *cores* RISC-V.

### *Uso de recursos*

| | LUTs | FFs | BRAMs | DSP |
|---|---|---|---|---|
| NeoRV32 | 2.291 | 2.132 | 9.5 | - |
| AIRISC | 12.877 | 6.193 | 365 | 4 |
| CVA5 | 3.625 | 1.929 | 3 | 5 |
| CVA6 | 73.426 | 46.550 | 50 | 27 |
| MicroBlaze V: Microcontroller Preset Conf. | 2.236 | 1.138 | 0 | 4 |
| MicroBlaze V: Real-time Preset Conf. | 4.106 | 2.685 | 6 | 4 |
| MicroBlaze V: Application Preset Conf. | 8.623 | 5.325 | 16 | 6 |
| MicroBlaze V: Maximum Frequency Conf. | 1.227 | 826 | 0 | 0 |

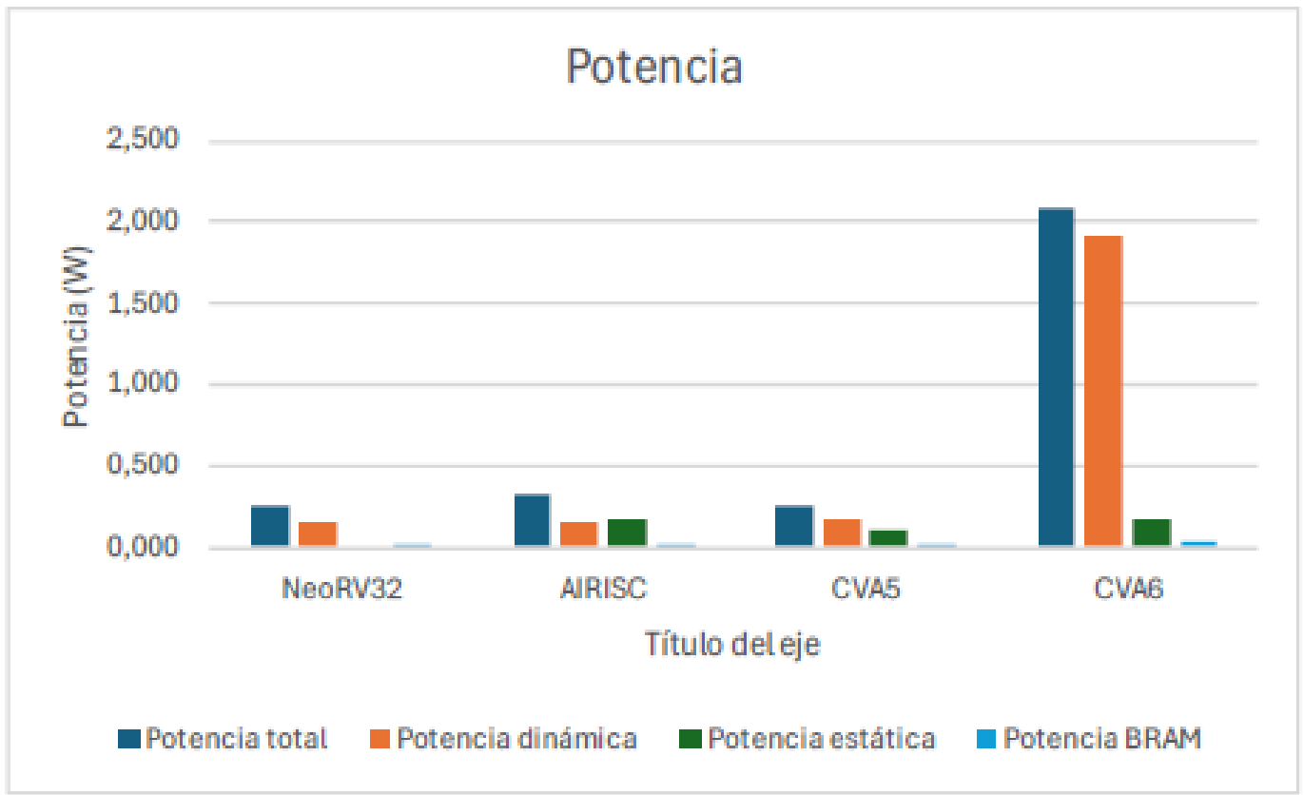


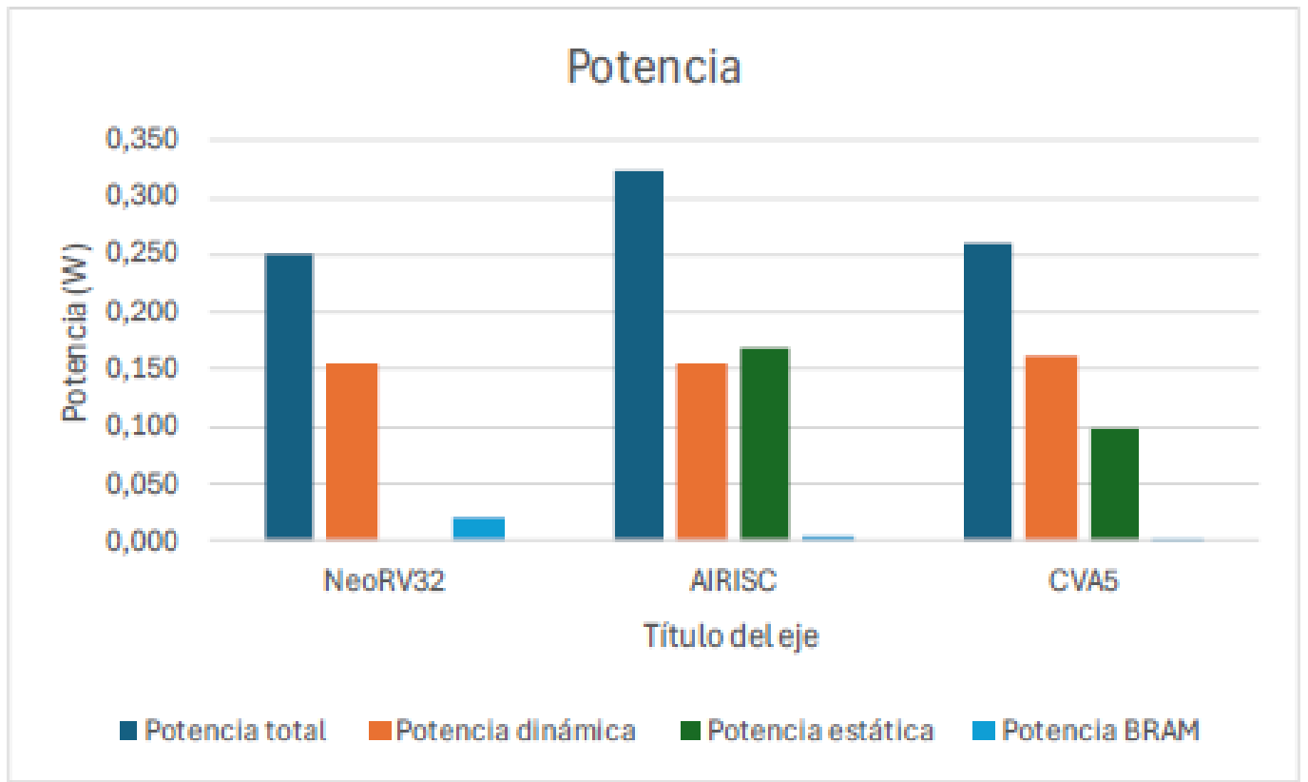
### *Frecuencia*

| | Tecnología | Frecuencia (MHz) | Periodo (ns) | WNS (ns) | FMAX (MHz) |
|---|---|---|---|---|---|
| **NEORV32** | Artix | 100 | 10 | 0,579 | 106,14 |
| **AIRISC** | Artix | 100 | 10 | 0,595 | 106,32 |
| **CVA5** | Artix | 100 | 10 | 0,637 | 106,80 |
| **CVA6** | Kintex | 100 | 10 | 0,177 | 101,80 |

### *Potencia*

| | Potencia total | Potencia dinámica | Potencia estática | Potencia BRAM |
|---|---|---|---|---|
| NeoRV32 | 0,252 | 0,154 | 0, 098 | 0,020 |
| AIRISC | 0,324 | 0,155 | 0,169 | 0,005 |
| CVA5 | 0,260 | 0,162 | 0,098 | 0,002 |
| CVA6 | 2,085 | 1,909 | 0,176 | 0,035 |





"EL FUTURO SE CREA
CON CADA PASO,
NO LO SUEÑES,
ALCANZA TU META"