



# Máster de Tecnologías de Telecomunicación

## Trabajo Fin de Máster

### Prototipado sobre plataforma FPGA de un deblocking filter para H.264/SVC

Omar Espino Santana

Antonio Núñez Ordóñez, Pedro Pérez Carballo

Julio 2013

#### Resumen:

- El objetivo principal de este trabajo es la implementación de un deblocking filter para H.264/SVC sobre una plataforma FPGA.
- Para ello se ha definido un flujo de diseño partiendo de su descripción de alto nivel en SystemC.
- Se ha diseñado una plataforma de validación como un *System-on-Chip* formado por un microprocesador PowerPC 440, el deblocking filter a validar, y otros bloques necesarios.
- Se ha diseñado una estrategia de verificación con el diseño volcado en la placa y se ha reproducido el vídeo filtrado en una pantalla conectada a la placa.

#### Flujo de diseño:

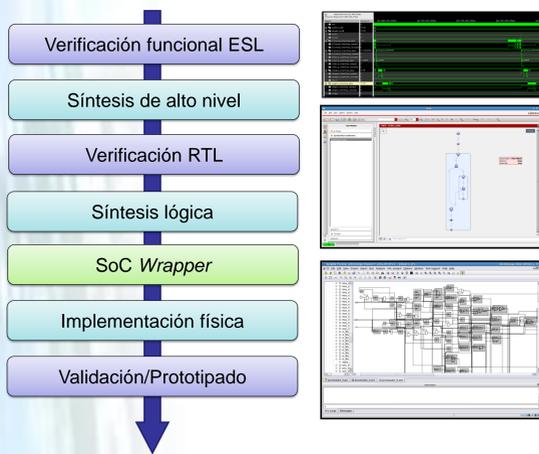


Figura 1. Flujo de Diseño: de SystemC al prototipo FPGA

#### Arquitectura de referencia:

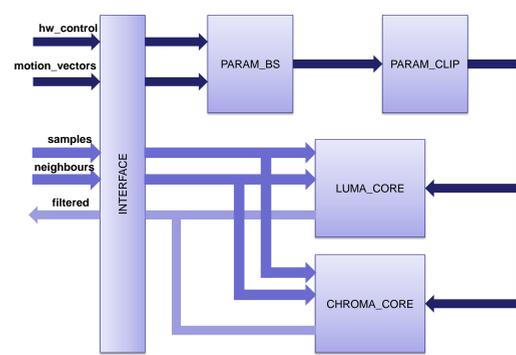


Figura 2. Diagrama de bloques simplificado de la arquitectura

#### Arquitectura de verificación:

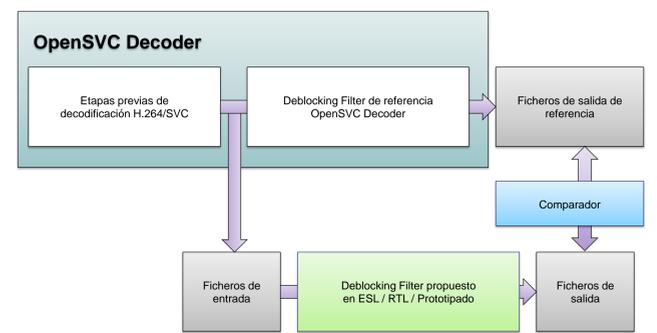


Figura 3. Proceso de verificación funcional

#### Plataforma de validación:

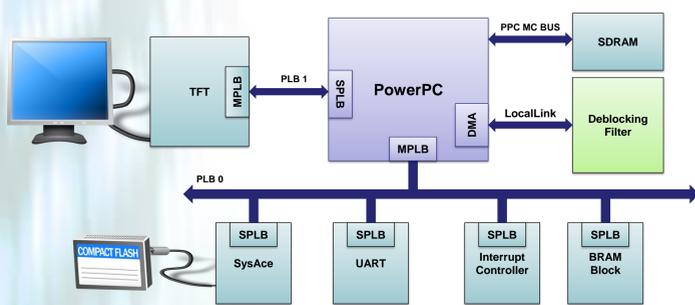
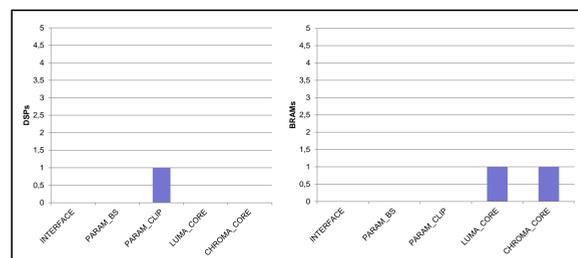


Figura 4: Diagrama de bloques de la plataforma de validación

#### Resultados:

- Recursos utilizados y prestaciones.



Frecuencia máxima (MHz)	120,3
Periodo mínimo (ns)	8,315
Bloque de la ruta crítica	LUMA_CORE
Tipo de ruta crítica	BRAM to Register

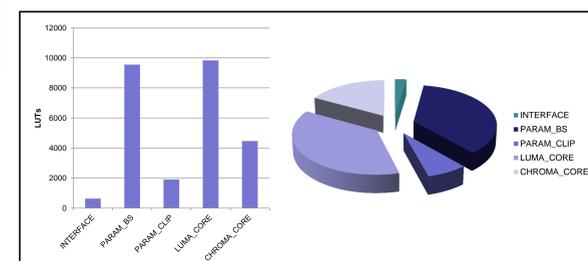
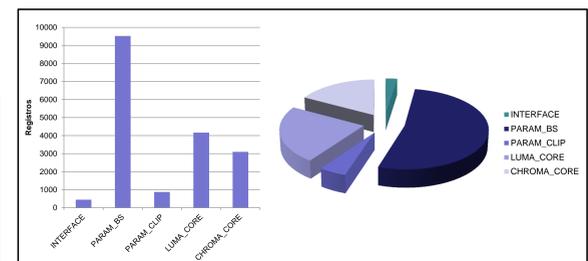


Figura 5: Sistema de prototipado

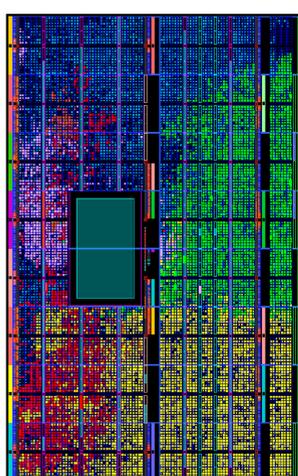
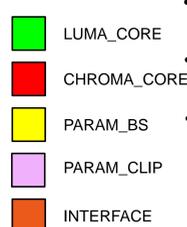


Figura 6: Colocación



#### Conclusiones:

- En este trabajo se ha demostrado la viabilidad del uso de flujos de diseño basados en la síntesis de alto nivel.
- Para ello ha definido una plataforma de validación reutilizable utilizando un SoC implementado en una FPGA.
- Con ello se ha prototipado un deblocking filter para H.264/SVC que funciona en tiempo real para resoluciones QCIF y CIF.
- Han sido publicados dos artículos en el SPIE Microtechnologies 2013 y el DSD 2013 con títulos: "Implementation of Scalable Video Coding Deblocking Filter from High-Level SystemC Description" y "Scalable Video Coding Deblocking Filter FPGA and ASIC implementation using High-Level Synthesis Methodology".

