



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

Diseño y modelado de rectificadores para RFIDs

Autor: Raúl Rodríguez del Rosario
Tutor(es): Dr. D. Javier García García
Dr. D. Benito González Pérez
Fecha: mayo de 2013



t +34 928 451 086 | iuma@iuma.ulpgc.es
f +34 928 451 083 | www.iuma.ulpgc.es

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

Diseño de modelado de rectificadores para RFIDs

HOJA DE FIRMAS

Alumno/a: D. Raúl Rodríguez del Rosario Fdo.:

Tutor/a: Dr. D. Javier García García Fdo.:

Tutor/a: Dr. D. Benito González Pérez Fdo.:

Fecha: mayo de 2013



t +34 928 451 086
f +34 928 451 083

iuma@iuma.ulpgc.es
www.iuma.ulpgc.es

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

Diseño y modelado de rectificadores para RFIDs

HOJA DE EVALUACIÓN

Calificación:

Presidente

Fdo.:

Secretario

Fdo.:

Vocal

Fdo.:

Fecha:



t +34 928 451 086
f +34 928 451 083

iuma@iuma.ulpgc.es
www.iuma.ulpgc.es

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria

Índice

ÍNDICE	7
1. INTRODUCCIÓN	9
OBJETIVOS	9
ESTADO DEL ARTE	9
2. MODELO CAPACITIVO PARA GRAN SEÑAL DEL DG-MOSFET	15
LA CORRIENTE DE DRENADOR EN DC	15
CAPACITANCIAS	16
RESISTENCIAS E INDUCTANCIAS EXTRÍNSECAS	19
3. FUNCIONAMIENTO DEL RECTIFICADOR	21
PROBLEMAS DE CONVERGENCIA	21
DIFERENTES ESTUDIOS.....	22
ESTUDIO DEL NÚMERO DE ETAPAS	26
ESTUDIO DEL NITRURO DE TITANIO (TiN) COMO MATERIAL DE PUERTA.....	28
4. EFECTOS DE CANAL CORTO (SCE)	31
SCE EN EL DG-MOSFET	33
VELOCIDAD DE SATURACIÓN	33
RESISTENCIAS SERIE.....	35
MODULACIÓN DE LA LONGITUD DE CANAL	36
REDUCCIÓN DE LA BARRERA DE PUERTA INDUCIDA POR EL DRENADOR.....	38
RESULTADOS DE SIMULACIÓN	40
6. CONCLUSIONES	45
REFERENCIAS	47
ANEXO	51
DISEÑO DEL LAYOUT DE LOS RECTIFICADORES	54
SIMULACIONES POST-LAYOUT DEL CIRCUITO RECTIFICADOR	55

1. Introducción

Partiendo del Proyecto Fin de Carrera titulado “Estudio en tecnología SOI de RFIDs en UWB” [1] presentado en junio del pasado año, se ha seguido trabajando en la misma línea para conseguir rectificadores más eficientes en sistemas RFID. Hasta la fecha se han desarrollado elementos *rectena* para alimentar una variedad de dispositivos y sistemas, mediante un haz de potencia con visibilidad en línea directa, utilizando niveles elevados de potencia en banda estrecha. No obstante, para sensores distribuidos en entornos complejos, tales como aviones o barcos, parece que el nivel de potencia radiada con cada frecuencia estará limitado a niveles bajos, y los requerimientos de los tamaños de los sensores hacen que agrupaciones de antenas grandes, con circuitos de adaptación, no sean prácticos.

Objetivos

Los objetivos del TFM son:

- Completar el modelo capacitivo para gran señal del DG-MOSFET, desarrollado durante el PFC
- Incluir los efectos de canal corto en la corriente modelada de DG-MOSFET
- Estudio de materiales alternativos a emplear en la puerta del transistor, con el fin de reducir la tensión umbral del mismo.
- Comparativa de la rectificación con DG-MOSFETs y tecnología CMOS convencional (Texas Instruments, UMC-90nm).

Estado del arte

En los últimos años los procedimientos automáticos de identificación (Auto-ID) han llegado a ser muy populares en muchas industrias: de servicios, compra y logística de distribución, compañías de manufacturación y sistemas de flujo de materiales. Los procedimientos automáticos de identificación existen para

proporcionar información sobre personas, animales, bienes y productos en tránsito. Las etiquetas de código de barras que provocaron una revolución en los sistemas de identificación, en el año 1.966, empiezan a no poder satisfacer un número creciente de casos. Los códigos de barras tienen como mayor ventaja su bajo costo. Por contra se tiene su baja capacidad de almacenamiento y el hecho de que no pueden ser reprogramados.

La solución óptima, técnicamente, sería el almacenamiento de los datos en un circuito integrado (CI). La forma más usada de dispositivo electrónico de transporte de datos hoy en día es la *smart-card* (tarjeta inteligente), basada en un campo de contacto (*smart-card* para teléfonos, tarjetas de banco, etc.). Una *smart-card* o tarjeta con circuito integrado (TCI) es cualquier tarjeta del tamaño de un bolsillo, con CIs que permiten la ejecución de cierta lógica programada. Sin embargo, el contacto mecánico usado en la *smart-card* es a veces poco práctico. Una transferencia de datos en la que no exista contacto entre el dispositivo de transporte de datos y su lector es mucho más flexible. En el caso ideal, la energía requerida para que funcione el dispositivo electrónico de transporte de datos sería además transferida desde el lector, usando tecnología sin contacto. Debido a los procedimientos usados para la transferencia de energía y datos, los sistemas sin contacto ID son llamados sistemas RFID (*Radio Frequency IDentification*).

En concreto, los sistemas RFID son una tecnología de captura e identificación automática de información contenida en etiquetas electrónicas. Cuando estas etiquetas entran en el área de cobertura de un dispositivo de lectura y grabación RFID, éste envía una señal para que la etiqueta le envíe la información almacenada en su memoria para transferirla a los sistemas de gestión.

Otra de las ventajas del uso de sistemas RFID, es que los códigos RFID son tan largos que cada etiqueta RFID puede tener un código único, mientras que los códigos UPC actuales se limitan a un solo código para todos los casos de un producto particular. La unicidad de las etiquetas RFID significa que un producto puede ser seguido individualmente mientras se mueve de un lugar a otro hasta llegar a manos del consumidor [2]. Esto puede ayudar a las compañías a combatir el hurto y otras formas de pérdida del producto. También se ha propuesto utilizar RFID para comprobación de almacén desde el punto de venta, y sustituir así al encargado de la

caja por un sistema automático que no necesite ninguna captación de códigos de barras. Sin embargo no es probable que esto sea posible sin una reducción significativa en el coste de las etiquetas actuales.

La tecnología de identificación por radiofrecuencia RFID abre un mundo de posibilidades. Una de las últimas novedades ha sido desarrollada por el Instituto Tecnológico Textil (AITEC) y la empresa Tag Ingenieros. Consiste en un sistema automático de control de usos de Equipo de Protección Individual EPI'S con tecnología RFID para mejorar la seguridad laboral. Este sistema permite a través de antenas y etiquetas RFID que se colocan en los equipos de protección individual, como pueden ser cascos, botas, guantes, mascarillas, etc., identificar al usuario, verificar que lleva puesto los equipos de protección obligatorios, el acceso a recintos y hasta bloquear la maquinaria en caso de peligro.

Con la tecnología RFID, la empresa puede controlar y disponer de la trazabilidad exacta de forma automática. Dota de inteligencia a los equipos de protección individual, permitiendo verificar su correcto uso, evitando pérdidas, controlando el acceso a zonas restringidas y actuando frente a situaciones de riesgo para el trabajador (ver Figura 1.1).



FIGURA 1.1. SISTEMA INTELIGENTE DE SEGURIDAD LABORAL EMPLEANDO RFIDS.

Otra alternativa pensada para fábricas donde hay zonas peligrosas a las que no se puede acceder. En vez de vallarlas, este sistema permite avisar a través de antenas RFID, si un trabajador está invadiendo esa área peligrosa, saltando la alarma o bloqueando directamente la máquina. Además, este sistema, permite asegurar la protección del operario en máquinas y vehículos peligrosos donde la visibilidad del conductor puede llegar a ser muy reducida.

En este TFM se ha propuesto realizar RFID pasivas mediante el uso de tecnología SOI, en concreto la parte activa de la etiqueta, empleando una estructura alternativa a la estructura convencional del MOSFET.

Generalmente en las etiquetas RFID, ya sean pasivas o semi-pasivas, hay un rectificador que convierte la energía de entrada de RF a una tensión de continua. El circuito de la Figura 1.2 es un rectificador convencional de onda completa, con dos transistores de canal-n conectados en serie [3]. Los transistores utilizados son los MOSFET de Doble Puerta ya que los mismos disponen de buenas prestaciones para diseño de CI de alta frecuencia debido a su alta frecuencia de transición (f_T), alta frecuencia de oscilación (f_{max}) y bajo nivel de ruido [4]. Los terminales de puerta y drenador de los transistores están directamente conectados. Así, los DG-MOSFETs permanecen en régimen de saturación cuando están conduciendo.

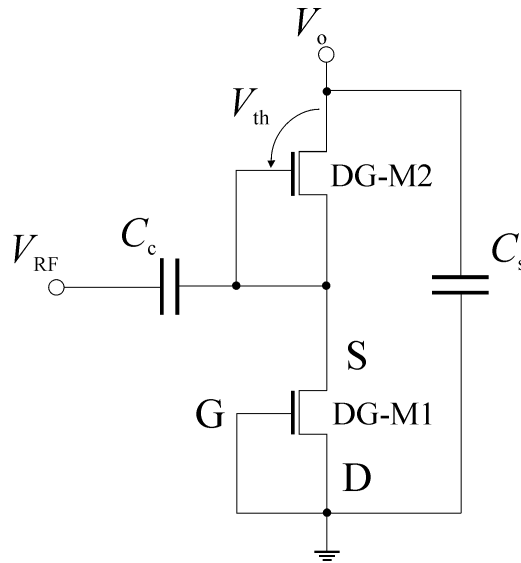


FIGURA 1.2. ESQUEMÁTICO DEL RECTIFICADOR DG-MOSFET.

El funcionamiento del rectificador de la Figura 1.2 sería el siguiente. Cuando la señal de entrada de RF, V_{RF} , está en el semiciclo negativo con $|V_{RF}| > V_{th}$, siendo V_{th} la tensión umbral del transistor. La corriente de drenador del transistor DG-M1, I_{DS1} , fluye de masa al condensador C_c , permaneciendo el transistor DG-M2 en corte. Por el otro lado, en los semiciclos positivos con $V_{RF} > V_{th}$, DG-M2 comienza a conducir y fluye su corriente de drenador I_{DS2} de C_c a C_s , permaneciendo DG-M1 cortado. En cualquier otro caso I_{DS1} y I_{DS2} son nulas.

Este proceso se repite, como se ilustra en la Figura 1.3 [5], hasta que se alcanza el régimen estacionario. Entonces, se genera una tensión continua a la salida. Finalmente, cuando DG-M2 pasa a corte, C_s puede descargarse a través de una resistencia de carga, causando un ligero rizado en la salida.

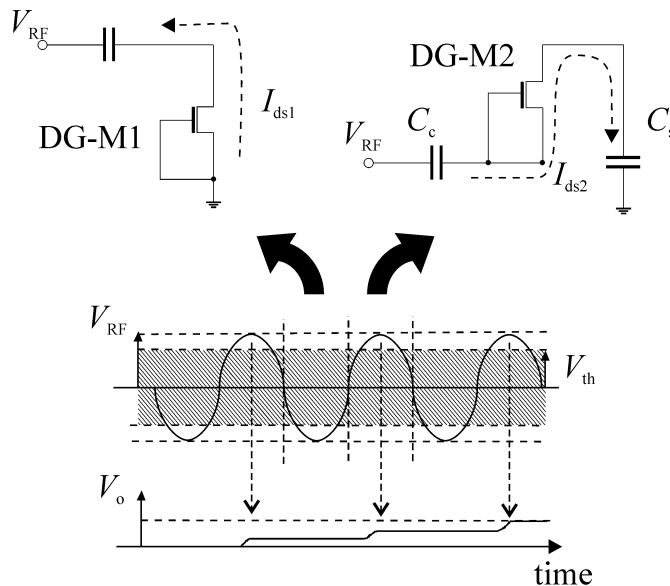


FIGURA 1.3. MECANISMO DE RECTIFICACIÓN.

En este trabajo fin de Máster se va a estudiar la posibilidad de implementar rectificadores SOI para RFIDs en UWB con MOSFETs de Doble Puerta (DG-MOSFETs) sin dopar. Con este propósito usaremos dos herramientas TCAD comerciales como son, Sentaurus Device (Synopsys) y ADS (Agilent), donde se extraerá un modelo circuital en gran señal para los transistores. Este modelo se implementará con Verilog-A para poder ser utilizados los DG-MOSFET como componentes circuital. Así, una vez las características de salida del DG-MOSFET sean comprobadas, se simulará el funcionamiento del rectificador a altas frecuencias; posteriormente se realizará una comparación de los resultados numéricos y eléctricos.



2. Modelo capacitivo para gran señal del DG-MOSFET

El esquemático del circuito equivalente en gran señal del DG-MOSFET se muestra en la Figura 2.1. En los siguientes apartados se describen como se modela cada uno de sus componentes.

La corriente de drenador en DC

La corriente en DC de drenador se basa en un modelo de control de carga presentado en [6]. La inversión de carga, Q , y la corriente de drenador, I_{ds} , se calculan respectivamente como sigue

$$Q = 2C_{ox} \left(-\frac{2C_{ox}\beta^2}{Q_0} + \sqrt{\left(\frac{2C_{ox}\beta^2}{Q_0}\right)^2 + 4\beta^2 \ln^2 \left[1 + \exp\left(\frac{V_{gs}-V_{th}+\Delta V_{th}-V}{2\beta}\right) \right]} \right) \quad (2.1)$$

$$I_{ds} = \frac{W\mu}{L} \left[2\beta(Q_s - Q_d) + \frac{Q_s^2 - Q_d^2}{4C_{ox}} + 8\beta^2 C_{Si} \ln \left(\frac{Q_d + 2Q_0}{Q_s + 2Q_0} \right) \right] \quad (2.2)$$

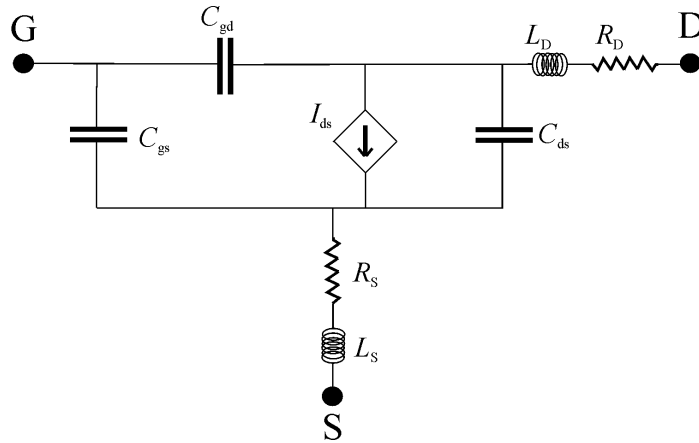


FIGURA 2.1. CIRCUITO EQUIVALENTE EN GRAN SEÑAL DEL DG-MOSFET.

donde β es la tensión térmica, $Q_0 = 4\beta C_{Si}$ ($C_{Si} = \epsilon_{Si}/t_{Si}$), $C_{ox} = \epsilon_{SiO2}/t_{ox}$, $Q_s = Q(V=0)$ y $Q_d = Q(V=V_{ds})$, y V_{th} y ΔV_{th} se obtienen en [7]. Se considera una movilidad constante, $\mu = 300 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, y la longitud de de puerta, L , y el ancho de puerta, W , se les asigna los valores $0,18 \text{ }\mu\text{m}$ and $3,6 \text{ }\mu\text{m}$, respectivamente. Las características de salida eléctricas y numéricas se comparan en la Figura 2.2, mostrando un buen ajuste.

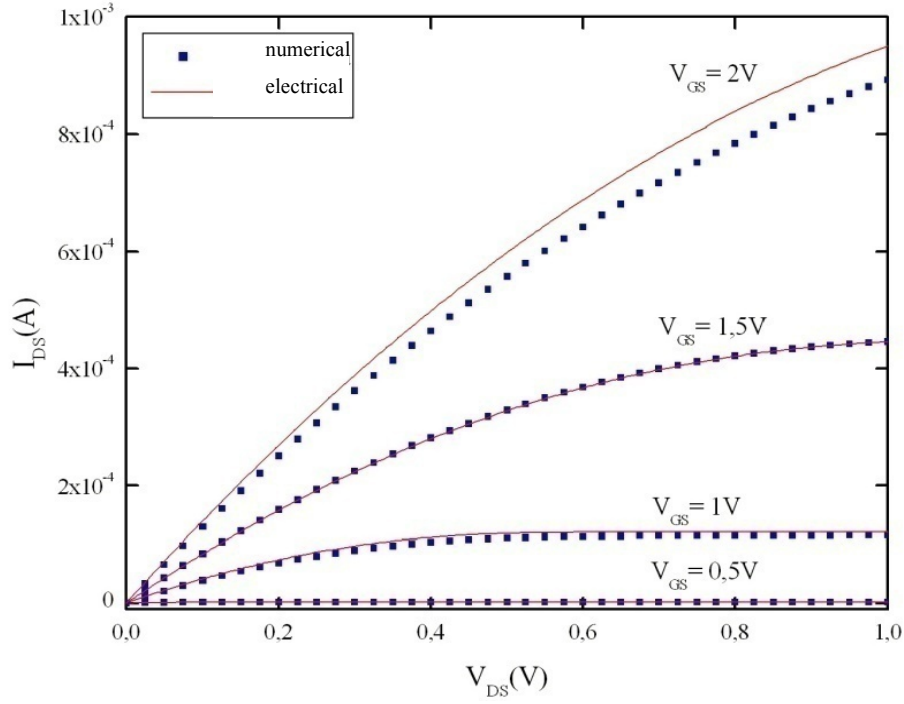


FIGURA 2.2. CARACTERÍSTICAS DE SALIDA NUMÉRICAS Y ELÉCTRICAS DEL DG-MOSFET.

Capacitancias

Para conseguir una respuesta transitoria del DG-MOSFET apropiada, las capacitancias de puerta a fuente, C_{gs} , puerta a drenador, C_{gd} , y drenador a fuente, C_{ds} , se debe incorporar en el modelo del circuito.

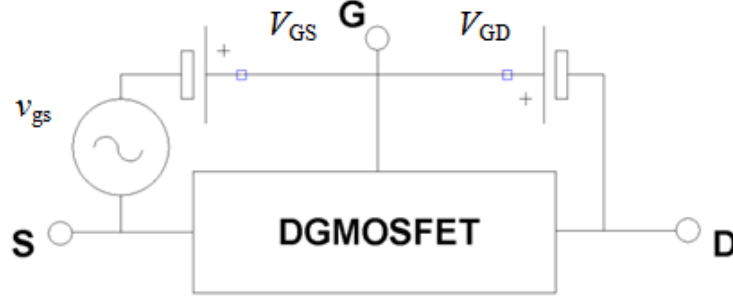
C_{gs} se calcula con el esquema de la Figura 2.3: cuando se polariza en DC, se asignan las tensiones V_{GS} y V_{GD} , y se incorpora una señal variable entre la puerta y la fuente, v_{gs} . Entonces, la tensión de puerta a fuente, V_{gs} , cumple que $V_{gs} = V_{GS} + v_{gs}$, y C_{gs} se obtiene mediante

$$C_{gs} = \left. \frac{dQ_{Tot}}{dV_{gs}} \right|_{V_{GD}} = \left(\frac{dQ_{Tot}}{dQ_s} + \frac{dQ_{Tot}}{dI_{ds}} \cdot \frac{dI_{ds}}{dQ_s} \right) \cdot \left. \frac{dQ_s}{dV_{gs}} \right|_{V_{GD}} \quad (2.3)$$

donde Q_{Tot} es la carga total en el canal [6]. Reemplazando en (2.3) la siguientes expresiones:

$$\frac{dQ_{Tot}}{dQ_s} = \frac{W^2 \mu}{I_{ds}} \cdot \left(\frac{Q_s^2}{2C_{ox}} + \beta Q_s + \frac{\beta Q_s^2}{Q_s + 2Q_o} \right) \quad (2.4)$$

$$\frac{dQ_{Tot}}{dI_{ds}} = -\frac{Q_{Tot}}{I_{ds}} \quad (2.5)$$

FIGURA 2.3. ESQUEMÁTICO PARA C_{gs} .

$$\frac{dI_{ds}}{dQ_s} = \frac{W\mu}{L} \cdot \left(2\beta + \frac{Q_s}{2C_{ox}} - \frac{8\beta^2 C_{Si}}{Q_s + 2Q_o} \right) \quad (2.6)$$

La capacitancia C_{gs} se puede escribir como

$$C_{gs} = \frac{W^2\mu}{I_{ds}} \left[\left(\frac{Q_s^2}{2C_{ox}} + \beta Q_s + \frac{\beta Q_s^2}{Q_s + 2Q_o} \right) - \frac{Q_{Tot}}{WL} \cdot \left(2\beta + \frac{Q_s}{2C_{ox}} - \frac{8\beta^2 C_{Si}}{Q_s + 2Q_o} \right) \right] \quad (2.7)$$

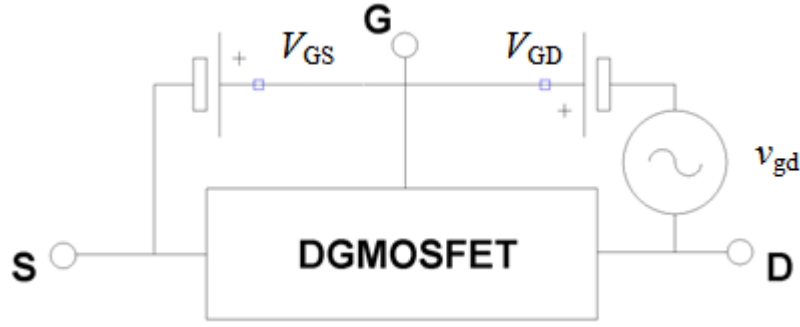
Además, aplicando el modelo de control de carga entre puerta y fuente, queda

$$\frac{dQ_s}{dV_{gs}} = \frac{1}{\frac{1}{2C_{ox}} + \beta \left(\frac{1}{Q_s} + \frac{1}{Q_s + 2Q_o} \right)} \quad (2.8)$$

Y reemplazando (2.8) en (2.7), C_{gs} es finalmente dada por

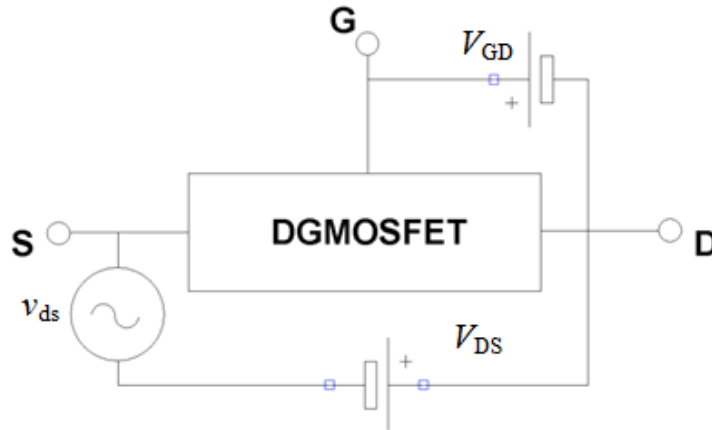
$$C_{gs} = \frac{\frac{W^2\mu}{I_{ds}} \left[\left(\frac{Q_s^2}{2C_{ox}} + \beta Q_s + \frac{\beta Q_s^2}{Q_s + 2Q_o} \right) - \frac{Q_{Tot}}{WL} \cdot \left(2\beta + \frac{Q_s}{2C_{ox}} - \frac{8\beta^2 C_{Si}}{Q_s + 2Q_o} \right) \right]}{\frac{1}{2C_{ox}} + \beta \left(\frac{1}{Q_s} + \frac{1}{Q_s + 2Q_o} \right)} \quad (2.9)$$

De una manera similar se obtiene C_{gd} , con la configuración de señales mostrada en la Figura 2.4 y considerando la simetría del DG-MOSFET, se deriva una expresión idéntica reemplazando Q_s por Q_d

FIGURA 2.4. ESQUEMÁTICO PARA C_{GD} .

$$C_{gd} = \frac{\frac{W^2 \mu}{I_{ds}} \left[\left(\frac{Q_d^2}{2C_{ox}} + \beta Q_d + \frac{\beta Q_d^2}{Q_d + 2Q_o} \right) - \frac{Q_{Tot}}{WL} \cdot \left(2\beta + \frac{Q_d}{2C_{ox}} - \frac{8\beta^2 C_{Si}}{Q_d + 2Q_o} \right) \right]}{\frac{1}{2C_{ox}} + \beta \left(\frac{1}{Q_d} + \frac{1}{Q_d + 2Q_o} \right)} \quad (2.10)$$

La configuración de gran-señal para C_{ds} se muestra en la Figura 2.5, satisfaciendo que la tensión drenador a fuente, V_{ds} , siendo $V_{ds} = V_{DS} + v_{ds}$. Entonces,

FIGURA 2.5. ESQUEMÁTICO PARA C_{DS} .

$$C_{ds} = - \left. \frac{dQ_D}{dV_{ds}} \right|_{V_{GD}} = - \left(\frac{dQ_D}{dQ_s} + \frac{dQ_D}{dI_{ds}} \cdot \frac{dI_{ds}}{dQ_s} \right) \cdot \left. \frac{dQ_s}{dV_{ds}} \right|_{V_{GD}} \quad (2.11)$$

donde Q_D es la carga total en el drenador como se ve en [4]. Por tanto,

$$\frac{dQ_D}{dQ_s} = \frac{W^3 \mu^2}{LI_{ds}^2} \cdot \left\{ \begin{aligned} & \left(\frac{\beta}{3C_{ox}} - \frac{Q_s}{12C_{ox}^2} \right) \cdot \left[\begin{aligned} & Q_d^2 - Q_s^2 + 6\beta C_{ox} \cdot (Q_d^2 - Q_s^2) - \\ & -12\beta C_{ox} Q_o (Q_d - Q_s) + \\ & +24\beta C_{ox} Q_o^2 \cdot \ln \left(\frac{Q_d + 2Q_o}{Q_s + 2Q_o} \right) \end{aligned} \right] \\ & - \frac{\beta Q_o}{3C_{ox}(Q_s + 2Q_o)} \cdot \left[\begin{aligned} & Q_d^2 - 6\beta C_{ox} Q_d^2 - 12\beta C_{ox} Q_o Q_d - \\ & -4Q_o^2 + 3Q_o Q_s^2 + 24\beta C_{ox} Q_o Q_s + \\ & +24\beta C_{ox} Q_o^2 \cdot \ln \left(\frac{Q_d + 2Q_o}{Q_s + 2Q_o} \right) - \\ & - \frac{\beta Q_o}{3C_{ox}} \cdot [2Q_o^2 - 6\beta C_{ox} Q_s - Q_s(Q_o + Q_s)] \end{aligned} \right] \end{aligned} \right\} \quad (2.12)$$

$$\frac{dQ_D}{dI_{ds}} = - \frac{2Q_D}{I_{ds}} \quad (2.13)$$

Finalmente, usando (2.6), (2.12) y (2.13) se obtiene la expresión de C_{ds}

$$C_{ds} = \frac{\left(\frac{dQ_D}{dQ_s} - \frac{2W\mu Q_D}{LI_{DS}} \right) \cdot \left(2\beta + \frac{Q_d}{2C_{ox}} - \frac{8\beta^2 C_{Si}}{Q_d + 2Q_o} \right)}{\frac{1}{2C_{ox}} + \beta \left(\frac{1}{Q_d} + \frac{1}{Q_d + 2Q_o} \right)} \quad (2.14)$$

Con esta capacitancia C_{ds} se completa el modelo capacitivo en gran señal del DG-MOSFET,

Resistencias e inductancias extrínsecas

Las resistencias e inductancias extrínsecas parasitas para el circuito equivalente en gran señal, R_d , R_s , L_d y L_s se han evaluado para un DG-MOSFET sin dopar típico como en [8]. Sus valores se indican en la Tabla 1.1.

TABLA 1.1. VALORES DE LOS ELEMENTOS PARÁSITOS

R_d (Ω)	R_s (Ω)	L_d (H)	L_s (H)
0,32	0,32	10^{-13}	10^{-13}

3. Funcionamiento del rectificador

Para explicar el funcionamiento del rectificador se tiene que todas las capacitancias, C_{gs} , C_{gd} , y C_{ds} y la corriente de drenador, I_{DS} , se pueden expresar en términos de las densidades de carga en fuente y en drenador, Q_s y Q_d . Así, éstas llegan a ser expresiones explícitas.

Por otro lado, en el rectificador bajo consideración (ver Figura 1.1), los terminales de puerta y drenador de ambos DG-MOSFETs están cortocircuitados. Esto permite simplificar y que la capacitancia C_{gd} no esté incluida en el modelo en gran señal. Por otro lado, la corriente de drenador y las capacitancias C_{gs} y C_{ds} , con $V_{gd} = 0$ V, dependen de la tensión de drenador a fuente, V_{ds} . En este caso los valores de V_{ds} varían $\pm 1,5$ V para una señal de entrada sinusoidal de 1 V de amplitud, como se ha comprobado en la simulación numérica del rectificador.

Problemas de convergencia

El circuito equivalente en gran señal del DG-MOSFET se ha introducido en ADS a través de Verilog-A[10]. Verilog-A es un lenguaje estándar industrial para modelado de circuitos analógicos. De esta manera el funcionamiento del rectificador resultante se valida con simulaciones numéricas.

Sin embargo, las simulaciones transitorias no son inmediatas, donde aparecen dos problemas: convergencia y precisión. Ambos problemas ocurren debido a las expresiones modeladas de C_{gs} y C_{ds} (9) y (14) respectivamente. En ellas aparecen indeterminaciones en el entorno $V_{ds} = 0$ V. De esta manera, cuando V_{ds} toma valores muy pequeños los valores de las capacidades presentan variaciones muy altas. Para evitar estos problemas, la solución que se ha propuesto en este trabajo es que los resultados de las expresiones (9) y (14) se aproximen mediante funciones sigmoideas (15), que son continuas y con derivadas continuas:

$$C_{\xi d}|_{V_{gd}=0} = \frac{A_0 \xi}{1 + e^{(A_1 \xi + A_2 \xi \cdot V_{DS})}} + A_3 \xi, \text{ con } \xi \text{ igual a g y d} \quad (15)$$

donde los parámetros de ajuste C_{gs} y C_{ds} , A_0 , A_1 , A_2 y A_3 se indican en la Tabla 4.1.

TABLA 4.1. PARÁMETROS DE AJUSTE PARA C_{GS} Y C_{DS} .

$A_{0g} (\text{Fcm}^{-2})$	A_{1g}	$A_{2g} (\text{V}^{-1})$	$A_{3g} (\text{Fcm}^{-2})$
$-1,26 \cdot 10^{-14}$	-15,26	15,06	$1,26 \cdot 10^{-14}$
$A_{0s} (\text{Fcm}^{-2})$	A_{1s}	$A_{2s} (\text{V}^{-1})$	$A_3 (\text{Fcm}^{-2})$
$3,28 \cdot 10^{-14}$	-4,88	11,44	$-3,28 \cdot 10^{-14}$

La bondad de este ajuste se muestra en la Figura 3.1. Resultados similares se obtienen para C_{gd} . En la Figura 3.1 no aparece representada, ya que C_{gd} es nula en el modelo circuital en gran señal.

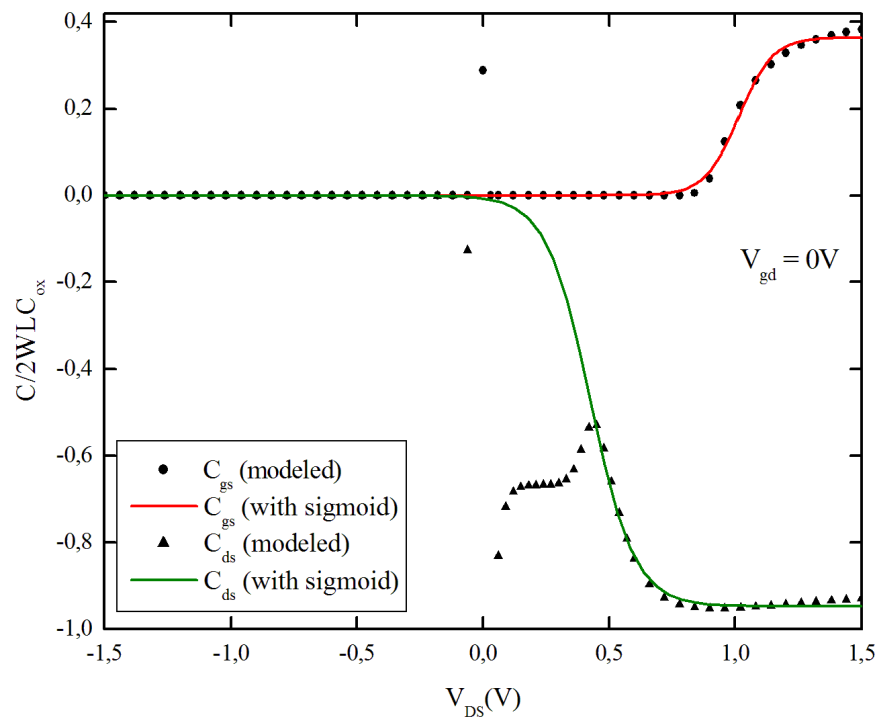


FIGURA 3.1. C_{GS} Y C_{DS} Y SUS APROXIMACIONES SIGMOIDALES.

Diferentes Estudios

En la Figura 3.2 se muestra la evolución temporal de las corrientes en los transistores, resultado de la simulación con ADS, para una señal RF de entrada de 1 V de amplitud a 1 GHz, V_{RF} , con $C_c = C_s = 1$ pF. Así, mientras DG-M1 está cortado DG-M2 está conduciendo (ver Figura 1.2), de acuerdo con los valores positivos de

V_{RF} . La respuesta opuesta se da para los valores negativos de la señal de radiofrecuencia.

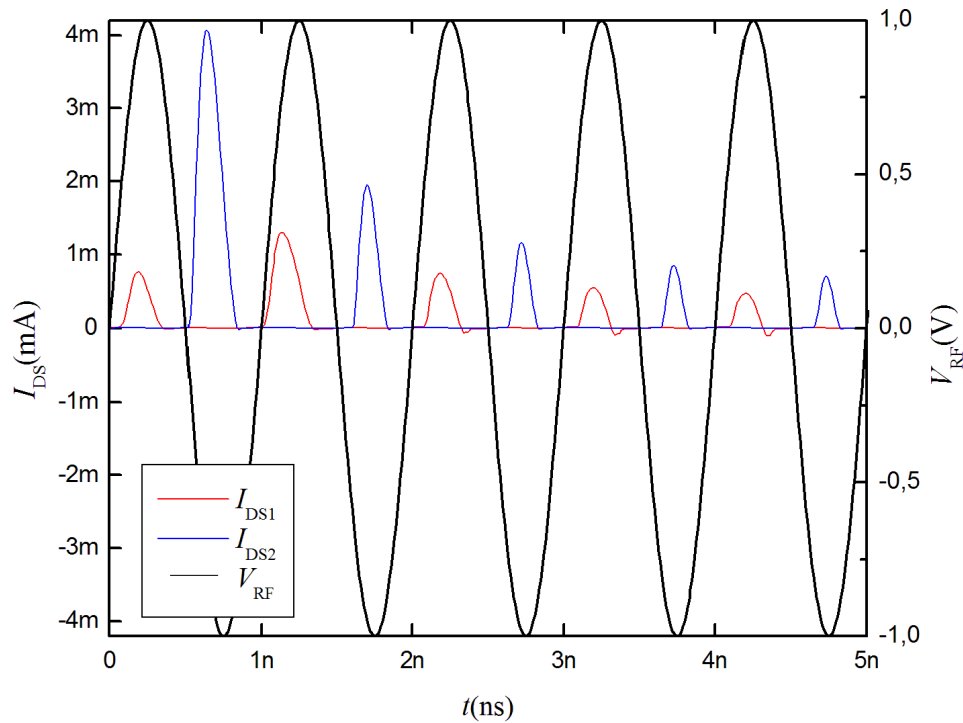


FIGURA 3.2. $I_{DS1}(-)$, $I_{DS2}(-)$ Y $V_{RF}(-)$, EN ADS PARA UNA SEÑAL DE ENTRADA DE 1 V DE AMPLITUD Y FRECUENCIA 1 GHz.

Estas corrientes de drenador modeladas se comparan con los resultados obtenidos a través de las simulaciones numéricas en las Figuras 3.3 y 3.4.

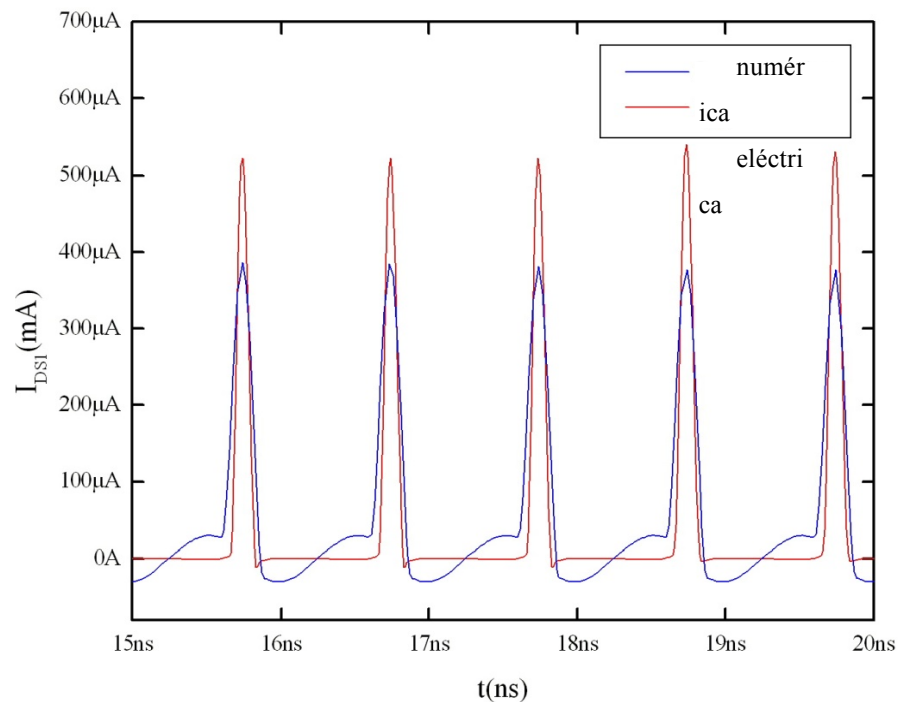


FIGURA 3.3. CORRIENTE DE DRENADOR NUMÉRICA (TRAZO AZUL) Y MODELADA (TRAZO ROJO) DEL TRANSISTOR DG-M1 EN EL RECTIFICADOR.

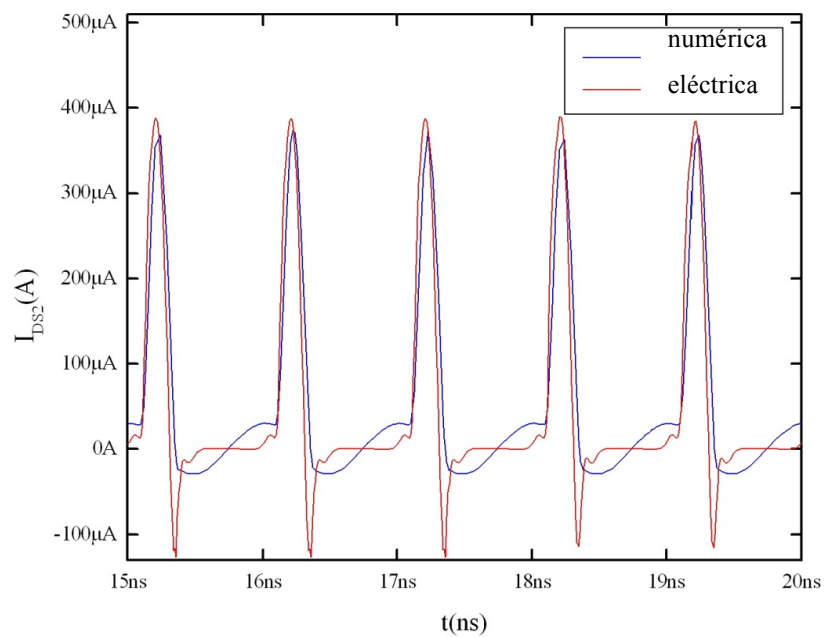


FIGURA 3.4. CORRIENTE DE DRENADOR NUMÉRICA (TRAZO AZUL) Y MODELADA (TRAZO ROJO) DEL TRANSISTOR DG-M2 EN EL RECTIFICADOR.

Una vez el rectificador se ha simulado con éxito en ADS, la señal rectificada se compara con la obtenida con Sentaurus Device. Los resultados se presentan en la

Figura 3.5, donde la tensión de salida se evalúa como el valor medio al alcanzar el régimen permanente frente a diferentes potencias de entrada.

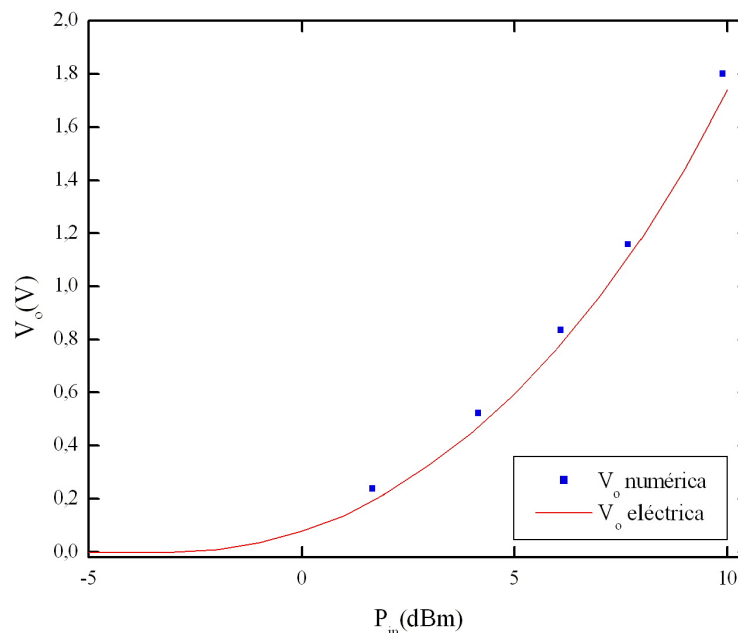


FIGURA 3.5. TENSIÓN DE SALIDA RECTIFICADA NUMÉRICA (SIMBOLOS AZULES) Y ELÉCTRICA (TRAZO ROJO).

En la Figura 3.6 se compara la tensión de salida rectificada del dispositivo estudiado a 5 GHz, con otro rectificador comercial implementado con N-MOSFETs de Texas Instruments[10]. Así, con idénticas dimensiones se obtiene una tensión DC de salida similar tanto con DG-MOSFETs como con el N-MOSFETs comercial: 0,6 V. Una de las diferencias entre un rectificador y otro es que la tensión umbral del transistor de Texas Instruments (0,37 V) es 180 mV más baja que la del DG-MOSFET (0,55 V). Lo que implica una eficiencia mayor a la hora de rectificar la energía de RF proveniente de la entrada.

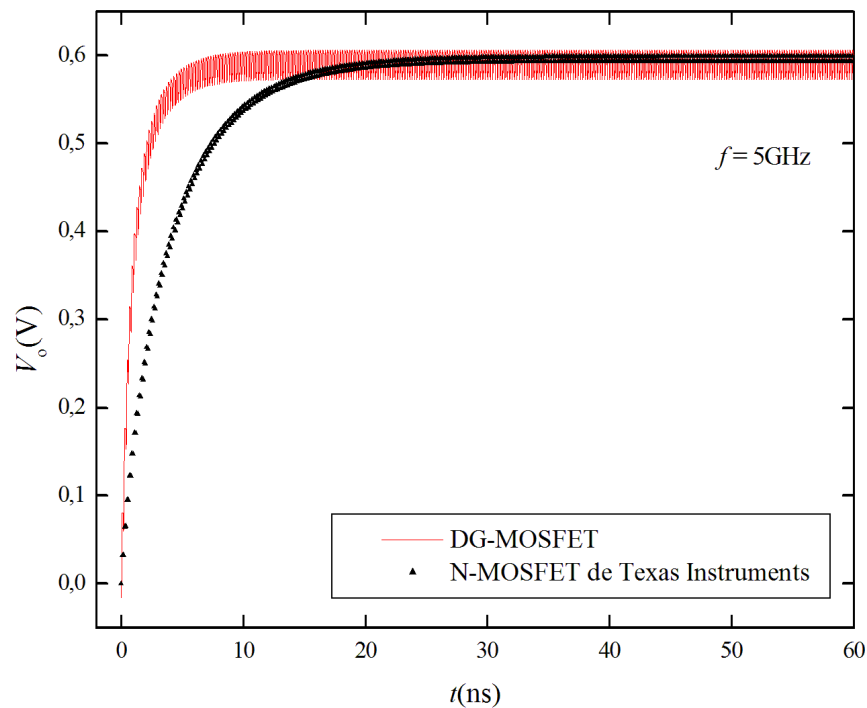


FIGURA 3.6. TENSIÓN DE SALIDA RECTIFICADA CON DG-MOSFET EN ADS (TRAZO ROJO) Y N-MOSFET DE TEXAS INSTRUMENTS EN HSPICE (SÍMBOLOS NEGROS) PARA UNA SEÑAL DE ENTRADA DE 5 DBM DE POTENCIA A 5 GHz, CON UNA RESISTENCIA DE CARGA DE 10KΩ.

Estudio del número de etapas

Otro estudio que se ha realizado en este trabajo es como influye el número de etapas en la tensión de salida del rectificador. Como se demuestra en [12] aumentar el número de etapas rectificadoras aumenta la tensión de salida rectificada. La manera de conectar las diferentes etapas es la siguiente: las entradas de las diferentes etapas irán conectadas en paralelo a la antena (en este caso, generador de tensión) y las salidas irán conectadas en serie, para que cada tensión rectificada por cada etapa se vaya sumando a la tensión de salida total del rectificador completo. Esta topología se puede observar en la Figura 3.7.

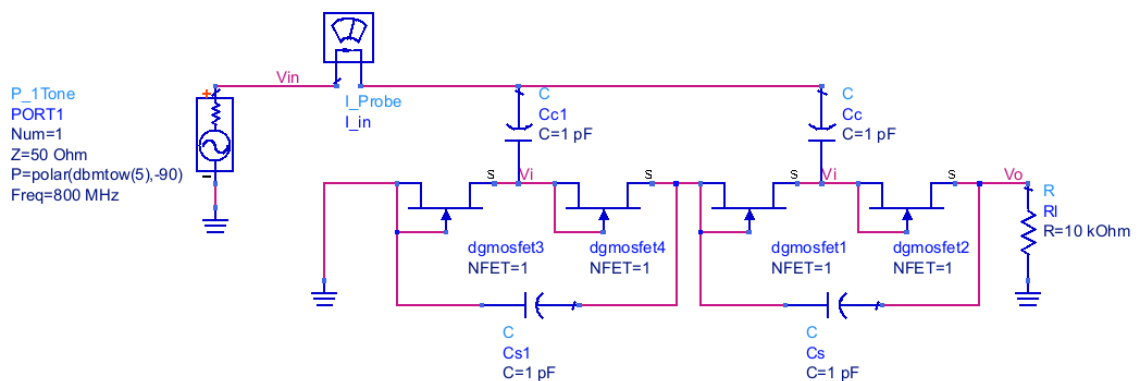


FIGURA 3.7. CIRCUITO ESQUEMÁTICO DE VARIAS ETAPAS RECTIFICADORAS IMPLEMENTADAS CON DG-MOSFETs EN ADS.

Se pueden ir añadiendo más etapas tal y como muestra la Figura 3.7, hasta alcanzar el número de etapas que proporcione una tensión de salida óptima.

La Figura 3.8 muestra la tensión de salida, cuando se varía la potencia de entrada, para diferente número de etapas: de una a cinco. Hay que indicar que para más de dos etapas la tensión de salida aumenta y, para valores más altos ésta comienza a disminuir. Por lo tanto el número óptimo de etapas en el rectificador con DG-MOSFETs es dos.

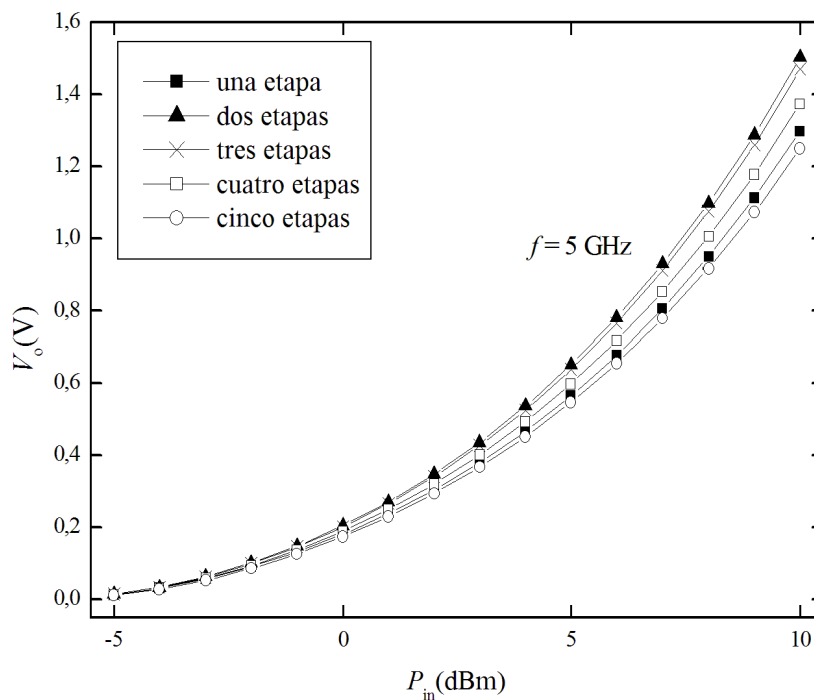


FIGURA 3.8. TENSIÓN DE SALIDA RECTIFICADA PARA DIFERENTE NÚMERO DE ETAPAS, USANDO ALUMINIO COMO ELECTRODO DE PUERTA.

Estudio del nitruro de titanio (TiN) como material de puerta

Haciendo un estudio del estado del arte

Las películas de nitruro de titanio (TiN) se han usado como electrodos de puerta en capacitores MOS[9], que se han fabricado con una capa de SiO_2 como dieléctrico de puerta, y como electrodo superior en diodos Schottky sobre sustratos de Si. La capa de TiN tiene una resistividad eléctrica de $270 \mu\Omega \text{ cm}$.

De las curvas I-V de los diodos Schottky, el factor ideal está entre 1,0 y 1,5 se extrajeron. Y estos excelentes resultados, tales como una baja densidad de carga de 1010 cm^2 , el factor ideal de 1,0, y una función de trabajo de 4,2 eV, indica que los electrodos de TiN se pueden usar para tecnología MOS y diodos Schottky.

Por lo tanto, la elección de un metal apropiado en las puertas del DG-MOSFET debe incorporarse al estudio si se quiere mejorar su funcionamiento. La Figura 3.9 muestra la mejora con el uso de TiN, cuya función de trabajo es 4,2 eV [9], esto implica que la tensión rectificadora DC con DG-MOSFET aumenta a 0,85 V.

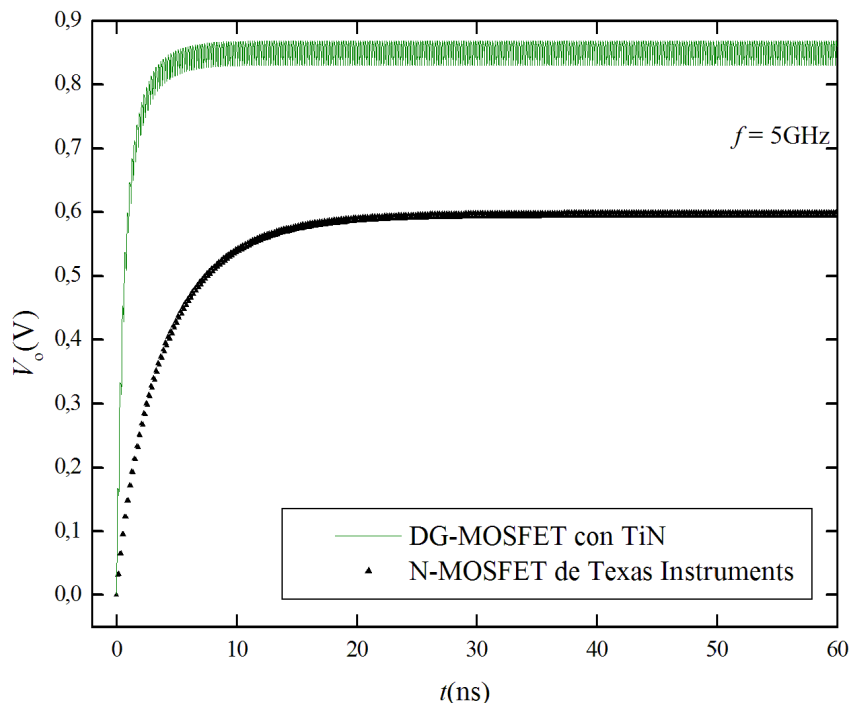


FIGURA 3.9. TENSIÓN DE SALIDA RECTIFICADA CON DG-MOSFET EMPLEANDO TiN EN PUERTA EN ADS (TRAZO VERDE) Y N-MOSFET DE TEXAS INSTRUMENTS EN HSPICE (SÍMBOLOS NEGROS) PARA UNA SEÑAL DE ENTRADA DE 5 dBm DE POTENCIA A 5 GHz, CON UNA RESISTENCIA DE CARGA DE $10 \text{ k}\Omega$.

Ahora se realiza nuevamente la simulación de tensión de salida frente a potencia de entrada para diferentes etapas, pero empleando TiN en la puerta de los DG-MOSFETs. Como se observa en la Figura 3.10, se obtiene una mejora de unos 0,22 V. Es decir, una mejora del 17,4 % con respecto a la simulación vista en la Figura 3.8 donde se empleaba aluminio como metal de puerta para los DG-MOSFETs.

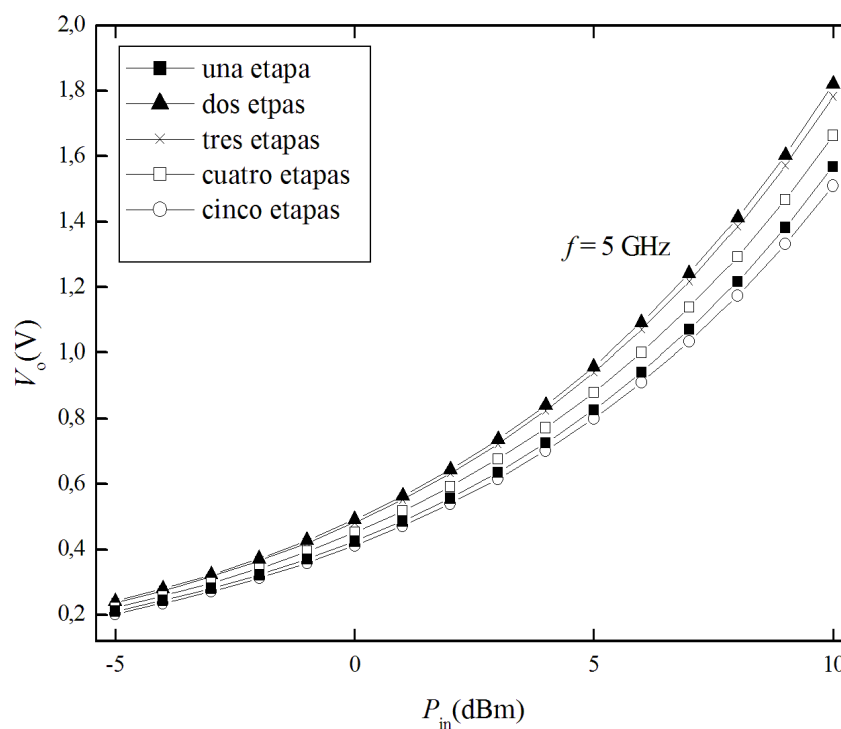


FIGURA 3.10. TENSIÓN DE SALIDA RECTIFICADA PARA DIFERENTE NÚMERO DE ETAPAS, USANDO TiN COMO ELECTRODO DE PUERTA.

Este resultado contrasta con el encontrado en [11] con N-MOSFETs convencionales, donde con seis etapas el resultado fue óptimo. Así, cuando se usa DG-MOSFETs, es necesario un menor número de etapas para alcanzar un funcionamiento óptimo de los rectificadores.

4. Efectos de Canal Corto (SCE)

Una vez la longitud de canal empieza a ser pequeña, se tienen considerar los *short-channel effects* (efectos de canal corto, SCE) debido al potencial bidimensional y elevados campos eléctricos, tales como la velocidad de saturación y el transporte balístico. Se han propuesto muchas estructuras de MOSFETs para reducir estos efectos. Algunas estructuras avanzadas representativas, tales como la memoria no-volátil semiconductor, básicamente consiste en un MOSFET con una estructura de puerta multicapa.

Una descripción cualitativa del MOSFET puede ayudar a entender las consecuencias de estos efectos de canal corto en el DG-MOSFET bajo estudio. Considerando que una tensión positiva se aplica en la puerta del dispositivo, suficientemente grande para producir una inversión en la superficie semiconductor, si se aplica una pequeña tensión en el drenador fluirá una corriente, de la fuente al drenador, a través del canal conductor. El canal actúa como una resistencia, y la corriente de drenador, I_D , es proporcional a la tensión de drenador, V_D ; ésta es la región lineal. A medida que la tensión de drenador aumenta, la corriente se desvía de esta relación lineal desde la carga que está cerca del terminal de drenador se reduce, debido a al potencial del canal $\Delta\Psi_i$. Esto eventualmente alcanza un punto en el que la carga en inversión el terminal de drenador $Q_n(L)$ se anula. Este entorno de $Q_n(L) \approx 0$ se llama el punto *pinch-off* (Fig 4.1b). En realidad $Q_n(L)$ no es cero por la continuidad de la corriente, pero es pequeña debido a su alto campo y alta velocidad de portadores. Más allá de esta polarización de drenador la corriente permanece prácticamente igual debido que, $V_D > V_{Dsat}$, el punto de *pinch-off* comienza a moverse hacia la fuente, permaneciendo su tensión constante (V_{Dsat}). Así, el número de portadores que llegan al punto de *pinch-off* desde la fuente, y por lo tanto la corriente, permanecen prácticamente igual a parte de una disminución en L al valor L' (Fig 4.1c). Este cambio de la longitud efectiva del canal incrementará la corriente de drenador solo cuando sea sustancial, como es habitual en los DG-MOSFETs.

Finalmente, en transistores con longitud de puerta muy reducida, antes de que se produzca el estrangulamiento del canal, los portadores libres alcanzan la velocidad de

saturación. La longitud efectiva del canal será ahora la de la región donde la velocidad de estos es proporcional al campo eléctrico longitudinal

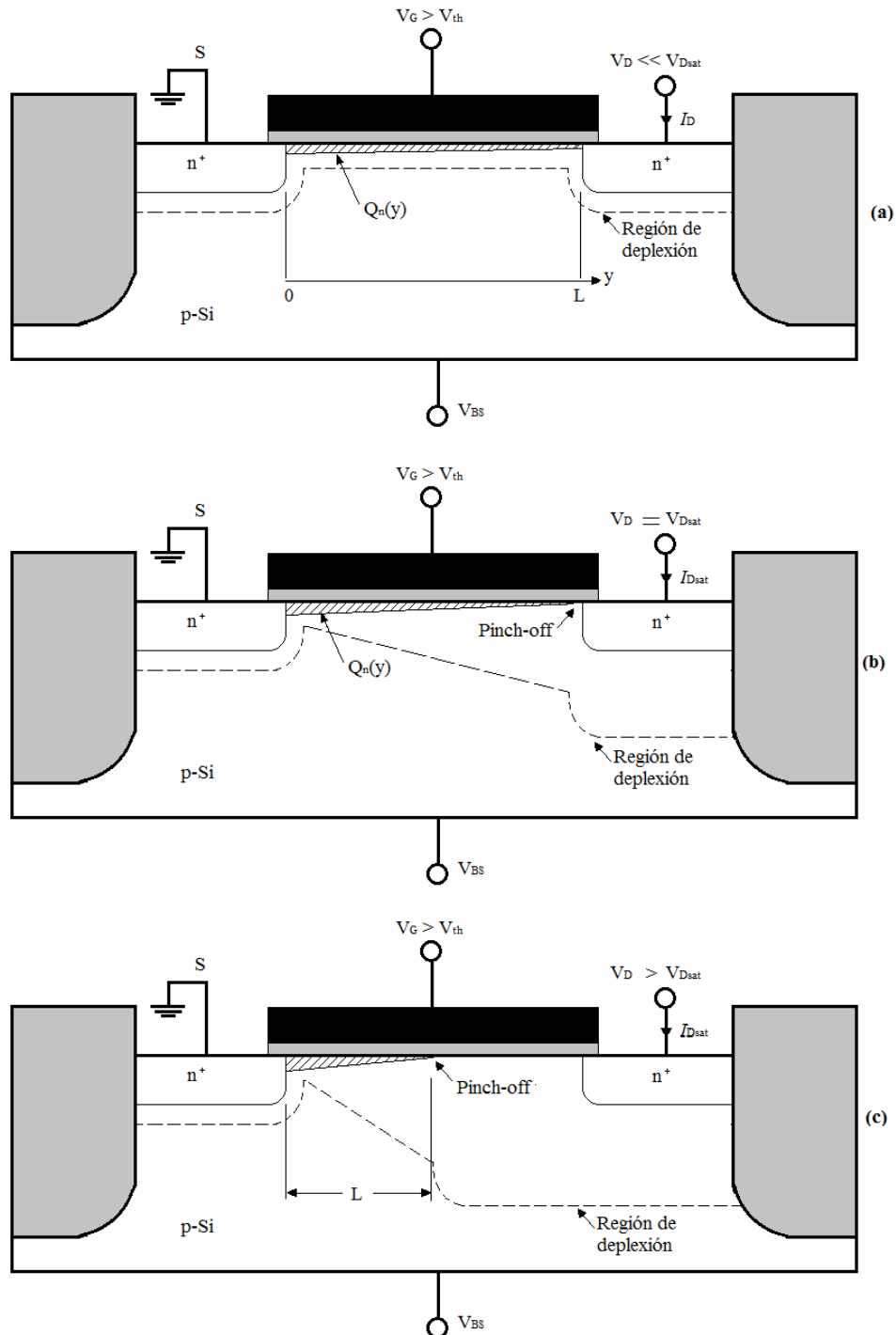


FIGURA 4.1. MOSFET FUNCIONANDO EN REGIÓN LINEAL (A) (BAJA V_D), (B) AL COMIENZO DE SATURACIÓN Y (C) SOBREPASANDO SATURACIÓN (SE REDUCE LA LONGITUD EFECTIVA DEL CANAL)

SCE en el DG-MOSFET

Una vez explicados los SCE, en esta sección extenderemos el modelo de canal largo del DG-MOSFET obtenido hasta ahora a un dispositivo de canal corto. Como en [4], se ha considerado un DG-MOSFET sin dopar ignorando los efectos cuánticos y la vaciamiento del polisilicio de puerta. Como punto de partida se ha considerado el modelo explícito de canal largo de la corriente de drenador, que se describe en el capítulo 2 (basado en el modelo de control de carga presentado en la sección 2.1). A este modelo, se añadirán progresivamente efectos de canal corto (efectos cuánticos podrían incorporarse posteriormente).

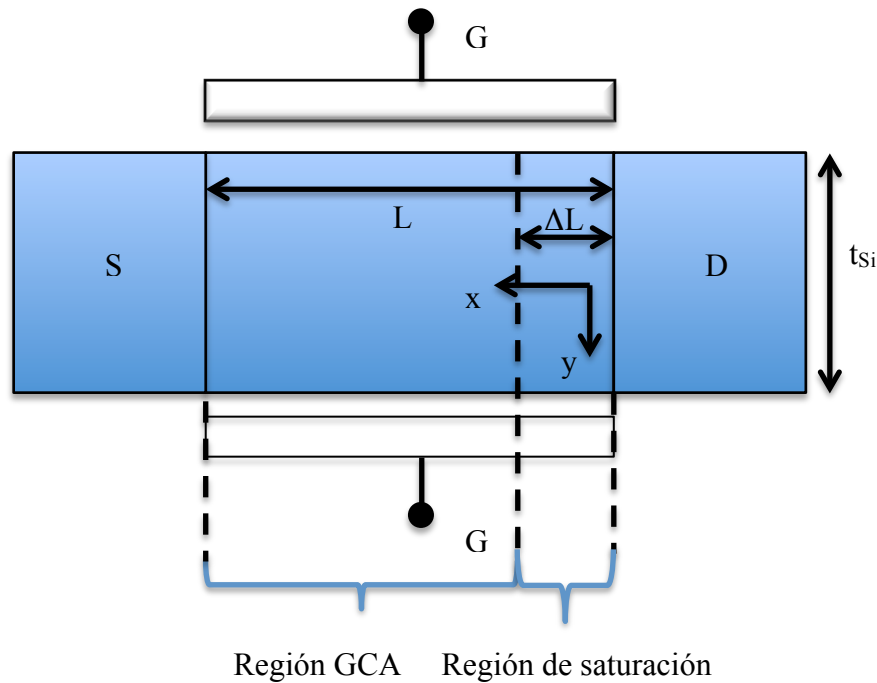


FIGURA 4.2. ESQUEMÁTICO DEL DG-MOSFET CONSIDERADO EN ESTA SECCIÓN.

Velocidad de saturación

Una de las expresiones más usadas para la tensión de drenador de saturación, cuando ésta se debe a la velocidad de saturación y no *pinch-off*, es [9]

$$V_{\text{sat}} = (V_{\text{GS}} - V_{\text{th}}) \cdot \frac{v_{\text{sat}}}{\frac{\mu_{\text{eff}}}{2L} (V_{\text{GS}} - V_{\text{th}}) + v_{\text{sat}}} \quad (4.1)$$

Siendo μ_{eff} la movilidad efectiva, v_{sat} la velocidad de saturación y V_{th} la tensión umbral. Para extender la validez de esta relación a inversión débil, se reemplaza $V_{\text{GS}} -$

V_{th} por $Q_s/(2C_{ox})$ [9], que es un término que tiende a $V_{GS} - V_{th}$ en inversión fuerte y se anula en baja inversión; Q_s representa la carga en el terminal de fuente del canal. Así,

$$V_{sat} = (Q_s/2C_{ox}) \cdot \frac{v_{sat}}{Q_s \frac{\mu_{eff}}{4LC_{ox}} + v_{sat}} \quad (4.2)$$

Sin embargo, con esta ecuación V_{sat} se anula en inversión débil, considerando que el valor teórico es $2kT/q$. Para corregir esto, se ha propuesto reemplazar Q_s en (4.2) por Q'_s . Así se tiene que:

$$V_{sat} = (-Q'_s/2C_{ox}) \cdot \frac{v_{sat}}{-Q'_s \frac{\mu_{eff}}{4LC_{ox}} + v_{sat}} \quad (4.3)$$

$$\text{con } Q'_s = Q_s + 4 \frac{kT}{q} C_{ox} \cdot \frac{v_{sat}}{v_{sat} - \frac{kT}{q} \frac{\mu_{eff}}{L}}$$

De esta manera, Q'_s tiende a Q_s en inversión fuerte y a un valor que da la V_{sat} correcta en inversión débil.

La relación usual aproximada para la dependencia de la movilidad con el campo eléctrico longitudinal es:

$$\mu = \frac{\mu_{eff}}{1 + \frac{\mu_{eff}}{v_{sat}} \cdot \frac{V_{sat}}{L - \Delta L}} \quad (4.4)$$

donde ΔL es la longitud de la región de saturación. Sin embargo, los resultados obtenidos han resultado ser mejores con la siguiente relación más precisa:

$$\mu = \frac{\mu_{eff}}{\left(1 + \left(\frac{\mu_{eff}}{v_{sat}} \cdot \frac{V_{sat}}{L - \Delta L}\right)^{n_m}\right)^{1/n_m}} \quad (4.5)$$

con $n_m = 2$. De hecho, la ecuación (4.4) es una aproximación usual de la (4.5). Si se reemplaza la ecuación anterior en la expresión de la corriente de drenador (2.2), con $L - \Delta L$ en la longitud, se obtiene:

$$I_{DS} = \frac{W\mu_{eff}}{L_e} \left[2 \frac{kT}{q} (Q_s - Q_d) + \frac{Q_s^2 - Q_d^2}{4C_{ox}} + 8 \left(\frac{kT}{q}\right)^2 C_{Si} \ln \left[\frac{Q_d + 2Q_0}{Q_s + 2Q_0} \right] \right] \quad (4.6)$$

De esta manera, I_{DS} se expresa en términos de μ_{eff} . La velocidad de saturación se tiene en cuenta en L_e , que puede ser considerada como una longitud de puerta efectiva debido al efecto de la velocidad de saturación [10]:

$$L_e = (L - \Delta L) \left[1 + \left(\frac{\mu_{eff} V_{sat}}{v_{sat}(L - \Delta L)} \right)^{n_m} \right]^{\frac{1}{n_m}} \quad (4.7)$$

Para que el modelo sea continuo durante la transición de régimen lineal a régimen de saturación, se necesita introducir una tensión efectiva de drenador, V_{deff} , que es igual a V_D en régimen lineal y tiende a V_{sat} en el de saturación. Una posible expresión es [11]:

$$V_{deff} = V_{sat} - V_{sat} \frac{\ln \left[1 + \exp \left(1 - \frac{V_{DS}}{V_{sat}} \right) \right]}{\ln[1 + \exp(A)]} \quad (4.8)$$

donde A es un parámetro de ajuste que define lo abrupto de la transición de V_{DS} a V_{sat} . Un valor de $A = 6$ funciona bien en este caso.

Resistencias serie

Para una resistencia serie de un valor no demasiado grande, R_s , su efecto puede ser modelado, en primer orden, como un término de corrección en la expresión de la movilidad efectiva:

$$\mu_{eff} = \left((\mu_{eff}^0)^{-1} + (\mu_{Rs})^{-1} \right)^{-1} \quad (4.9)$$

donde μ_{Rs} y μ_{eff}^0 son respectivamente la movilidad efectiva con y sin resistencia serie, y

$$\mu_{Rs} = \frac{1}{2C_{ox}R_sW/(L - \Delta L)(Q_d/(2C_{ox}) + 0,5V_{deff})} \quad (4.10)$$

Una posible expresión para μ_{eff}^0 es:

$$\mu_{eff}^0 = \frac{\mu_0}{1 + \theta_1 \frac{Q_s}{2C_{ox}} + \theta_2 \left(\frac{Q_s}{2C_{ox}} \right)^2} \quad (4.11)$$

donde μ_0 , θ_1 y θ_2 son, respectivamente, la movilidad a campos bajos y los coeficientes de atenuación de movilidad de primer y segundo orden; estos últimos se

pueden ver como parámetros de ajuste [12], que modelan la atenuación de μ_0 con la tensión de puerta por mecanismos de dispersión coulombianos, debido a la carga en el poli-silicio de puerta [13, 14, 15] o en rugosidad entre el óxido de puerta y el silicio [15].

Modulación de la longitud de canal

Para modelar la modulación de la longitud de canal, se necesita resolver la ecuación de Poisson en la región de saturación. Para un transistor nMOS de doble puerta simétrico y sin dopar, esta es:

$$\frac{\partial^2 \phi}{\partial^2 x^2} + \frac{\partial^2 \phi}{\partial^2 y^2} = - \frac{-qn_e(x, y)}{\epsilon_{Si}} \quad (4.12)$$

donde n_e representa la concentración de electrones libres inducida en el silicio. Para resolver dicha ecuación se usan las siguientes condiciones de contorno:

- El campo eléctrico se cancela en la mitad de la capa de silicio, $y = t_{Si}/2$:

$$\left. \frac{d\phi}{dy} \right|_{y=t_{Si}/2} = 0 \quad (4.13)$$

- Entre el óxido de puerta y el silicio, $y = 0$, el desplazamiento eléctrico es continuo:

$$\epsilon_{Si} \left. \frac{d\phi}{dy} \right|_{y=0} = \epsilon_{ox} \frac{\phi_s - V_{GS} + \Delta\phi}{t_{ox}} \quad (4.14)$$

siendo $\phi_s = \phi(y = 0)$ el potencial en la superficie del silicio y $\Delta\phi$ la diferencia de las funciones de trabajo del electrodo de puerta y el silicio intrínseco.

El potencial en el canal, donde la velocidad de los electrones se encuentra saturada, se puede aproximar a la siguiente expresión [].

$$\phi(x, y) = a + b(x)y + c(x)y^n \quad (4.15)$$

pudiendo los parámetros a , b y c evaluarse mediante la aplicación de las condiciones de contorno, originando el siguiente perfil de potencial:

$$\phi(x, y) = \phi_s + \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{\phi_s - V_{GS} + \Delta\phi}{t_{ox}} (t_{si} - y) - \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{\phi_s - V_{GS} + \Delta\phi}{n \cdot t_{ox}} \left(\frac{2}{t_{si}}\right)^{n-1} (t_{si} - y)^n \quad (4.16)$$

Para $y \leq t_{si}/2$

$$\phi(x, y) = \phi_s + \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{\phi_s - V_{GS} + V_{FB}}{t_{ox}} y - \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{\phi_s - V_{GS} + V_{FB}}{n \cdot t_{ox}} \left(\frac{2}{t_{si}}\right)^{n-1} y^n \quad (4.17)$$

Para $y > t_{si}/2$

Entonces, integrando (4.11) en el semiconductor (en profundidad), y usando (4.13) se obtiene que:

$$\int_0^{t_{si}} \frac{\partial^2 \phi}{\partial x^2} dy = -\frac{Q_m}{\epsilon_{si}} + 2 \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{\phi_s - V_{GS} + V_{FB}}{t_{ox}} \quad (4.18)$$

donde Q_m es la carga móvil en la región saturada integrada sobre todo el espesor del silicio, que es negativa para un nMOS.

Evaluando el término del lado izquierdo de (4.15), usando (4.13), se llega a que:

$$\frac{\partial^2 \phi_s}{\partial x^2} = -\frac{Q_m}{\lambda^2 2 \epsilon_{ox} / t_{ox}} + \frac{\phi_s - V_{GS} + \Delta\phi}{\lambda^2} \quad (4.19)$$

donde

$$\lambda = \sqrt{\frac{\epsilon_{si} t_{ox} t_{si}}{2 \epsilon_{ox}} + \frac{t_{si}^2}{8} \left(1 - \frac{2}{n(n+1)}\right)} = \frac{t_{si}}{2} \sqrt{\frac{1}{2} + \frac{1}{2r} - \frac{1}{n(n+1)}} \quad (4.20)$$

λ es una longitud característica que depende de la estructura del dispositivo y el perfil de potencial elegido (n), y $r = C_{ox}/4C_{si}$, siendo C_{ox} y C_{si} la capacitancia del dieléctrico de puerta y la capa de silicio, respectivamente.

Si se considera que Q_m es constante a lo largo del canal, con velocidad saturada, entonces se puede resolver fácilmente (4.17). De hecho (4.17) llega a convertirse en

$$\frac{\partial^2 \phi}{\partial x^2} - \frac{\phi}{\lambda^2} = 0 \quad (4.21)$$

con $\phi = \phi_s - V_{GS} + \Delta\phi - Q_m/2C_{ox}$

La ecuación diferencial (4.20) se resuelve con las siguientes condiciones de contorno, considerando el origen del eje x en el drenador (ver Fig 4.2):

$$\varphi(x = -\Delta L) = \varphi(\phi_s = V_{\text{deff}} + \phi_b) = \varphi_{\text{sat}} \quad (4.22)$$

$$\frac{d\varphi}{dx} = \frac{f v_{\text{sat}}}{\mu_{\text{eff}}} \quad (4.23)$$

Siendo ϕ_b el potencial superficial en la fuente, que viene dado por $\phi_b = V_{\text{th}} - \Delta\varphi$.

$f = 2$ para en nMOSFETs ($f = 1$ para pMOSFETs), con lo que se obtiene la siguiente solución para φ :

$$\varphi(x) = \varphi_{\text{sat}} \cosh\left(\frac{\Delta L + x}{\lambda}\right) + \frac{2v_{\text{sat}}}{\mu_{\text{eff}}} \lambda \sinh\left(\frac{\Delta L + x}{\lambda}\right) \quad (4.24)$$

Entonces ΔL se obtiene haciendo $\varphi_d = \varphi(x = 0) = \varphi(\phi_s = V_{\text{DS}} + \phi_b)$:

$$\Delta L = \lambda \ln \left(\frac{\varphi_d + \sqrt{\varphi_d^2 - \varphi_{\text{sat}}^2 + \left(\frac{2v_{\text{sat}}}{\mu} \lambda\right)^2}}{\varphi_{\text{sat}} + \frac{2v_{\text{sat}}}{\mu_{\text{eff}}} \lambda} \right) \quad (4.25)$$

Estas expresiones son también válidas para MOSFETs, diferenciándose solo por las expresiones de los parámetros φ_d , φ_{sat} , y λ [19]. En DG-MOSFETs $Q_m = -Q(V_{\text{GS}}, V_{\text{deff}})$, con las expresiones (2.1) y (4.8), y $Q_s = -Q(V_{\text{GS}}, 0)$.

Reducción de la barrera de puerta inducida por el drenador

La reducción de la barrera de puerta inducida por drenador, efecto conocido como *Drain Induced Barrier Lowering*, DIBL, se puede modelar mediante la resolución de la ecuación de Poisson, de la misma manera que para la modulación de la longitud de canal. Como el DIBL toma lugar en inversión débil y, por lo tanto, concierne principalmente a una conducción en medio de la capa de silicio, es más riguroso que considerar el potencial en el centro, ϕ_c , localizado en $y = t_{\text{Si}}/2$, [18].

Así ϕ_c se obtiene de (4.13) como una función de ϕ_s , debiendo reemplazar esta por ϕ_s en (4.15). Finalmente se obtiene una ecuación como en (4.17), pero con las condiciones de contorno y la variable φ diferentes. En el drenador

$$\varphi(x = 0) = \varphi(\phi_c = V_{\text{deff}} + V_{\text{bi}}) = \varphi_d \quad (4.26)$$

Y en la fuente

$$\varphi(x = -L) = \varphi(\phi_c = 0 + V_{bi}) = \varphi_s, \text{ en la fuente} \quad (4.27)$$

siendo V_{bi} el potencial de contacto de la unión de fuente y drenador. Además, se asume que V_{sat} en el centro de la película de silicio es aproximadamente la misma que en la superficie.

De esta forma, la variable φ esta vez es igual a

$$\varphi = \phi_c - V_{GS} + \Delta\varphi - \left(1 + \frac{C_{ox}}{2C_{Si}} \left(1 - \frac{1}{n}\right)\right) ((Q_s + Q_d)/2) \frac{1}{2C_{ox}} \quad (4.28)$$

siendo Q_s y Q_d la carga móvil en la fuente y el drenador, respectivamente. Aproximando cargas móviles a la media de la carga en el canal, ya que se necesita una carga constante para la integración de (4.17) a lo largo del canal, se encuentra la siguiente expresión para φ [20]:

$$\varphi(x) = \frac{\varphi_s \sinh\left(\frac{L-x}{\lambda_{DIBL}}\right) + \varphi_d \sinh\left(\frac{x}{\lambda_{DIBL}}\right)}{\sinh\left(\frac{L}{\lambda_{DIBL}}\right)} \quad (4.29)$$

donde λ_{DIBL} es la longitud característica para DIBL, es decir (4.16) con $n = 2$, que corresponde al perfil de potencial que se suele tomar en inversión débil.

El potencial mínimo para φ es [20]:

$$\varphi_{min} = 2\sqrt{\varphi_s \varphi_d} \exp\left(\frac{-L}{2\lambda}\right) \quad (4.30)$$

Cantidad que siendo nula para dispositivos de canal largo [20], se puede considerar como la barrera de potencial debida al efecto DIBL. Esta barrera de potencial se introduce entonces en el cálculo de la carga Q en (2.1)-(2.10) mediante el reemplazamiento de V_{GS} por $V_{GS} + \varphi_{min}$,

Sin embargo, el análisis previo falla en inversión fuerte, donde ϕ_{min} debería anularse [21]. Para asegurar que ϕ_{min} tiende a cero bien en inversión fuerte, y conserva el valor adecuado en inversión débil, se ha de multiplicar ϕ_{min} por un parámetro de ajuste F_{DIBL} , cuyo valor cambia progresivamente de 1 a 0 cuando se va de inversión débil a fuerte. Se propone para F_{DIBL} la siguiente expresión:

$$F_{\text{DIBL}} = \exp\left(-\left(\frac{Q_{\text{ch}}}{2\sigma_{\text{DIBL}}C_{\text{ox}}\beta}\right)^{n_{\text{DIBL}}}\right) \quad (4.31)$$

La transición comienza cuando $Q_{\text{ch}} = (Q_{\text{s}} + Q_{\text{d}})/2$ es superior a $2C_{\text{ox}}\beta$, para tensiones de puerta próximas a la tensión umbral, y se puede ajustar con los parámetros n_{DIBL} y σ_{DIBL} ; n_{DIBL} gradúa la transición, mientras que σ_{DIBL} define el umbral de la transición. La dependencia de V_{gs} y V_{ds} se incluye en la carga móvil Q_{ch} . La modulación de la longitud del canal no se tiene en cuenta, pero ésta se puede despreciar si los efectos de canal corto no son demasiado fuertes

Resultados de simulación

Generalmente, entorno a la tensión umbral, el valor del parámetro n se toma como 2 en la aproximación de canal gradual (GCA); es decir, se asume un perfil de potencial parabólico en la región lineal. Sin embargo, esto no es verdad en el caso de la región de saturación. Así, para la evaluación de la modulación de longitud de canal se asume que $n = 1$ en la región de saturación, que es una buena aproximación para el dispositivo considerado.

Sin embargo, para el cálculo del DIBL, es decir en las expresiones de φ_{s} , φ_{d} y λ_{DIBL} , el valor de n se toma como 2, debido a que DIBL principalmente ocurre en inversión débil. Los valores óptimos para σ_{DIBL} y n_{DIBL} son 1 y 10, y 1, respectivamente.

El parámetro F_{DIBL} actúa como un parámetro de ajuste para inversión moderada y cancela el DIBL en inversión fuerte...

El modelo desarrollado es para DG-MOSFETs sin dopaje en el canal. El transistor simulado se representa en la Fig. 4.2. El dopaje de las regiones de fuente y drenador es $6 \cdot 10^{20} \text{ cm}^{-3}$. Las funciones de trabajo de puerta y fuente son 4,73 y 4,1 eV, respectivamente, y los parámetros geométricos son $L = 180 \text{ nm}$, $t_{\text{si}} = 20 \text{ nm}$, y $t_{\text{ox}} = 2 \text{ nm}$.

La Figura 4.3 representa la longitud de la región de saturación, correspondiente, calculada con el modelo, en función de la tensión de drenador y para distintas tensiones de puerta.

Como era de esperar la longitud de la región de saturación, ΔL , incrementa con V_{ds} y disminuye con V_{gs} . Se ha apreciado que la influencia de V_{gs} en ΔL es principalmente

a través de la movilidad. Y el valor de ΔL puede llegar a ser una función importante de la longitud de puerta (para $V_{ds} = 2V$ y $V_{gs} = 0,5V$). Esto indica que la longitud de la región de saturación llegará a ser un parámetro más importante que incluso para MOSFETs en volumen. aproximadamente la mitad $L = 180$ nm, $t_{si} = 20$ nm y $t_{ox} = 2$ nm.

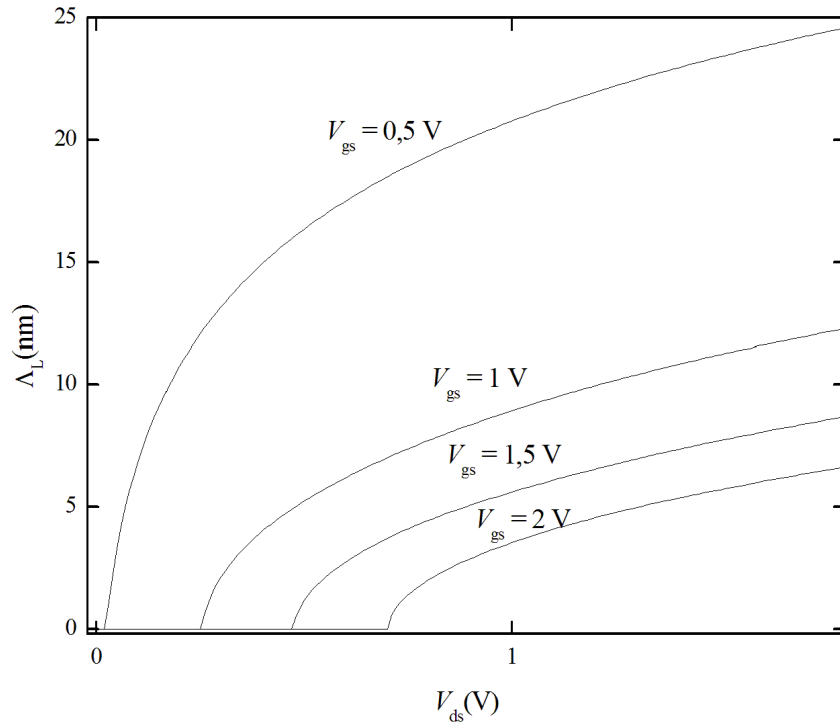


FIGURA 4.3. ΔL EN FUNCIÓN DE V_{ds} PARA DIFERENTES VALORES DE V_{gs} .

En la Figura 4.4 se representa el ajuste de las curvas IDS-VDS del modelo con las de las simulaciones en Sentaurus Device. La pendiente en régimen subumbral del modelo está subestimando la de la simulación numérica. Esto es debido a que el parámetro de ajuste aquí empleado, es la movilidad efectiva, μ_{eff} . Esta se modela a partir de otros parámetros como θ_1 , θ_2 , ΔL y V_{deff} , creándose una dependencia de datos. A la hora de realizar las simulaciones, en las llamadas a las funciones correspondientes se debe hacer de forma recurrente. Esto es un problema a la hora de realizar simulaciones transitorias con el rectificador, ya que no se obtiene convergencia por parte del simulador eléctrico ADS. Por tanto, se ha optado por reducir la dependencia de datos empleando los valores medios extraídos de las simulaciones en DC de la movilidad efectiva. Esto reduce la precisión del modelo con respecto a las simulaciones numéricas, pero permite realizar simulaciones transitorias

con el circuito rectificador. Se sigue trabajando para mejorar el cálculo de este parámetro sin comprometer la convergencia de las simulaciones transitorias.

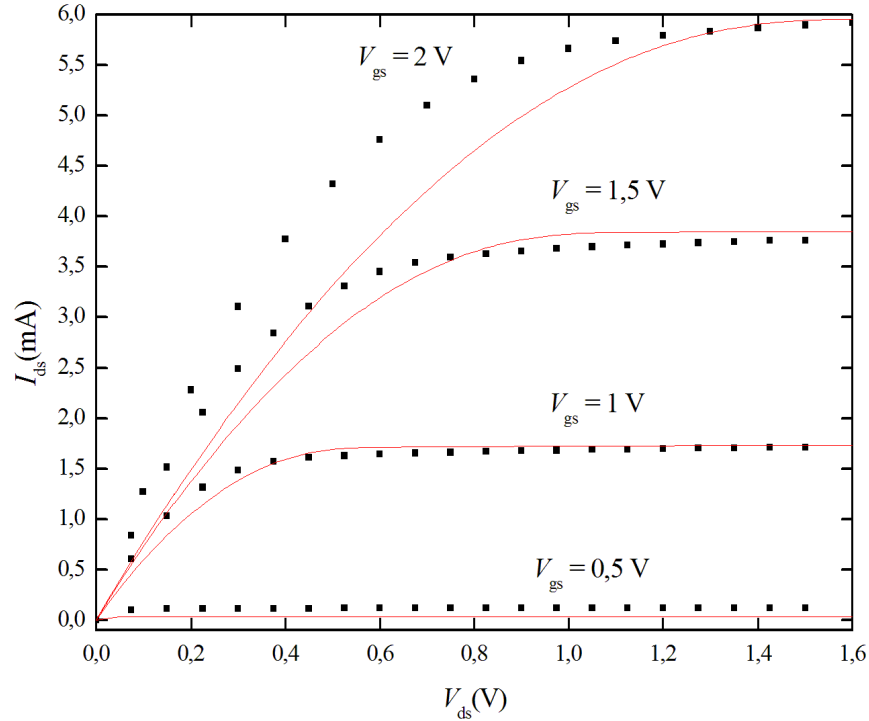


FIGURA 4.4. COMPARACIÓN DEL MODELO CON SIMULACIONES NUMÉRICAS CON SENTAURUS DEVICE.

Después de solucionar el problema de convergencia derivado del cálculo de μ_{eff} , se realizó una simulación transitoria para obtener la tensión rectificada de salida variando la potencia de entrada con y sin los SCE para la configuración del rectificador con dos etapas, que fue la que mejores características de salida dio, como ya se mostró en el capítulo anterior. Esta comparación se puede observar en la Figura 4.5. En esta simulación ya se está teniendo en cuenta que el metal de puerta empleado es el TiN, que reduce la tensión umbral aumentando por tanto la tensión de salida.

Por último, se realiza una simulación transitoria del rectificador DG-MOSFET con dos etapas, empleando TiN como metal de puerta y teniendo en cuenta los SCE, a una frecuencia de 5 GHz y con una potencia de entrada de $P_{in} = 5\text{dBm}$

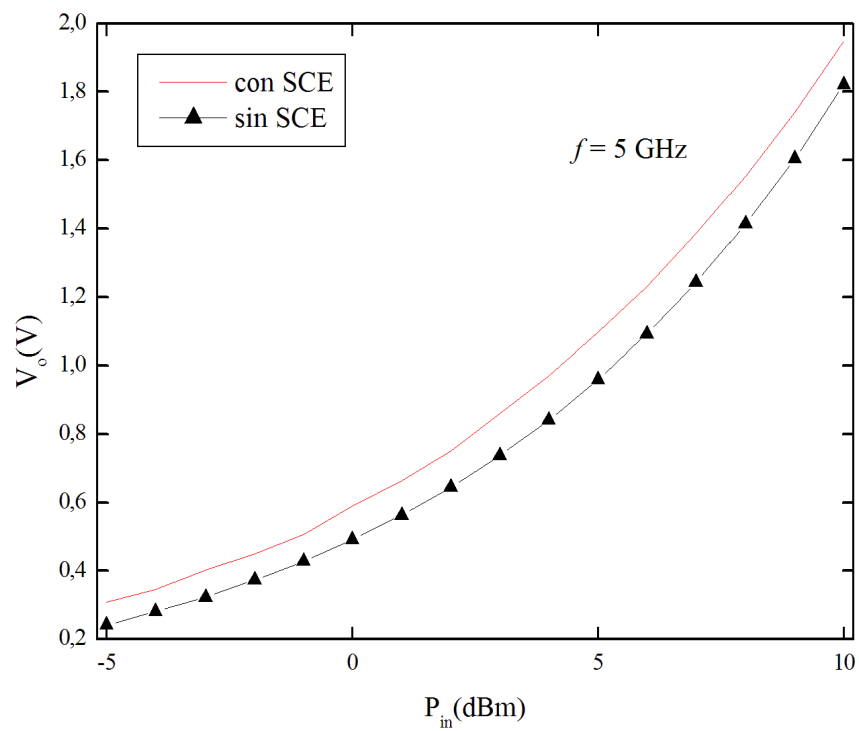


FIGURA 4.5. V_o FRENTE A POTENCIA DE ENTRADA TENIENDO EN CUENTA SCE (TRAZO ROJO) Y SIN SCE (TRAZO NEGRO CON SIMBOLOS).

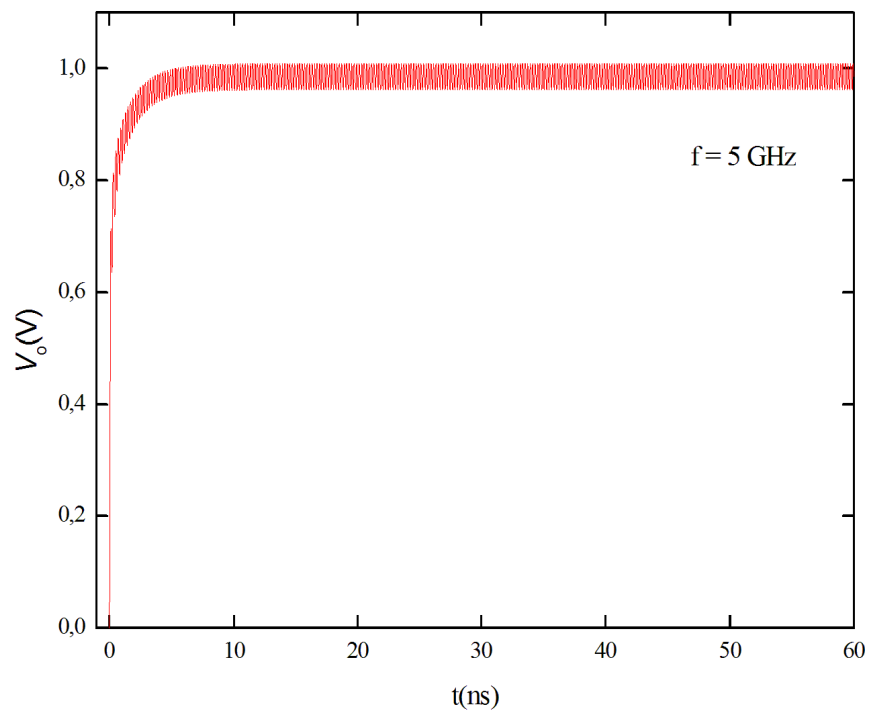


FIGURA 4.6. TENSIÓN DE SALIDA DEL RECTIFICADOR DG-MOSFET CON DOS ETAPAS Y TENIENDO EN CUENTA SCE, PARA UNA POTENCIA DE ENTRADA $P_{IN} = 5$ DBM.



6. Conclusiones

Este trabajo valida la tecnología SOI para diseñar RFIDs en UWB. Mediante el uso de modelos compactos de DG-MOSFETs, implementados en ADS con Verilog-A, se han simulado eléctricamente rectificadores RFID, validando los resultados con simulaciones numéricas.

En resumen en este TFM se han conseguido los siguientes objetivos:

- Completar el modelo capacitivo para gran señal del DG-MOSFET, desarrollado durante el PFC
- Incluir los efectos de canal corto en la corriente modelada de DG-MOSFET
- Estudio de materiales alternativos a emplear en la puerta del transistor, con el fin de reducir la tensión umbral del mismo.
- Comparativa de la rectificación con DG-MOSFETs y tecnología CMOS convencional (Texas Instruments, UMC-90nm).

Como líneas futuras se plantean las siguientes líneas:

- Añadir efectos cuánticos al modelo del DG-MOSFET para obtener un funcionamiento más preciso del modelo.
- Diseño y fabricación de prototipos de rectificadores empleando SOI.
- El estudio del DG-MOSFET para aplicaciones digitales, tales como memorias y procesadores.



Referencias

- [1] Raúl Rodríguez del Rosario, “Estudio en tecnología SOI de RFIDs en UWB”, PFC, EITE, Universidad de Las Palmas de G.C., 2012.
- [2] K. Kotani, A. Sasaki, and T. Ito, “High-Efficiency Differential-Drive CMOS Rectifier for UHF RFIDs”, IEEE J. of Solid-State Circuits, vol. 44, 2009, pp. 3011-3018.
- [3] A. Lázaro, A. Cerdeira, M. Estrada, B. Nae, B. Iñiguez, “Estudio de linealidad para transistores DG-MOSFETs”,
- [4] M. Usami, A. Sato, K. Sameshima, K. Watanabe, H. Yoshigi, and R. Imura, “Powder LSI: An ultra small RF identification chip for individual recognition applications”, IEEE Int. Solid State Circuits Conf., pp. 398-399, 2003.
- [5] B. Iñiguez, T.A. Fjedly, A. Lazaro, F. Danneville, and M.J. Deen, “Compact modeling Solutions for Nanoscale Double-Gate and Gate-All-Around MOSFETs”, IEEE T. on Electron Devices, vol. 53, 2006, pp. 2128-2142.
- [6] O. Moldavan, “Development of Compact Small-Signal Quasi-Static Models for Multiple Gate MOSFETs”, PhD Thesis, DEEAE, U. Rovira i Virgili, 2008.
- [7] D. E. Ward, and Robert W. Dutton, “A Charge-Oriented Model for MOS Transistor Capacitances”, IEEE J. of Solid-State Circuits, vol. SC-13, 1978, pp. 703-708.
- [8] N. B. Mihai, “Compact Modeling of the RF and Noise Behavior of Multiple-Gate MOSFETs”, PhD Thesis, DEEAE, U. Rovira i Virgili, 2011
- [9] L.P.B. Lima, J.A. Diniz, I. Doi, and J. Godoy Fo, “Titanium nitride as electrode for MOS technology and Schottky diode: Alternative extraction method of titanium nitride work function”, Microelectronic Engineering 92 (2012) 86–90.
- [10] Verilog-A and Verilog-AMS Reference Manual, Advanced Design System (ADS) 2008, Agilent Technologies, 5301 Stevens Creek Blvd., Santa Clara, CA 95052 USA.

- [11] Texas instruments
- [12] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, and S. Otaka, "A 950-MHz Rectifier Circuit for Sensor Network Tags with 10-m Distance", IEEE J. of Solid-State Circuits, vol. 41, 2006, pp. 35-41.
- [13] B. B. Iniguez and A. Garcia, "An Improved C_{∞} -Continuous Small-Geometry MOSFET Modeling for Analog Applications", Analog Integrated Circuits and Signal Processing 13, pp.241–259, 1997
- [14] Y.A. El-Mansy and A.R. Boothroyd, "A simple two-dimensional model for IGFET operation in the saturation region", IEEE Trans. Electron devices, vol 24, no.3, pp.254-261, 1977
- [15] C.C. McAndrews, B.K. Bhattacharyya and O. Wing, "A single-piece C-continuous MOSFET model including subthreshold conduction", IEEE Electron Device Letters 12, pp.565-567, October 1991
- [16] F. Lime, C. Guiducci, R. Clerc, G. Ghibaudo, C. Leroux and T. Ernst, "Characterization of effective mobility by split C(V) technique in N-MOSFETs with ultra-thin gate oxides", Solid-State Electronics, vol. 47, no. 7, pp: 1147-1153, 2003
- [17] M. Krishnan, Y.-C. Yeo, Q. Lu, T.-J. King, J. Bokor and C. Hu, "Remote charge scattering in MOSFETs with ultra-thin gate dielectrics", Int. Electron Dev. Meeting Tech. Dig. December (1998), pp. 571–574.
- [18] M.S. Krishnan, L. Chang, T.-J. King, J. Bokor and C. Hu, "MOSFETs with 9 to 13 Å thick gate oxides", IEDM Tech. Dig. December (1999), pp. 241–244
- [19] M. Fischetti, D. Neumayer and E. Cartier, "Effective electron mobility in Si inversion layers in metal–oxide–semiconductor systems with a high-k insulator: The role of remote phonon scattering". J. Appl. Phys. Vol. 90, no. 9, pp: 4587-4608. 2001.
- [20] K.K. Young, "Short-channel effects in fully depleted SOI MOSFETs", IEEE Trans. Electron Devices, vol 36, no. 2, pp.399-402, 1989
- [21] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, Y. Arimoto, "Scaling theory for double-gate SOI MOSFET's", IEEE Trans. Electron Devices, vol 40, no.12, pp.2326-2329, 19

-
- [22] H.C. Chow, W.S. Feng, "An Improved Analytical Model for Short-Channel MOSFET's", IEEE Trans. Electron Devices, vol 39, no.11, pp.2626-2629, 1992
- [23] R.H. Yan, A. Ourmazd, K.F. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk", IEEE Trans. Electron Devices, vol 39, no.7, pp.1704-1710, 1992
- [24] M.S. Shur, T.A. Fjeldly, T. Ytterday and K. Lee, "Unified MOSFET model", Solid-State Electronics, pp. 1795-1802, 1992
- [25] D. Jiménez, B. Iñiguez, J. Suñé, L. F. Marsal, J. Pallarès, J. Roig and D. Flores, " Comment on "New current-voltage model for surrounding-gate metal oxide semiconductor fieldeffect transistors", [Jpn. J. Appl. Phys. 44 (2005) 6446],” Japanese Journal of Applied Physics Part 1-Regular Paper Brief Communications & Review Papers, vol. 45, no.7, p: 6057, 2006



Anexo

Una vez adquiridos conocimientos a través del estudio del DG-MOSFET y sobre las particularidades de las diferentes configuraciones de rectificadores, se realizan varios de ellos empleando tecnología MOS estándar de la librería UMC 90 nm, con la herramienta TCAD de diseño CADENCE.

Para ello, se sigue la misma topología empleada con el circuito rectificador de DG-MOSFETs, pero esta vez empleando los transistores N-MOS que vienen incluidos en la librería de UMC 90, dando como resultado el esquemático mostrado en la Figura 5.1.

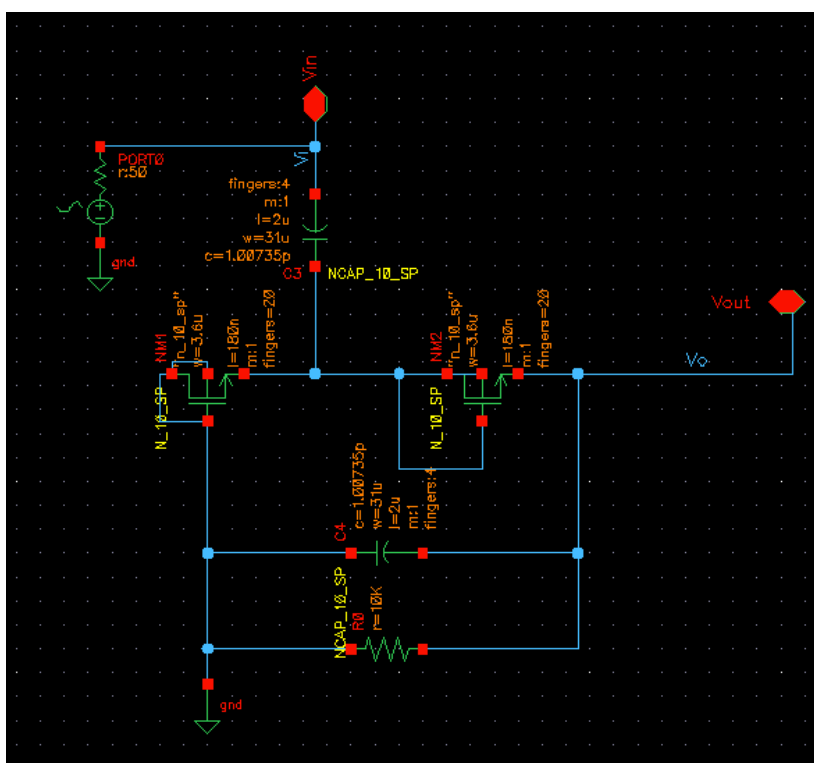


FIGURA 5.1. ESQUEMÁTICO DEL RECTIFICADOR EMPLEANDO TRANSISTORES DE LA LIBRERÍA DE UMC 90 NM CON CADENCE.

Una vez se tiene implementado el esquemático para una sola etapa con UMC 90 nm, se realiza una simulación transitoria en las mismas condiciones que con el rectificador DG-MOSFET, para tener una referencia con la que poder comparar resultados. En la Figura 5.2 se muestra la tensión de salida resultante. Como puede observarse, la tensión de salida alcanza un valor máximo de 2 V, mayor que con el rectificador DG-MOSFET. Sin embargo, debido al gran rizado que posee, la tensión de salida promedio está entorno a los 0,75 V

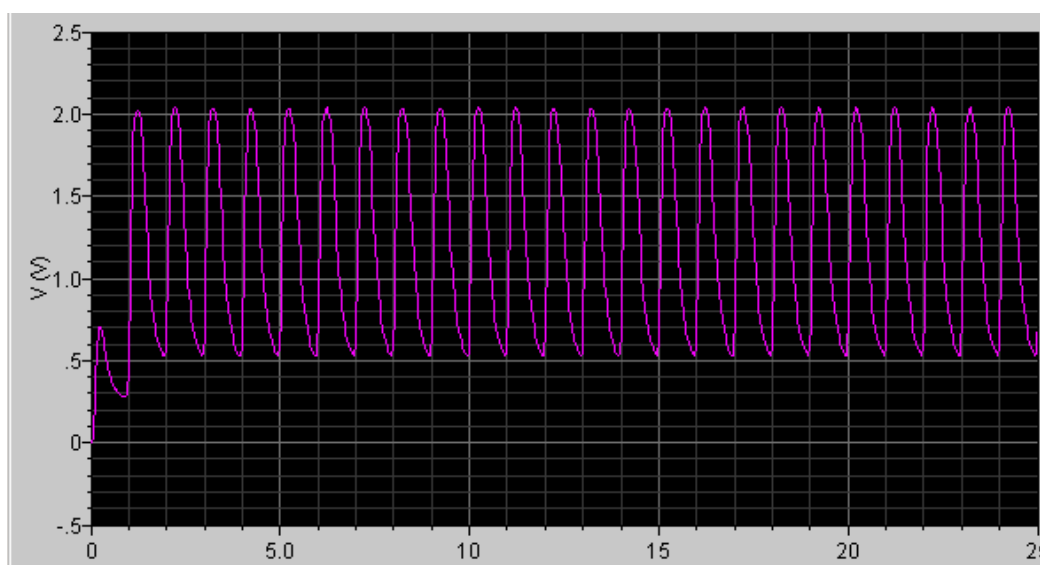


FIGURA 5.2. TENSIÓN DE SALIDA RECTIFICADA EMPLEANDO RECTIFICADOR UMC 90 NM CON LOS MISMOS PARÁMETROS QUE EL DG-MOSFET.

A partir del resultado de esta primera simulación transitoria, y con el objetivo de mejorar la tensión de salida, se plantea variar los diferentes parámetros accesibles al diseñador, que influyen en el circuito rectificador, tales como los valores de los condensadores y las dimensiones de los transistores. Así, se ha encontrado la importancia de que la capacidad de los condensadores de entrada sea muy inferior a la de los de salida: $C_{in} \ll C_s$. Así se consiguen mayores tensiones de salida en el rectificador. También se ve una clara influencia de las dimensiones de los transistores en la tensión de salida, proporcionando una mejor o peor adaptación a la señal de entrada.

Por lo tanto, para encontrar los valores que proporcionen una tensión rectificada máxima, se realizan diversas simulaciones variando estos parámetros y ajustándolos en función de los resultados; los que mejores resultados proporcionen se resumen en la tabla 5.1, junto con la tensión de salida resultante, al variar el número de etapas. A modo de ejemplo, la Figura 5.3 muestra la tensión de salida rectificada empleando los valores correspondientes a tres etapas. Comparando la tensión de salida con la obtenida anteriormente con una sola etapa, y las dimensiones de los DG-MOSFETs (Tabla 5.1), se observa una mejor rectificación y menor rizado.

TABLA 5.1. DIMENSIONES Y VALORES DE LOS DIFERENTES COMPONENTES DEL RECTIFICADOR.

E t a p a s	Transistores			C_{in}				C_s				V_{out}
	W (μm)	L (nm)	Dedos	W (μm)	L (nm)	Dedos	C (fF)	W (μm)	L (nm)	Dedos	C (fF)	
3	2	255	10	6,4	800	4	45,9	199,6	2	40	6,5 /10	1,89
4	2	255	10	6,4	860	4	45,9	199,6	2	40	6,5 /10	2,05
5	2	255	10	6,4	800	4	45,9	199,6	2	40	6,5 /10	2,12

A continuación, en base a la Tabla 5.1, se eligen las capacidades, las dimensiones de los transistores y el número de etapas óptimo para el diseño del layout del rectificador UMC 90 nm. Considerando los datos extraídos de esta tabla, en la Figura 5.3 ya se puede observar una tensión de salida rectificada con un nivel de tensión mayor y menor rizado.

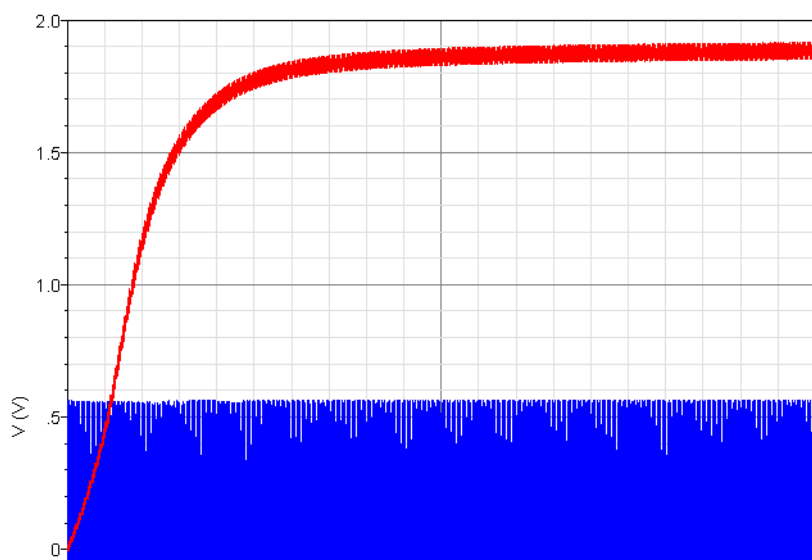


FIGURA 5.3. TENSIÓN DE SALIDA RECTIFICADA PARA UN RECTIFICADOR DE TRES ETAPAS EMPLEANDO COMPONENTES DE UMC-90 NM.

Diseño del layout de los rectificadores

Una vez optimizados los parámetros del número de etapas, valores de las capacidades y dimensiones de los transistores se pasa al diseño del layout de los rectificadores.

Se elegirán los transistores y condensadores proporcionados por la librería de UMC 90 nm, que se pueden editar, ajustando sus dimensiones y valores a los de la Tabla 5.1.

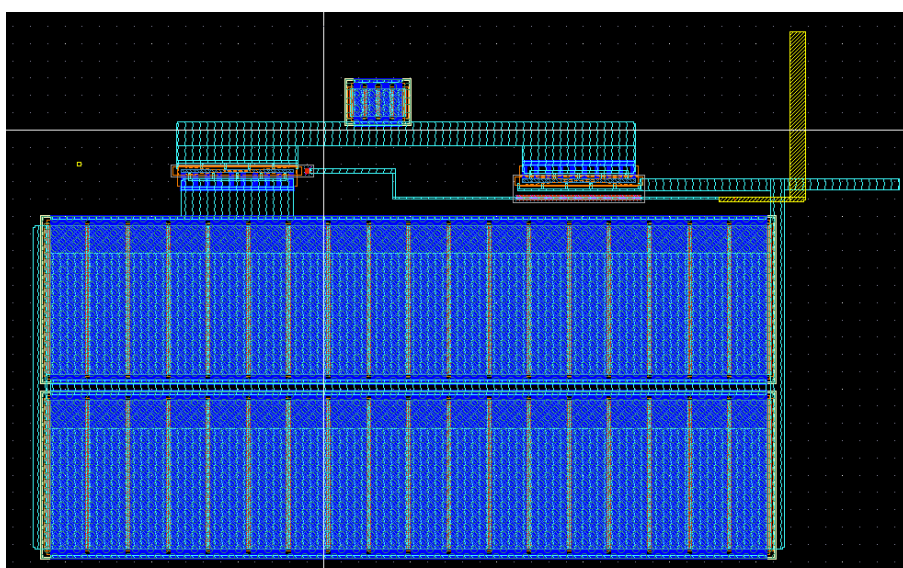


FIGURA 5.4. LAYOUT DE UNA ETAPA DEL CIRCUITO RECTIFICADOR.

Como puede apreciarse en la Figura 5.4, el área ocupada por el condensador de salida es considerablemente mayor que las áreas de los dos transistores y el condensador de entrada, juntos (esto ya se refleja en la Tabla 5.1, donde tomando como referencia el tamaño de puerta de los componentes, puede verse que los transistores tienen una anchura de puerta de $W = 2 \mu\text{m}$, el condensador de entrada, C_{in} , de $W = 6,4 \mu\text{m}$ y el condensador de salida, C_s , de $W = 199,6 \mu\text{m}$).

Una vez se tiene el layout de una etapa básica rectificadora, basta con replicarla y conectar tantas etapas como se requiera. Se ha tenido especial cuidado con las distancias mínimas entre componentes y metalizaciones, a parte de evitar el efecto de radiación (efecto antena) en las metalizaciones más largas, empleando diferentes niveles de metal. Una vez resueltos todos los problemas de diseño se pasa a la simulación del circuito extraído del layout, más preciso que el esquemático, al tener en cuenta las capacidades y resistencias parásitas propias del circuito.

Simulaciones post-layout del circuito rectificador

Para tener unos resultados de simulación lo más precisos posible se realizan simulaciones con el circuito extraído. Para llegar al mismo, ante se deben verificar las reglas de diseño (DRC) y pasar el test circuital (LVS) con Assura, para comprobar que cumple todos los requisitos de fabricación.

Hay que indicar que este TFM se ha realizado como colaboración con la Universidad Rovira i Virgili (Tarragona), en el contexto del proyecto de investigación “RFID y sensores inalámbricos basados en UWB y tecnologías avanzadas”. (TEC 2011-28357-CO2-02). En él, los rectificadores a utilizar requieren unos requisitos mínimos para las aplicaciones que están realizando. En base a estos requisitos, se han simulado los circuitos rectificadores con mejores prestaciones a diferentes frecuencias, 500 MHz y 1 GHz, con diferentes impedancias de carga, a 50 Ω y a 1 M Ω , y variando la potencia de entrada, -1dBm y 5dBm, para tener una idea de las medidas que se van a obtener una vez se tengan los prototipos. Algunos ejemplos de estas simulaciones se pueden observar en las siguientes figuras, con el rectificador de cinco etapas. En la Figura 5.5 se aprecia que tras 20 μ s la señal rectificada con $P_{in} = -1$ dBm a 1 GHz y 1 M Ω de carga, vale 0,825 V (1,81 V con el esquemático). A 500 MHz el valor de rectificación (0,827 V) no varía. Para la Figura 5.6 se emplea una impedancia de carga de 50 Ω y no se produce rectificación en la salida (rizado de 1 mV).

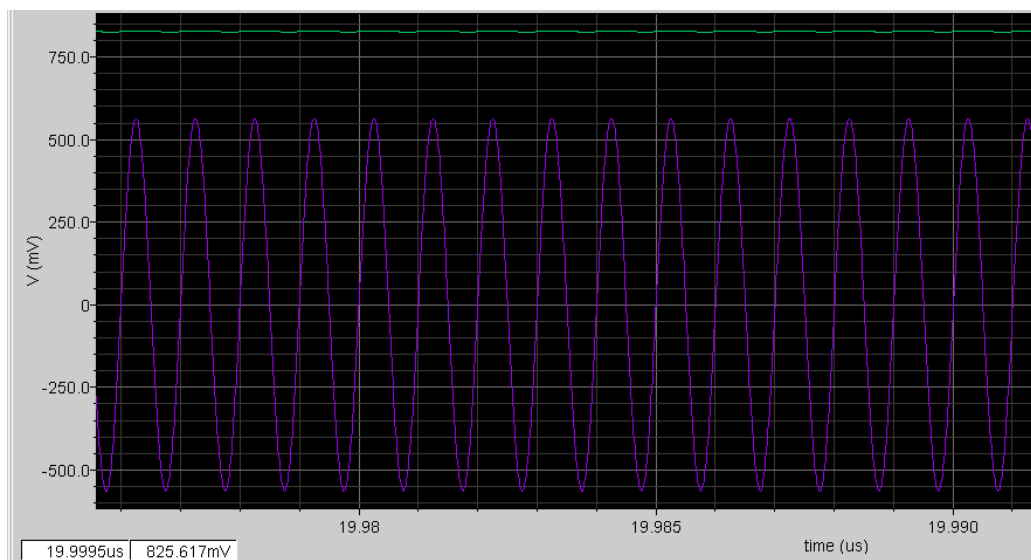


FIGURA 5.5. RECTIFICACIÓN CON CINCO ETAPAS DEL CIRCUITO EXTRAÍDO CON $P_{in} = -1$ dBm A 1 GHz Y 1 M Ω DE CARGA.

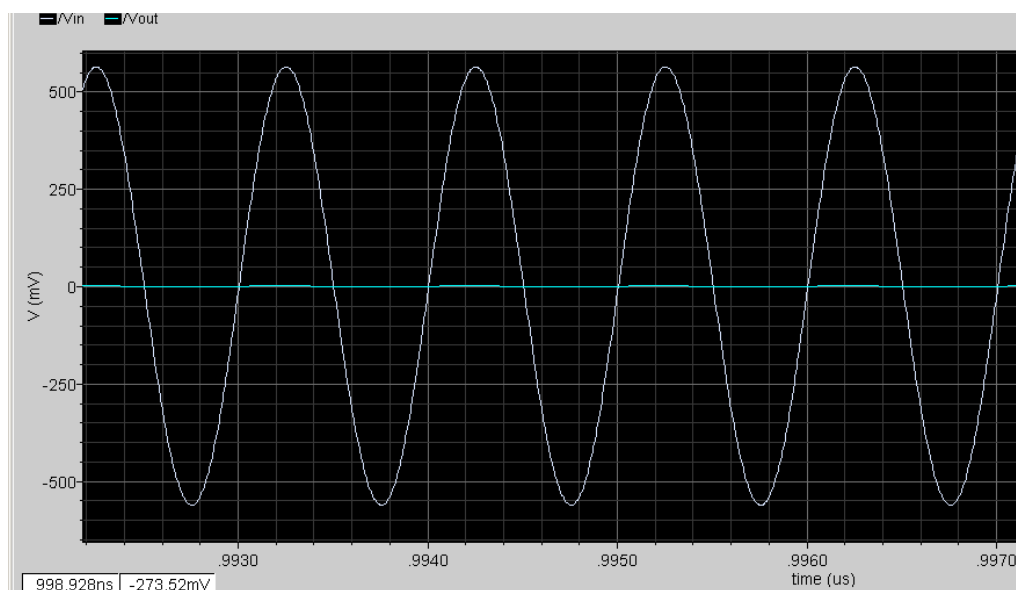


FIGURA 5.6. RECTIFICACIÓN DEL CIRCUITO EXTRAÍDO CON RECTENAS_ALIMENTACION_1 CON -1 DBM A 1 GHZ EN LA ENTRADA Y 50 Ω DE CARGA.

Resultados análogos se obtienen si se emplean potencias RF de entrada superiores. Así, en la Figura 5.7 se puede ver que tras 20 μ s el valor máximo de la señal rectificada vale 2,15 V (2,72V con el esquemático), con un rizado de unos 30 mV (454 mV con el esquemático), cuando $P_{in} = 5$ dBm a 500 MHz y 1 M Ω de carga.

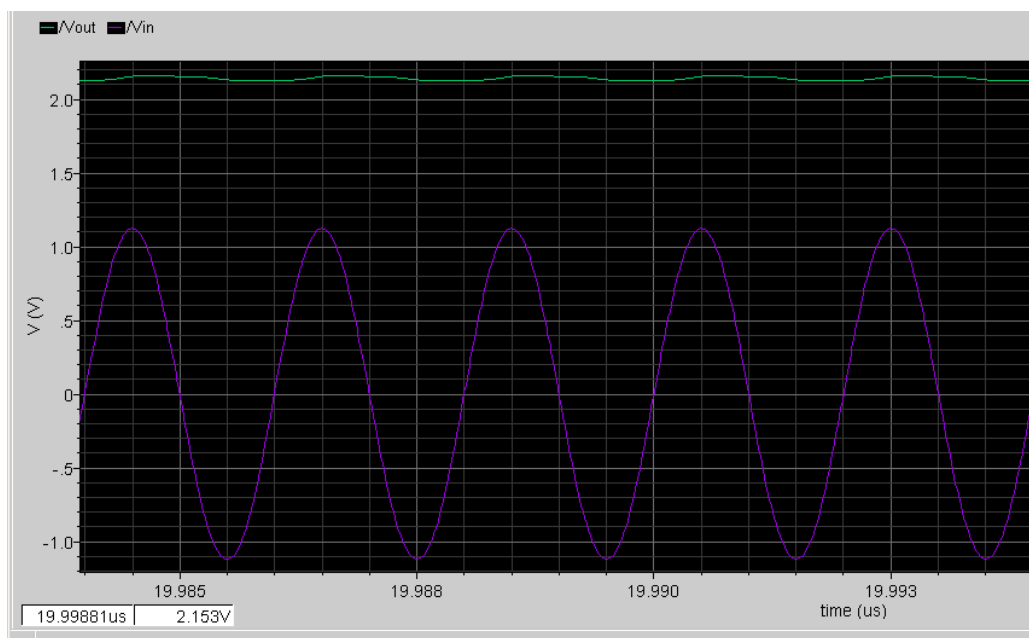


FIGURA 5.7. RECTIFICACIÓN CON CINCO ETAPAS DEL CIRCUITO EXTRAÍDO CON $P_{in} = 5$ DBM A 500 MHZ EN LA ENTRADA Y 1 M Ω DE CARGA.

En la Figura 5.8, con 50 Ω de carga no se produce rectificación (rizado de 14mV).

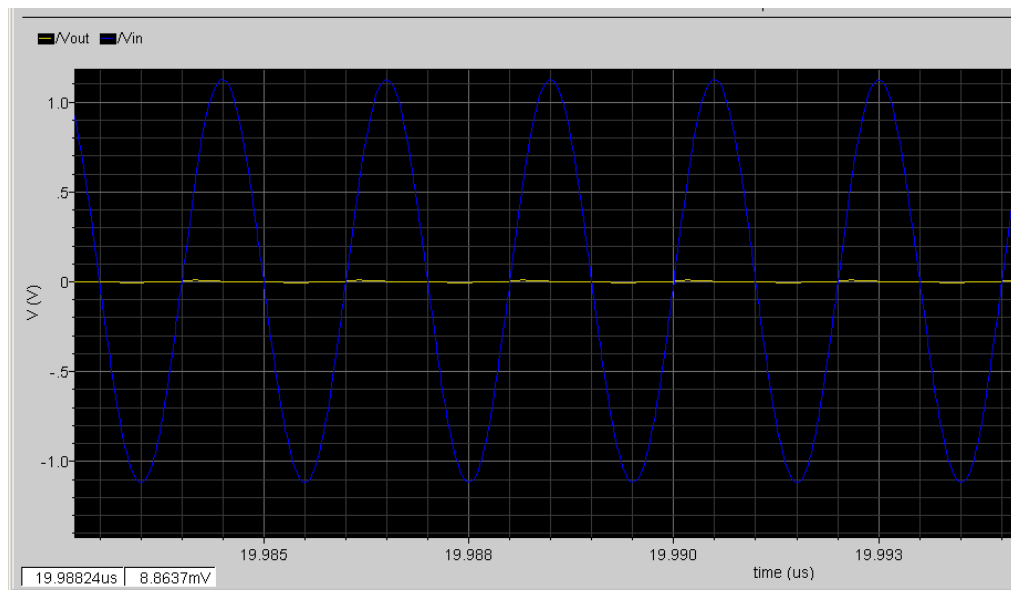


FIGURA 5.8. RECTIFICACIÓN DEL CIRCUITO EXTRAÍDO CON RECTENAS_ALIMENTACION_1 CON 5 dBm A 1 GHz EN LA ENTRADA Y 50Ω DE CARGA.

Por tanto, de estas simulaciones con el circuito extraído se puede observar que hará falta una impedancia de carga de valor elevado, como mínimo $800k\Omega$, si se quiere tener tensión rectificada en la salida del circuito.

Para finalizar se muestra en la Figura 5.9 el layout completo del integrado que se mandó a fabricar con todos los rectificadores que resultaron tener las mayores tensiones de salida. Toda la explicación en detalle de las diferentes áreas del integrado se encuentran en el Anexo I.

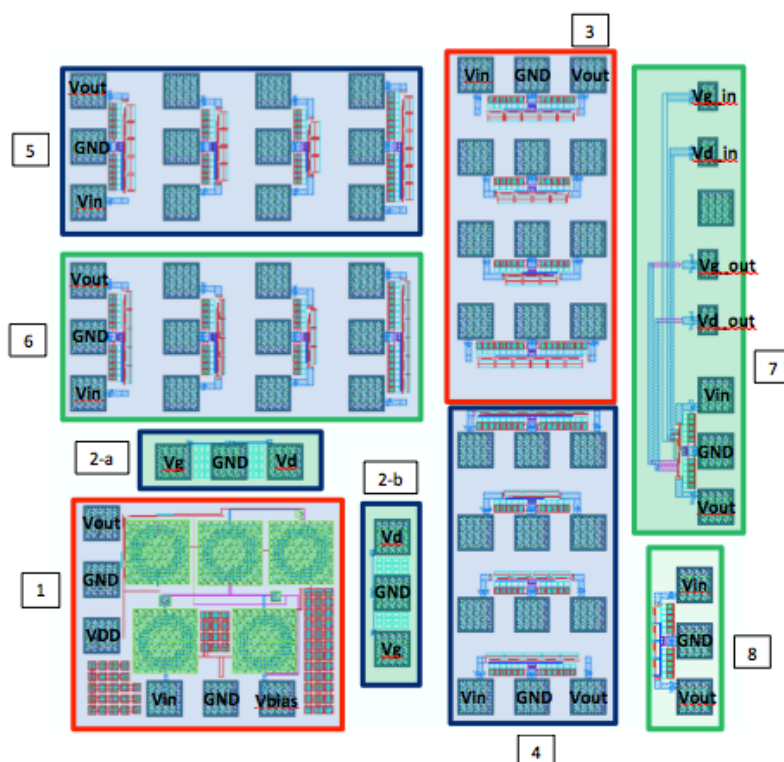


FIGURA 5.9. LAYOUT FINAL CON LOS CIRCUITOS RECTIFICADORES CON MAYOR TENSION DE SALIDA

- 1- LNA de ganancia 15 dB entre 3 y 10,6 GHz.
- 2- Transistores de las rectenas-alimentación (a) y la rectena-despertador (b), para ser caracterizados.
- 3- Rectenas-alimentación de 3, 4, 5 y 6 etapas, con conexión pozo-sustrato y $C_s = 10\text{pF}$: $V_{o-5} = 2,10\text{ V}$.
- 4- Rectenas-alimentación de 3, 4, 5 y 6 etapas, con conexión pozo-sustrato y $C_s = 6\text{pF}$: $V_{o-5} = 2,06\text{ V}$.
- 5- Rectenas-alimentación de 3, 4, 5 y 6 etapas, con conexión pozo-drenador y $C_s = 10\text{pF}$: $V_{o-5} = 2,18\text{ V}$.
- 6- Rectenas-alimentación de 3, 4, 5 y 6 etapas, con conexión pozo-drenador y $C_s = 6\text{pF}$: $V_{o-5} = 2,11\text{ V}$.
- 7- Rectena-alimentación de 1 etapa con $C_s = 6\text{pF}$ y compensación externa de la tensión umbral, con conexión pozo-sustrato. Cinco etapas y $V_{gd} = 0,24\text{ V}$: $V_{o-5} = 1,84\text{ V}$
- 8- Rectena-despertador de 4 etapas con $C_s = 5\text{ pF}$: $14,46\text{ mV}$.

NOTA: P_{in} (Rectenas-alimentación) = - 1 dBm; P_{in} (Rectena-despertador) = - 30 dBm. Los resultados simulados corresponden al modo esquemático, y sin carga en el caso de las rectenas (las simulaciones de las rectenas en modo extraído se prolongan excesivamente en el tiempo). Las rectenas subrayadas se localizan en la periferia



En el caso de la rectena compensada, los diodos-antena, el posible conexionado a otra rectena de la compensación y, principalmente, los pads de las pilas externas, degradan la tensión de salida. Por eso éstos se han minimizado, usando los de la librería de UMC.