



Máster de Tecnologías de Telecomunicación

Trabajo Fin de Máster

Síntesis de alto nivel basada en Xilinx Vivado para aceleradores hardware

Adrián Domínguez Hernández

Antonio Núñez Ordóñez, Pedro Pérez Carballo

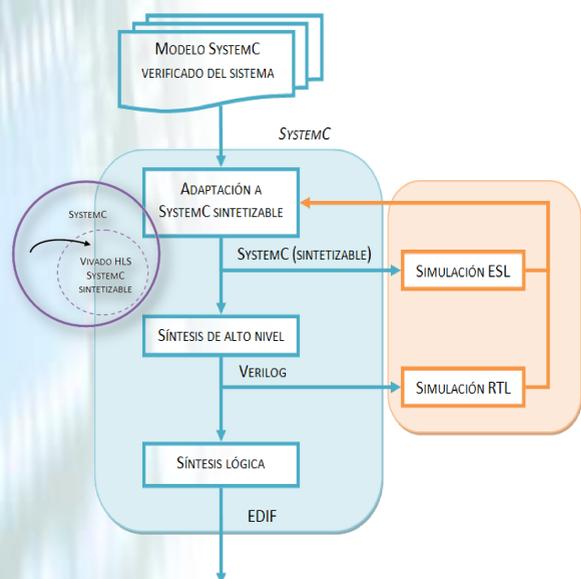
Septiembre 2014

Resumen:

- El objetivo de este trabajo es la implementación de un procesador de eventos en tiempo real utilizando una metodología de síntesis de alto nivel basado en Xilinx Vivado HLS.
- El flujo de diseño se inicia a partir de un modelo funcional SystemC y se ha perfeccionado usando una metodología de síntesis de alto nivel hasta obtener una microarquitectura RTL.
- Los resultados obtenidos se han comparado con un flujo de diseño basado en Cadence CtoS.

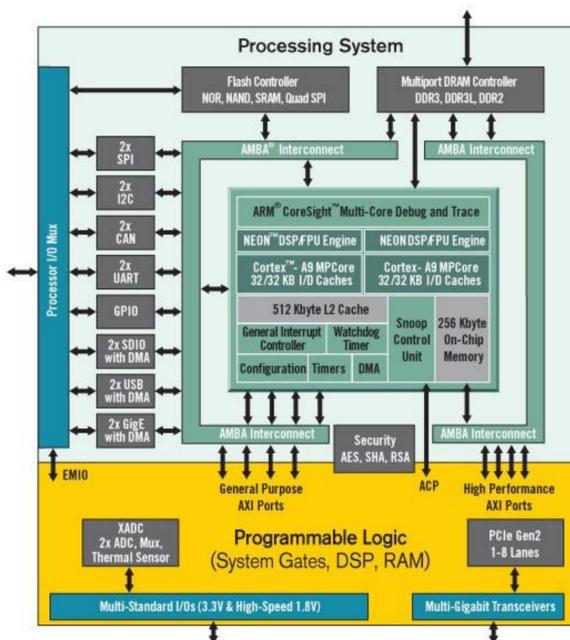
Flujo de diseño:

Partimos de un código SystemC verificado y funcional y realizamos las adaptaciones necesarias al subconjunto SystemC soportado por la herramienta de síntesis de alto nivel. En cada etapa se realiza una verificación funcional.



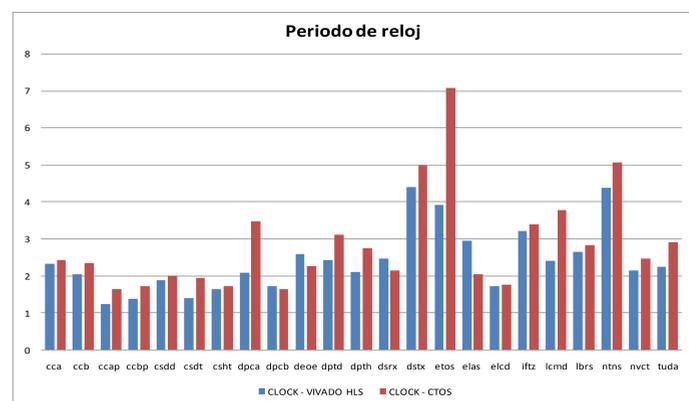
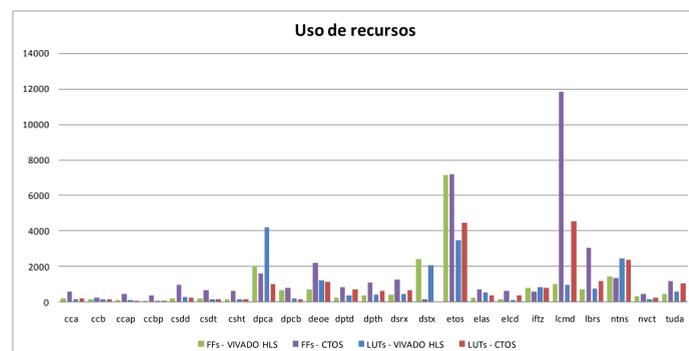
Arquitectura de la plataforma:

Para la arquitectura se optó por una Zynq-7020 con una FPGA Artix-7 con tecnología de 28nm y 2M de celdas lógicas.



Resultados:

Los resultados con el flujo basado en Xilinx Vivado HLS mejoran notablemente respecto al flujo con Cadence Ctos. Se ha obtenido una mejora en el consumo de recursos en algunos casos superior al 60% y más del 40% de mejora en la frecuencia de trabajo.



Conclusiones:

- Los resultados obtenidos con el flujo de diseño basado en Xilinx Vivado HLS mejoran notablemente respecto al flujo con Cadence CtoS a pesar de las dificultades encontradas durante el desarrollo como han podido ser la adaptación de las interfaces, el uso de directivas y las modificaciones necesarias para que el código sea sintetizable.
- La necesidad de adaptación del código a un subconjunto sintetizable hace complicada la tarea de resintetizar el código con cada nueva herramienta. Para diseños en los que es necesaria una actualización del diseño y la ejecución de un flujo de diseño completo cada cierto periodo de tiempo, la tarea de síntesis con nuevas y mejores herramientas puede ser compleja.
- Vivado HLS no soporta ciertos aspectos de SystemC y lo trata como una clase de C, en vez de un lenguaje de descripción de sistemas TLM. Esto hace que las especificaciones del diseñador en algunos casos no se tengan en cuenta como es el caso de las interfaces de entrada.
- El uso de directivas para guiar la síntesis hacia el resultado deseado en muchas ocasiones no arroja buenos resultados, sobre todo si se utiliza SystemC.
- Vivado HLS está orientado a un nivel mayor de abstracción que el que ofrece SystemC y a flujos de diseño para una rápida puesta en el mercado.
- Las herramientas de síntesis de alto nivel están en constante evolución, permitiendo cada vez más abstracción en el diseño a hardware a nivel de sistemas. La tendencia de dichas herramientas indican que en un futuro el diseño de sistemas hardware será cada vez más abstracto, como por ejemplo, en la etapa de comunicación con las librerías TLM, permitiendo diseñar sistemas mucho más complejos sin la necesidad de plantear las transacciones entre bloques a nivel de ciclos.

	Flujo Xilinx Vivado HLS	Flujo Cadence C-To-Silicon	Mejora
LUT	12.443	25.774	51,72%
BRAM	45	58	22,41%
FF	15.127	44.635	66,11%
DSP	26	38	31,58%
Frecuencia	221,30	131,70	40,49%

