



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA  
Instituto Universitario de Microelectrónica Aplicada  
Sistemas de información y Comunicaciones

## Máster en Tecnologías de Telecomunicación



### Trabajo Fin de Máster

#### ANÁLISIS DE LOS EFECTOS DE LA RADIACIÓN ESPACIAL EN UN SINTETIZADOR DE FRECUENCIAS

**Autor:** Victoria Díez Acereda

**Tutor(es):** Dr. Francisco J. del Pino Suárez

Dr. Sunil Lalchand Khemchandani

**Fecha:** Julio 2018





UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA  
Instituto Universitario de Microelectrónica Aplicada  
Sistemas de información y Comunicaciones

## Máster en Tecnologías de Telecomunicación



### Trabajo Fin de Máster

ANÁLISIS DE LOS EFECTOS DE LA RADIACIÓN ESPACIAL  
EN UN SINTETIZADOR DE FRECUENCIAS

### HOJA DE FIRMAS

**Alumna: Victoria Díez Acereda**

Fdo:

**Tutor: Francisco J. del Pino Suárez**

Fdo:

**Tutor: Sunil Lalchand Khemchandani**

Fdo:

**Fecha: Julio 2018**





UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA  
Instituto Universitario de Microelectrónica Aplicada  
Sistemas de información y Comunicaciones

## Máster en Tecnologías de Telecomunicación



### Trabajo Fin de Máster

ANÁLISIS DE LOS EFECTOS DE LA RADIACIÓN ESPACIAL  
EN UN SINTETIZADOR DE FRECUENCIAS

### HOJA DE EVALUACIÓN

**Calificación:** \_\_\_\_\_

**Presidente:**

Fdo:

**Secretario:**

Fdo:

**Vocal:**

Fdo:

**Fecha:** Julio 2018



## **AGRADECIMIENTOS**

---

Concluido uno de los cursos más difíciles, debo agradecer a todas aquellas personas que han contribuido a que este proyecto llegara a su fin. Primero, a todas aquellas personas (amigos, compañeros, etc... ) que han estado presente durante la realización de este trabajo.

A mis tutores, Sunil y Javier, por asesorar, guiar y apoyarme en todo momento, así como por su paciencia brindada durante el desarrollo del trabajo.

A mi familia, especialmente a mi madre y hermanos por su apoyo incondicional en todo momento y porque me han enseñado que no importa lo difícil que sea el trayecto mientras lo hagamos juntos. A mi prima, Raquel Acereda, por corregir esta memoria para que no hayan fallos ortográficos en ella. Y por último, pero no por ello menos importante, a mi padre, todos mis logros te los dedico a ti.

A todos, muchas gracias de corazón.



# ÍNDICE GENERAL

---

<b>I Memoria</b>	<b>1</b>
<b>1. Introducción</b>	<b>1</b>
1.1. Antecedentes . . . . .	1
1.2. Objetivos . . . . .	2
1.3. Estructura de la memoria . . . . .	2
<b>2. La radiación espacial</b>	<b>5</b>
2.1. La radiación . . . . .	5
2.2. Fuentes de radiación . . . . .	6
2.2.1. El Sol . . . . .	7
2.2.2. Los rayos cósmicos . . . . .	8
2.2.3. Los cinturones de Van Allen . . . . .	9
2.3. Efectos de la radiación en dispositivos semiconductores . . . . .	9
2.3.1. Efectos acumulativos . . . . .	10
2.3.2. Efectos de eventos singulares . . . . .	10
2.3.2.1. Errores destructivos . . . . .	10
2.3.2.2. Errores no destructivos . . . . .	11
2.4. Modelado de los SET . . . . .	12
2.5. Resumen . . . . .	14
<b>3. Análisis de los SETs en un sintetizador de frecuencias</b>	<b>15</b>
3.1. Diseño del sintetizador . . . . .	15
3.1.1. Detector de fase-frecuencia . . . . .	16
3.1.2. Bomba de carga . . . . .	16
3.1.3. Filtro . . . . .	17
3.1.4. Oscilador Controlado por Tensión . . . . .	17
3.1.5. Divisor rápido . . . . .	19
3.1.5.1. Divisor Latch CML . . . . .	19
3.1.5.2. <i>Buffer</i> divisor programable . . . . .	20
3.1.5.3. <i>Buffer</i> mezclador . . . . .	21
3.2. Análisis de los SET . . . . .	22
3.3. Resultados . . . . .	25
3.3.1. VCO . . . . .	26
3.3.2. Divisor rápido . . . . .	26
3.4. Resumen . . . . .	27

<b>4. Rediseño del sintetizador con técnicas RHBD</b>	<b>29</b>
4.1. Diseño robusto a radiación . . . . .	29
4.2. Técnicas de diseño robusto . . . . .	29
4.3. Rediseño del VCO . . . . .	30
4.3.1. Incremento de la constante de tiempo . . . . .	30
4.3.2. Divisor capacitivo . . . . .	32
4.4. Rediseño del divisor . . . . .	36
4.4.1. Redundancia del circuito . . . . .	36
4.4.2. Lógica combinacional . . . . .	37
4.4.2.1. Puerta OR . . . . .	38
4.4.2.2. Puerta AND . . . . .	39
4.4.3. Incremento de la constante de tiempo . . . . .	40
4.5. Resumen . . . . .	44
<b>5. Conclusiones</b>	<b>45</b>
5.1. Resultados y conclusiones . . . . .	45
5.1.1. VCO . . . . .	45
5.1.2. Divisor rápido . . . . .	49
5.1.2.1. Puerta OR . . . . .	49
5.1.2.2. Puerta AND . . . . .	50
5.2. Líneas futuras . . . . .	51
<b>II Bibliografía</b>	<b>53</b>
<b>III Anexos</b>	<b>59</b>
<b>A. Gráficas del VCO sin RHBD</b>	<b>61</b>
<b>B. Gráficas del divisor rápido sin RHBD</b>	<b>65</b>
<b>C. Gráficas del VCO con RHBD</b>	<b>77</b>
<b>D. Gráficas del divisor rápido con RHBD empleando puertas OR</b>	<b>81</b>
<b>E. Gráficas del divisor rápido con RHBD empleando puertas AND</b>	<b>93</b>

## ÍNDICE DE FIGURAS

---

2.1. Espectro electromagnético . . . . .	6
2.2. Fulguración solar . . . . .	7
2.3. Eyecciones de masa coronal . . . . .	7
2.4. Rayos C3smicos . . . . .	8
2.5. Cinturones de Van Allen . . . . .	9
2.6. Esquemático de la simulación de SET . . . . .	14
2.7. Curvas de los pulsos de corriente . . . . .	14
3.1. Diagrama de bloques del sintetizador de frecuencias . . . . .	15
3.2. Diagrama de estados del PFD . . . . .	16
3.3. Esquema de la bomba de carga . . . . .	16
3.4. Esquema del filtro . . . . .	17
3.5. Esquema del VCO . . . . .	18
3.6. Resultado del VCO . . . . .	19
3.7. Diagrama de bloques del divisor rápido . . . . .	19
3.8. Configuración del <i>latch</i> CML del divisor rápido . . . . .	20
3.9. Esquema del <i>latch</i> CML del divisor rápido . . . . .	20
3.10. Esquema del <i>buffer</i> que conecta con el divisor programable . . . . .	21
3.11. Esquema de los <i>buffers</i> que conectan con el mezclador . . . . .	22
3.12. Esquema del divisor rápido donde se aplican los LET . . . . .	23
3.13. Esquema de los <i>buffers</i> del mezclador donde se aplican los LET . . . . .	23
3.14. Esquema del <i>buffer</i> del divisor programable donde se aplican los LET . . . . .	24
3.15. Esquema del VCO donde se aplican los LET . . . . .	24
3.16. Magnitudes a tener en cuenta para realizar el análisis de los SET . . . . .	25
4.1. Esquema del VCO con la etapa RC . . . . .	31
4.2. Resultado del VCO al incluir la etapa RC . . . . .	32
4.3. Esquema simplificado del divisor capacitivo . . . . .	33
4.4. Resultado del divisor capacitivo simplificado . . . . .	33
4.5. Esquema final del VCO con técnica RHBD . . . . .	34
4.6. Resultado del oscilador tras aplicar las técnicas RHBD . . . . .	35
4.7. Esquema del divisor rápido con la etapa GFC . . . . .	36
4.8. Resultados del divisor rápido con la etapa GFC . . . . .	37
4.9. Esquema de las puertas OR . . . . .	38
4.10. Resultado de las puertas OR . . . . .	39
4.11. Esquema de las puertas AND . . . . .	39
4.12. Resultado de las puertas AND . . . . .	40
4.13. Esquema del divisor rápido al incorporar la etapa RC . . . . .	41
4.14. Resultado del divisor rápido al incorporar la etapa RC . . . . .	42
4.15. Esquema del <i>buffer</i> del divisor programable al incorporar la etapa RC . . . . .	42
4.16. Resultado del <i>buffer</i> del divisor programable al incorporar la etapa RC . . . . .	43

4.17. Esquema de los <i>buffers</i> del mezclador al incorporar la etapa RC . . .	43
4.18. Resultado de los <i>buffer</i> del mezclador al incorporar la etapa RC . . .	44
A.1. Gráficas del desfase del VCO cuando la señal cruza por 0 . . . . .	61
A.2. Gráficas del desfase del VCO cuando la señal cruza por el pico máximo	62
A.3. Gráficas del tiempo de establecimiento del VCO cuando la señal cruza por 0 . . . . .	63
A.4. Gráficas del tiempo de establecimiento del VCO cuando la señal cruza por el pico máximo . . . . .	64
B.1. Gráficas del desfase del divisor rápido cuando la señal cruza por 0 . .	65
B.2. Gráficas del desfase del divisor rápido cuando la señal cruza por el pico máximo . . . . .	66
B.3. Gráficas del tiempo de establecimiento del divisor rápido cuando la señal cruza por 0 . . . . .	67
B.4. Gráficas del tiempo de establecimiento del divisor rápido cuando la señal cruza por el pico máximo . . . . .	68
B.5. Gráficas del desfase del <i>buffer</i> del divisor programable cuando la señal cruza por 0 . . . . .	69
B.6. Gráficas del desfase del <i>buffer</i> del divisor programable cuando la señal cruza por el pico máximo . . . . .	70
B.7. Gráficas del tiempo de establecimiento del <i>buffer</i> del divisor progra- mable cuando la señal cruza por 0 . . . . .	71
B.8. Gráficas del tiempo de establecimiento del <i>buffer</i> del divisor progra- mable cuando la señal cruza por el pico máximo . . . . .	72
B.9. Gráficas del desfase del <i>buffer</i> del mezclador cuando la señal cruza por 0 . . . . .	73
B.10. Gráficas del desfase <i>buffer</i> del mezclador cuando la señal cruza por el pico máximo . . . . .	74
B.11. Gráficas del tiempo de establecimiento <i>buffer</i> del mezclador cuando la señal cruza por 0 . . . . .	75
B.12. Gráficas del tiempo de establecimiento <i>buffer</i> del mezclador cuando la señal cruza por el pico máximo . . . . .	76
C.1. Gráficas aplicando técnica RHBD del desfase del VCO cuando la señal cruza por 0 . . . . .	77
C.2. Gráficas aplicando técnica RHBD del desfase del VCO cuando la señal cruza por el pico máximo . . . . .	78
C.3. Gráficas aplicando técnica RHBD del tiempo de establecimiento del VCO cuando la señal cruza por 0 . . . . .	79
C.4. Gráficas aplicando técnica RHBD del tiempo de establecimiento del VCO cuando la señal cruza por el pico máximo . . . . .	80
D.1. Gráficas aplicando técnica RHBD del desfase del divisor rápido cuan- do la señal cruza por 0 con puerta OR . . . . .	81
D.2. Gráficas aplicando técnica RHBD del desfase del divisor rápido cuan- do la señal cruza por el pico máximo con puerta OR . . . . .	82

D.3. Gráficas aplicando técnica RHBD del tiempo de establecimiento del divisor rápido cuando la señal cruza por 0 con puerta OR . . . . .	83
D.4. Gráficas aplicando técnica RHBD del tiempo de establecimiento del divisor rápido cuando la señal cruza por el pico máximo con puerta OR . . . . .	84
D.5. Gráficas aplicando técnica RHBD del desfase del <i>buffer</i> del divisor programable cuando la señal cruza por 0 con puerta OR . . . . .	85
D.6. Gráficas aplicando técnica RHBD del desfase del <i>buffer</i> del divisor programable cuando la señal cruza por el pico máximo con puerta OR . . . . .	86
D.7. Gráficas aplicando técnica RHBD del tiempo de establecimiento del <i>buffer</i> del divisor programable cuando la señal cruza por 0 con puerta OR . . . . .	87
D.8. Gráficas aplicando técnica RHBD del tiempo de establecimiento del <i>buffer</i> del divisor programable cuando la señal cruza por el pico máximo con puerta OR . . . . .	88
D.9. Gráficas aplicando técnica RHBD del desfase del <i>buffer</i> del mezclador cuando la señal cruza por 0 con puerta OR . . . . .	89
D.10. Gráficas aplicando técnica RHBD del desfase <i>buffer</i> del mezclador cuando la señal cruza por el pico máximo con puerta OR . . . . .	90
D.11. Gráficas aplicando técnica RHBD del tiempo de establecimiento <i>buffer</i> del mezclador cuando la señal cruza por 0 con puerta OR . . . . .	91
D.12. Gráficas aplicando técnica RHBD del tiempo de establecimiento <i>buffer</i> del mezclador cuando la señal cruza por el pico máximo con puerta OR . . . . .	92
E.1. Gráficas aplicando técnica RHBD del desfase del divisor rápido cuando la señal cruza por 0 con puerta AND . . . . .	93
E.2. Gráficas aplicando técnica RHBD del desfase del divisor rápido cuando la señal cruza por el pico máximo con puerta AND . . . . .	94
E.3. Gráficas aplicando técnica RHBD del tiempo de establecimiento del divisor rápido cuando la señal cruza por 0 con puerta AND . . . . .	95
E.4. Gráficas aplicando técnica RHBD del tiempo de establecimiento del divisor rápido cuando la señal cruza por el pico máximo con puerta AND . . . . .	96
E.5. Gráficas aplicando técnica RHBD del desfase del <i>buffer</i> del divisor programable cuando la señal cruza por 0 con puerta AND . . . . .	97
E.6. Gráficas aplicando técnica RHBD del desfase del <i>buffer</i> del divisor programable cuando la señal cruza por el pico máximo con puerta AND . . . . .	98
E.7. Gráficas aplicando técnica RHBD del tiempo de establecimiento del <i>buffer</i> del divisor programable cuando la señal cruza por 0 con puerta AND . . . . .	99
E.8. Gráficas aplicando técnica RHBD del tiempo de establecimiento del <i>buffer</i> del divisor programable cuando la señal cruza por el pico máximo con puerta AND . . . . .	100
E.9. Gráficas aplicando técnica RHBD del desfase del <i>buffer</i> del mezclador cuando la señal cruza por 0 con puerta AND . . . . .	101

E.10. Gráficas aplicando técnica RHBD del desfase <i>buffer</i> del mezclador cuando la señal cruza por el pico máximo con puerta AND . . . . .	102
E.11. Gráficas aplicando técnica RHBD del tiempo de establecimiento <i>buffer</i> del mezclador cuando la señal cruza por 0 con puerta AND . . . . .	103
E.12. Gráficas aplicando técnica RHBD del tiempo de establecimiento <i>buffer</i> del mezclador cuando la señal cruza por el pico máximo con puerta AND . . . . .	104

## ÍNDICE DE TABLAS

---

2.1. Parámetros de los pulsos de corriente . . . . .	13
3.1. Especificaciones del VCO para el estándar IEEE 802.15.4 . . . . .	17
4.1. Valores de los componentes de la etapa RC . . . . .	31
4.2. Valores de los componentes del divisor capacitivo . . . . .	35
4.3. Valores de los componentes de las puertas OR . . . . .	38
4.4. Tabla de verdad de puerta lógica AND . . . . .	40
4.5. Valores de los componentes de las puertas AND . . . . .	40
5.1. Variación de fase del VCO para las salidas INP e INPN . . . . .	46
5.2. Variación de fase del VCO para la salida QUA . . . . .	46
5.3. Variación de fase del VCO para la salida QUAN . . . . .	47
5.4. Variación de fase del VCO para la salida DIV_PROG . . . . .	47
5.5. Tiempo de establecimiento del VCO para las salidas INP e INPN . . . . .	47
5.6. Tiempo de establecimiento del VCO para la salida QUA . . . . .	48
5.7. Tiempo de establecimiento del VCO para la salida QUAN . . . . .	48
5.8. Tiempo de establecimiento del VCO para la salida DIV_PROG . . . . .	48



## ACRÓNIMOS

---

ADS *Advanced Design System*

CME *Coronal Mass Ejections*

CML *Current-Mode Logic*

CMOS *Complementary Metal-Oxide-Semiconductor*

CP *Charge Pump*

DD *Displacement Damage*

GCR *Galactic Cosmic Rays*

GFC *Gated Feedback Cell*

IC *Integrated Circuits*

IF *Intermediate Frequency*

LET *Linear Energy Transfer*

MBU *Multiple Bit Upset*

MCU *Multiple Cell Upset*

MOSFET *Metal-Oxide-Semiconductor Field-Effect Transistor*

MOS *Metal-Oxide-Semiconductor*

PFD *Phase Frequency Detector*

PLL *Phase-Locked Loop*

RHBD *Radiation Hardening By Design*

SEB *Single Event Burnout*

SED *Single Event Disturb*

*SEE Single Event Effects*

*SEFI Single Event Functional Interrupt*

*SEGR Single Event Gate Rupture*

*SEL Single Event Latchup*

*SEML Single Event Micro-Latchup*

*SESB Single Event SnapBack*

*SET Single Event Transient*

*SEU Single Event Upset*

*SHE Single Hard Errors*

*TID Total Ionizing Dose*

*UMC United Microelectronics Corporation*

*VCO Voltage Controller Oscillator*

*WSN Wireless Sensor Networks*

**Parte I**

**Memoria**



En este capítulo introductorio se realiza una descripción de los antecedentes en los que se basa el proyecto, en donde se explica el ámbito en el que se va a trabajar, así como su finalidad. Posteriormente, se presentan los objetivos de este trabajo fin de máster y por último, se explica la estructura de la memoria.

## 1.1 Antecedentes

En los últimos años, el desarrollo de redes de sensores inalámbricas (WSN: *Wireless Sensor Networks*) ha recibido especial atención debido a las ventajas que presenta en los entornos en los cuales la alta radiación es un problema. Estos entornos pueden ser el aeronáutico, aeroespacial, nuclear o incluso el de la salud.

Aunque la mayoría de los circuitos integrados se implementan con tecnología CMOS, estos siguen siendo extremadamente sensibles a la radiación ambiental. Cuando las partículas de alta energía impactan en los nodos sensibles de los circuitos, estos producen efectos temporales denominados efectos de eventos singulares (SEE: *Single Event Effects*) [1]. Estos efectos se pueden disminuir mediante materiales de blindaje. Aunque existen algunos sectores, como el aeronáutico o el espacial, en donde el peso es muy importante y el blindaje ha de ser ligero y, por consiguiente, no protege al circuito de todas las partículas de alta radiación. En este caso, el blindaje de los circuitos puede ser incluso perjudicial al producirse cascadas de partículas por interacción nuclear. Una opción para solventar estos problemas es el denominado diseño robusto a radiación (RHBD: *Radiation Hardening By Design*) [2] que consiste en usar técnicas basadas en el propio diseño de los circuitos para que estos sean resistentes a la radiación espacial. El estudio de estas técnicas ha estado centrado, en la mayoría de los casos, en el diseño analógico de circuitos. Sin embargo, todavía queda un largo camino por investigar y desarrollar en este ámbito [3].

Existen diferentes tipos de eventos singulares. Estos se clasifican dependiendo de los efectos que pueden producir en los circuitos. Sin embargo, este trabajo se centrará en los eventos singulares transitorios (SET: *Single Event Transient*) [4]. Estos eventos se producen cuando una partícula impacta en un dispositivo semiconductor provocando un pico de corriente en el nodo afectado. Dependiendo del efecto que

produzca en el nodo, se pueden clasificar en dos grupos. El primero de ellos se corresponde con las variaciones de amplitud que pueden producir distorsiones de la señal haciendo que la relación señal a ruido empeore. Por otro lado, está la variación de fase que puede provocar un cambio de los estados de los circuitos. Este fenómeno se da especialmente en los osciladores controlados por tensión (VCO: *Voltage Controlled Oscillator*) [5], en los bucles enganchados en fase (PLL: *Phase-Locked Loop*) y en los sintetizadores de frecuencia [6, 7].

## 1.2 Objetivos

El objetivo principal de este proyecto es realizar el análisis de los SEE en un sintetizador de frecuencias previamente diseñado [8]. Para ello, primero se debe entender el origen de la radiación y los efectos que estos producen en los dispositivos semiconductores. Seguidamente, se necesita un modelo para conocer y analizar el efecto de los SET en los circuitos. Más tarde, se realiza el análisis que provocan los SET en los circuitos de interés para así poder implementar una solución robusta sobre ellos.

Para llevar a cabo este trabajo, se utiliza la herramienta de software ADS (*Advanced Design System*) de la empresa *Keysight*. Esta herramienta se utiliza bastante para el diseño de circuitos de radiofrecuencia porque se trata de un instrumento muy potente, además de que posee muchas librerías y así como opciones de simulación.

## 1.3 Estructura de la memoria

Esta memoria consta de 5 capítulos. En el primero se introducen los antecedentes y los objetivos marcados. En el segundo, se realiza un estudio de la radiación espacial y los efectos que pueden producir en los dispositivos semiconductores y, además, se elabora el modelado de los efectos de eventos singulares.

El tercer capítulo se centra en el análisis de los efectos de eventos singulares en un sintetizador de frecuencias. Para ello, primero se lleva a cabo una breve descripción sobre los diferentes bloques que forman el sintetizador. Luego se describe el procedimiento a seguir para conocer el comportamiento de los SET en el VCO y el divisor rápido y se comentan los resultados obtenidos.

En el capítulo 4, se realiza el rediseño del sintetizador de frecuencias con base en los resultados del capítulo anterior. Para ello, se debe hacer un estudio de las distintas técnicas de diseño robusto existentes. Posteriormente, se implementarán las técnicas RHBD necesarias tanto para el oscilador controlado por tensión como para el divisor rápido.

Finalmente, en el capítulo cinco se realiza en el análisis de los resultados obtenidos del sintetizador al aplicarle las técnicas RHBD y se comentan las conclusiones obtenidas del trabajo realizado. En este capítulo, también se presentan las líneas futuras de este trabajo.

Cabe destacar que las investigaciones realizadas forman parte del proyecto “Diseño de circuitos de comunicaciones para alta radiación ambiental” (COMRaD) (TEC2015-71072-C3-1-R) realizado en colaboración con la Universidad de Sevilla y financiado por el Ministerio de Educación y Ciencia. Con dicho proyecto se pretende desarrollar el primer dispositivo que permita el despliegue de redes de sensores inalámbricos en entornos de alta radiación ambiental.



## Capítulo 2

# LA RADIACIÓN ESPACIAL

---

Este capítulo trata sobre la radiación espacial y los efectos que estos pueden producir en los dispositivos semiconductores. Se comienza con una breve introducción definiendo la radiación para, posteriormente, explicar las diferentes fuentes de radiación existentes actualmente. También se verán los distintos efectos que pueden provocar en los dispositivos semiconductores. Finalmente, se realizará el modelado de los SET en el ADS para poder llevar a cabo el análisis de los efectos de la radiación en el sintetizador.

## 2.1 La radiación

La radiación es la acción y efecto de irradiar, es decir, proporcionar rayos de luz, calor u otro tipo de energía. Sin embargo, en el ámbito de la física, la radiación no es más que la propagación de la energía a través de un medio material o del vacío y puede viajar como una forma de onda o como partículas. En otras palabras, se considera radiación tanto a la luz procedente del Sol como a un haz de protones recorriendo un acelerador de partículas.

A grandes rasgos, la radiación se puede clasificar según el modo de propagación, esto es, si se propaga como una onda o si lo hace como una partícula.

- La radiación electromagnética viene dada por cualquier tipo de luz en forma de onda y puede viajar tanto en el vacío (un ejemplo son las ondas electromagnéticas), como en un medio material como por ejemplo son las ondas sonoras. Y, además, se puede clasificar como ionizante o no ionizante dependiendo de la intensidad con la que se produzca la radiación. Esta clasificación se muestra en la Figura 2.1.
- Radiación no ionizante es aquella que no tiene la energía suficiente como para arrebatarse un electrón de la materia y su longitud de onda es superior a las 100 nm. Algunos ejemplos de este tipo de radiación son las ondas de radio, la luz visible, las microondas o la infrarroja.

- Radiación ionizante es aquella que posee la energía suficiente como para arrancar un electrón de la materia. La longitud de onda de este tipo de radiación es inferior a los 100 nm. La ionización no ocurre únicamente en las órbitas exteriores de los electrones, sino que también puede suceder en las órbitas más internas de la partícula si posee la energía suficiente. Y, por consiguiente, puede causar que la partícula sea inestable y, además, altamente radioactivo. Algunos ejemplos de este tipo de radiación son los rayos X, los rayos  $\gamma$ , las partículas  $\alpha$  y  $\beta$ , los rayos cósmicos o los ultravioleta.
- La radiación corpuscular es la radiación transmitida a nivel de partícula donde pueden viajar por cualquier medio ya sea material o en el vacío. Se distinguen dos tipos de radiaciones de partículas.
  - La radiación  $\alpha$ , cuyo núcleo está compuesto de helio, es decir, dos protones y dos neutrones.
  - La radiación  $\beta$ , que está compuesta por electrones.

La radiación espacial se puede considerar ionizante ya que contiene una gran cantidad de energía. Este tipo de radiación posee varias fuentes naturales que la producen y que se explican en el siguiente apartado.

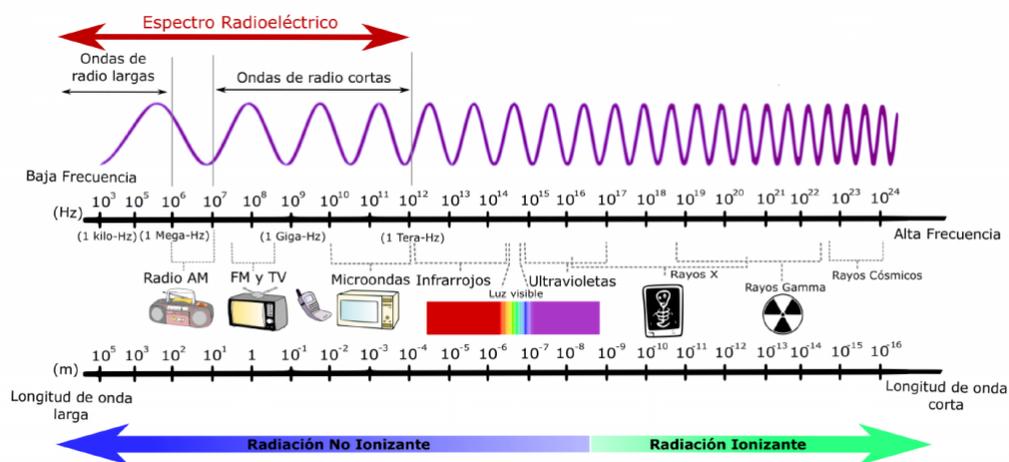


Figura 2.1: Espectro electromagnético

## 2.2 Fuentes de radiación

La radiación espacial posee tres fuentes posibles una de ellas es la actividad del Sol, otra son los rayos cósmicos y también se encuentran las partículas atrapadas en los cinturones de Van Allen.

### 2.2.1 El Sol

El Sol es un astro dinámico que se encuentra continuamente expulsando materia desde su superficie. El flujo de partículas que se produce en esa superficie se le denomina viento solar, el cual es un plasma. Dicho de otra forma, un flujo de partículas cargadas con un campo magnético asociado.

El Sol, de cuando en cuando, expulsa grandes cantidades de partículas cargadas energéticamente, que recibe el nombre de tormentas solares. Estas tormentas suceden a causa de las interacciones con el campo magnético solar y producen fenómenos solares muy violentos como son las fulguraciones (*flares*) y las eyecciones de masa coronal (CMEs: *Coronal Mass Ejections*).

En la Figura 2.2 se muestra el fenómeno de la fulguración solar. Este acontecimiento se produce cuando la energía magnética acumulada en la atmósfera solar se libera de manera repentina en el espacio [9].

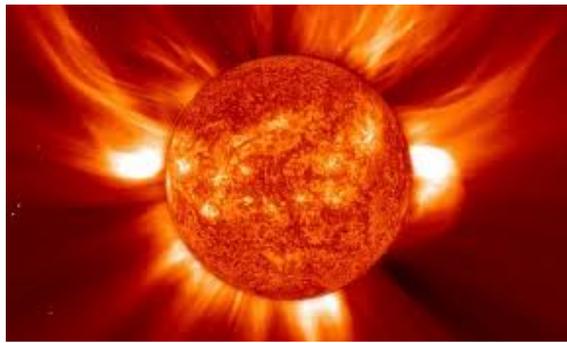


Figura 2.2: Fulguración solar

Por otro lado, en la Figura 2.3 se pueden observar las eyecciones de masa coronal que se producen en la capa más externa del Sol. Este fenómeno consiste en una liberación considerable tanto de plasma como de campo magnético de la corona solar [10]. Cabe destacar que los CMEs suelen producirse después de una fulguración solar pero no siempre se da el caso.

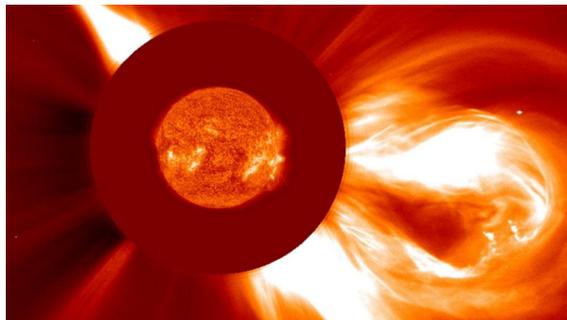


Figura 2.3: Eyecciones de masa coronal

El último evento solar en la radiación espacial es el viento solar. Se trata de un flujo continuo de partículas cargadas que se propaga en todas las direcciones a una velocidad media de 400 km/s y está compuesto por protones, electrones y partículas. La fuente de este fenómeno se encuentra en el calor existente en la corona solar debido a que la temperatura es tan elevada que la gravedad del Sol no es capaz de retener. A pesar de conocer la respuesta al porqué sucede este hecho, hoy en día todavía no se entienden los detalles del cómo y dónde las partículas de los gases que se encuentran en la corona se pueden acelerar hasta alcanzar velocidades tan elevadas [11].

### 2.2.2 Los rayos cósmicos

Los rayos cósmicos (GCR: *Galactic Cosmic Rays*), por otra parte, son partículas que provienen del exterior del sistema solar. En la Figura 2.4 se muestra una imagen de ellos. La mayoría se crearon hace millones de años debido a una explosión de alguna supernova y, a diferencia del viento solar, la energía de los rayos cósmicos es muy variable, lo que significa que algunas partículas se pueden mover a la velocidad de la luz. La mayoría de los rayos cósmicos está compuesto en un 90 % por protones, un 8 % por partículas alfa y aproximadamente el 2 % son núcleos pesados. Ahora bien, la mayor parte de los rayos cósmicos son desviados por los campos magnéticos del Sol y de la Tierra.

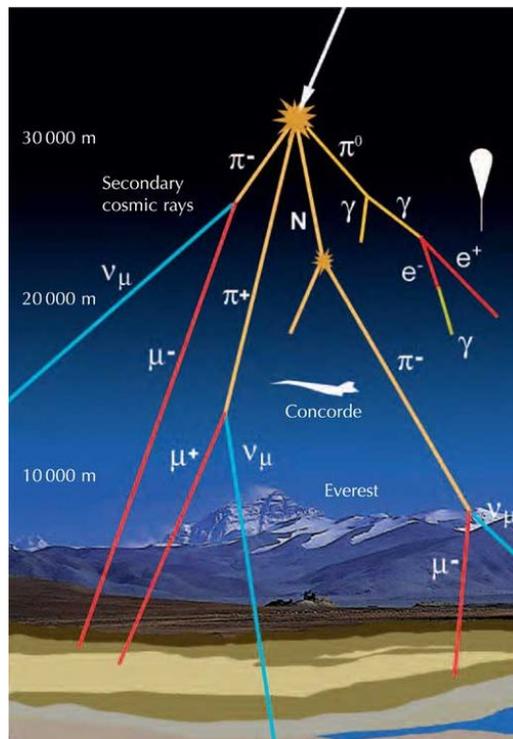


Figura 2.4: Rayos Cósmicos

### 2.2.3 Los cinturones de Van Allen

Por último, se encuentran los cinturones de radiación de Van Allen que son dos regiones de la magnetosfera donde un gran número de partículas de alta energía quedan retenidas debido al campo magnético terrestre. Un ejemplo de ellos se puede observar en la Figura 2.5. Estos cinturones tienen una forma toroidal que envuelven al planeta Tierra y están compuestos por partículas energéticas y eléctricas o electrones y protones. Existen dos cinturones de Van Allen, el interno y el externo [12].

- El cinturón interno está constituido principalmente por protones de alta energía debido al choque de las ráfagas de los rayos cósmicos y se extienden desde los 400 hasta los 12000 km aproximadamente sobre la superficie terrestre.
- El cinturón externo está compuesto principalmente por electrones de alta energía que provienen de los rayos cósmicos y de los procesos de aceleración magnetosféricos. Este cinturón se localiza entre los 12000 hasta los 60000 km sobre la Tierra.

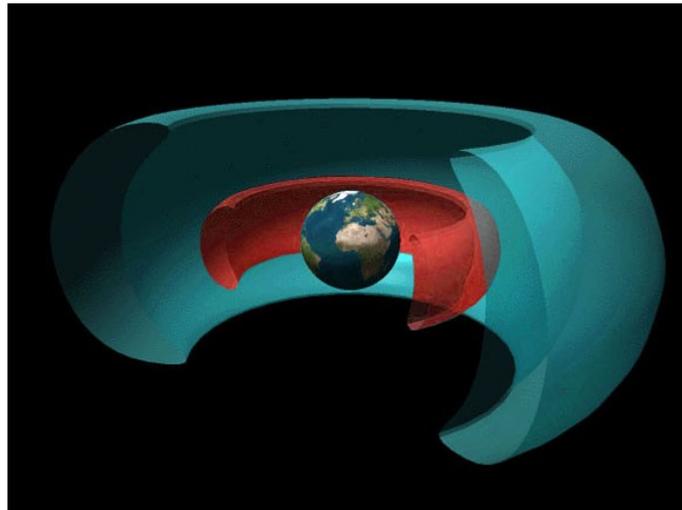


Figura 2.5: Cinturones de Van Allen

## 2.3 Efectos de la radiación en dispositivos semiconductores

La radiación ocasiona efectos de gran relevancia sobre los componentes electrónicos ya que modifica las propiedades físicas de los materiales que los componen causando fallos en los circuitos y comprometiendo su fiabilidad. Estos efectos se pueden dividir en dos grupos: los efectos acumulativos y los efectos de eventos singulares que se explican en profundidad en los siguientes apartados.

### 2.3.1 Efectos acumulativos

Los efectos acumulativos suelen ser producidos debido a la exposición de la radiación por períodos prolongados de tiempo, generando cambios a largo plazo en las prestaciones de los dispositivos y ocasionando una degradación de los parámetros del circuito o incluso perdiendo su funcionalidad. Los efectos acumulativos se pueden agrupar en dos categorías: los daños por dosis total ionizante (TID: *Total Ionizing Dose*) y los daños por desplazamiento (DD: *Displacement Damage*).

- Los daños por dosis total ionizante ocurren cuando las partículas ionizantes, protones y electrones, atraviesan el sustrato del dispositivo semiconductor, generando una serie de pares electrón-hueco. Algunos de estos pares se recombinan con otras partículas mediante mecanismos de difusión. No obstante, una gran parte de esas partículas permanecen atrapadas en las capas del material en forma de cargas eléctricas causando daños por ionización [13, 14].
- Los daños por desplazamiento se producen cuando las partículas de alta energía pasan a través del semiconductor chocando con los átomos que forman la red cristalina. Estas colisiones, si las partículas poseen la suficiente energía, pueden provocar el movimiento libre del átomo desde su posición a otra intersticial, dejando un hueco. En caso de tener una elevada cantidad de energía, es capaz de mover los otros átomos creando un gran número de defectos. Un DD puede crear grupos de átomos atrapados en el material que pueden actuar como generadores, recombinadores o centros de atracción para otros átomos. Estos últimos provocan una disminución de los portadores minoritarios haciendo que aumente el nivel de generación térmica de los pares electrón-hueco y reduciendo, por tanto, la movilidad de los portadores [15].

### 2.3.2 Efectos de eventos singulares

Los efectos de eventos singulares se producen cuando una partícula, ion o protón, pasa cerca o atraviesa un material semiconductor. Por un lado, están los iones pesados que provocan una ionización directa y por el otro, los protones que provocan reacciones nucleares [16]-[18]. Como consecuencia, se generan impulsos de corriente transitorios interrumpiendo el funcionamiento del circuito. Asimismo, estos efectos se pueden clasificar en errores destructivos y no destructivos [19, 20], los cuales se detallan a continuación.

#### 2.3.2.1. Errores destructivos

Los errores destructivos, también denominados como *hard errors*, son fallos permanentes en los dispositivos y por tanto, no es posible recuperar su correcto funcionamiento. Asimismo, afecta a la integridad física del circuito. A continuación, se describen algunos de los fenómenos que provocan estos fallos.

- *Single Event Latchup* (SEL) aparecen cuando el impacto de una partícula produce una corriente que activa un tiristor parásito de estructura PNP. Cuando se da este caso, fluye una corriente muy elevada por el circuito que provoca un aumento la temperatura en la parte afectada. Si sucede durante un tiempo prolongado, se puede llegar a destruir el dispositivo. Sin embargo, para evitar que eso ocurra, lo mejor es quitarle la alimentación al componente. Existe un caso particular de este fenómeno denominado *SEML: Single Event Micro-Latchup* que se produce cuando la corriente se ve limitada por el circuito y, por tanto, este error sería no destructivo, pero sigue afectando al circuito de forma significativa.
- *Single Event SnapBack* (SESB) son eventos similares a los SEL, aunque estos solo suceden en un transistor CMOS. Este efecto se produce cuando el transistor bipolar parásito que existe entre el drenador y la fuente de un MOS, amplifica la corriente de avalancha que provoca el impacto de un ion pesado. Como resultado, se obtiene una corriente muy elevada entre el drenador y la fuente del transistor, causando un aumento de la temperatura y destruyendo el dispositivo.
- *Single Event Burnout* (SEB) ocurren en MOSFET de potencia, y se producen cuando una estructura NPN parásita empieza a conducir, debido al paso de un ion, y actuando como un transistor bipolar. Cuando la corriente que circula por la unión base-emisor es considerablemente elevada, esto provoca un proceso de realimentación por el cual la corriente aumenta cada vez más hasta que el MOSFET se destruye.
- *Single Event Gate Rupture* (SEGR) crean un camino conductor en el óxido de la puerta debido al campo eléctrico generado por una corriente elevada. Esto ocurre cuando un ion pesado atraviesa un semiconductor, formando unas cargas que se propagan por el aislante y provocando que el campo eléctrico en el dieléctrico exceda la tensión de ruptura cortocircuitando el terminal de puerta con el canal.
- *Single Hard Errors* (SHE) se producen en una memoria estática (SRAM: *Static Random Access Memory*). Cuando un ion pesado atraviesa el dispositivo, se crea un camino conductor en el óxido de la puerta provocando un cambio irreversible en el funcionamiento del dispositivo [21].

### 2.3.2.2. Errores no destructivos

Los errores no destructivos, también denominados como *soft errors*, son aquellos que no provocan un daño permanente en el dispositivo, por lo que el daño causado es temporal. Por tanto, estos errores se pueden solucionar mediante un reset o volviendo a escribir la información. En función de los efectos que puedan producir en los circuitos, se distinguen distintos tipos los cuales se explican en seguida.

- *Single Event Upset* (SEU) se producen cuando una partícula atraviesa un nodo sensible de un elemento de almacenamiento, como puede ser en un *flip-flop*, ocasionando un cambio en el contenido del elemento almacenado. Asimismo, también puede ser producido a causa de un SET que es capturado después de propagarse por un circuito combinacional.
- *Multiple Bit Upset* (MBU) y *Multiple Cell Upset* (MCU) son casos particulares de SEU y su diferencia radica en que el impacto de una misma partícula afecta a varios bits al mismo tiempo. Los MBU se suceden cuando todos los bits pertenecen a una misma palabra. Por otro lado, cuando los bits dañados provienen de palabras diferentes entonces se trata de un MCU. Los circuitos integrados (*IC: Integrated Circuits*) son más sensibles a los MBU y a los MCU debido a la escalabilidad de los transistores, que hace más adsequible que la carga depositada sea recogida por diferentes nodos sensibles, lo que conlleva a generar varios SEUs en diversas celdas de la memoria.
- *Single Event Transient* (SET) ocurren cuando la partícula impacta cerca o través de una unión PN creando un impulso de corriente. Se puede diferenciar dos tipos eventos, por un lado están los ASET (*Analog Single Event Transient*) que se producen cuando la partícula impacta en un circuito analógico, como puede ser un amplificador. Y por otro lado, se encuentran los DSET (*Digital Single Event Transient*) los cuales aparecen cuando el circuito es digital, tales como puertas lógicas. En CMOS esta corriente provoca una variación transitoria del voltaje del nodo afectado.
- *Single Event Functional Interrupt* (SEFI) consiste en el funcionamiento incorrecto y no esperado del sistema a causa del efecto de interacción de una partícula con el circuito, como pueden ser circuitos de reloj. Dependiendo del tipo de fallo, estos efectos se pueden solventar o bien reiniciando el sistema, o bien repitiendo la operación.
- *Single Event Disturb* (SED) se trata de una excursión momentánea del voltaje en un nodo de un IC que se genera debido al paso de un ion a través o cerca de la unión PN.

Este trabajo se centra en ahondar los efectos que producen los SETs y los SEU en los circuitos puesto que son los fenómenos que más relevancia cobran en los sintetizadores de frecuencia.

## 2.4 Modelado de los SET

A continuación, se procede a modelar los eventos singulares transitorios. Como ya se ha comentado con anterioridad, cuando una partícula atraviesa el material de un circuito, se produce la generación de pares electrón-hueco y durante ese proceso la partícula va perdiendo energía hasta que llega al reposo. Esta pérdida de energía

se mide mediante la transferencia lineal de energía (LET: *Linear Energy Transfer*) que viene expresada por la ecuación 2.1 [22] y se mide en  $eV \cdot m^2/kg$  aunque normalmente se expresa en  $MeV \cdot cm^2/mg$ .

$$LET = \frac{Q \cdot 3,6}{e \cdot \rho_{si} \cdot d} \quad (2.1)$$

Donde  $Q$  es la carga acumulada,  $e$  es la carga del electrón,  $\rho_{si}$  se corresponde con la densidad del material, que en este caso es silicio, y  $d$  se trata de la distancia recorrida por la partícula en el material. El valor de 3,6 (eV) proviene de la carga que se necesita para generar un par electrón-hueco.

Por otra parte, el modelo que permite representar un SET viene dado por un pulso de corriente en forma de doble exponencial [23]. Esta expresión se muestra en la ecuación 2.2.

$$I_{LET} = \frac{Q}{t_a - t_b} \cdot (e^{\frac{-t}{t_a}} - e^{\frac{-t}{t_b}}) \quad (2.2)$$

En donde  $Q$  es la carga inyectada,  $t_a$  se corresponde con el tiempo de bajada del pulso y  $t_b$  se trata del tiempo de subida del mismo. En la Tabla 2.1 se muestran las diferentes LET que se van a aplicar para realizar el análisis de los SETs.

Tabla 2.1: Parámetros de los pulsos de corriente

$t_a$ (ps)	$t_b$ (ps)	$Q$ (fC)	LET ( $MeV \cdot cm^2/mg$ )
200	50	300	14,47
200	50	525	25,31
400	100	501	24,16
400	100	801	38,62
400	100	990	47,74
400	100	1200	57,86

Para realizar las simulaciones de los SET se utiliza la herramienta *software* ADS de *Agilent* [24]. Para implementar el modelo de los pulsos de corriente se utiliza una fuente de corriente que permite introducir el tiempo de inicio del pulso, osea el momento en el cual impacta el SET. Asimismo, también permite ir añadiendo los valores que toma en el tiempo y que vienen determinados por la ecuación 2.2.

En la Figura 2.6 se puede observar el esquema empleado para generar los pulsos de corriente. Seguidamente, en la Figura 2.6 se muestran las curvas de los pulsos de corriente de la Tabla 2.1 para distintos valores de carga.

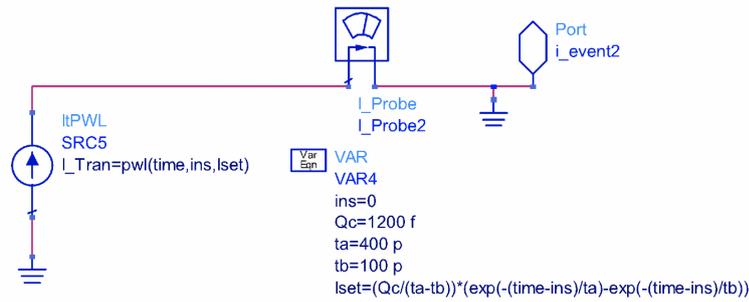


Figura 2.6: Esquemático de la simulación de SET

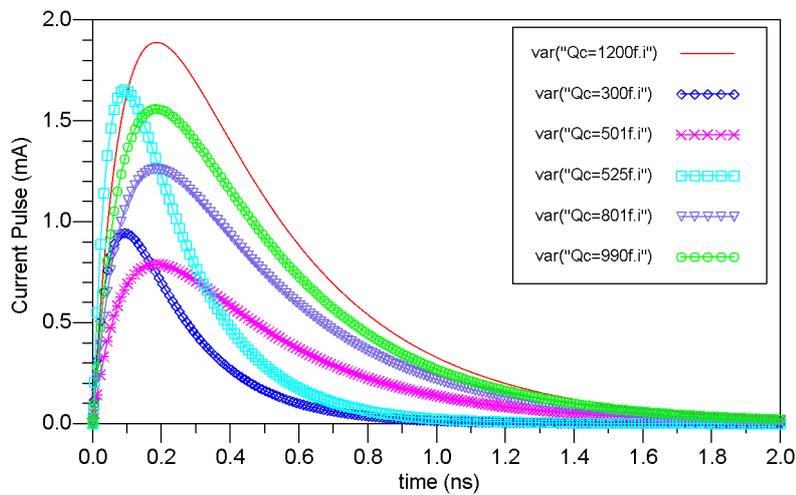


Figura 2.7: Curvas de los pulsos de corriente

## 2.5 Resumen

En este capítulo se ha ahondado en el estudio de la radiación espacial, en donde primero se realizó una breve definición de la radiación. Posteriormente, se explicaron las distintas fuentes naturales que lo pueden crear. Más tarde, se expusieron de manera detallada los diferentes efectos que se pueden generar en los dispositivos semiconductores. Y por último, se procedió a modelar los pulsos de corriente con el fin de poder estudiar los efectos que causan los SET en un sintetizador de frecuencias. Este análisis se explica en detalle en el siguiente capítulo.

## ANÁLISIS DE LOS SETS EN UN SINTETIZADOR DE FRECUENCIAS

En este capítulo, se describe el diseño del sintetizador de frecuencias realizado anteriormente en [8]. Primero, se comienza con una descripción de los diferentes bloques que componen el sintetizador de frecuencias, haciendo hincapié en los circuitos que forman parte del VCO y del divisor rápido. Posteriormente, se expone el procedimiento a seguir para realizar el análisis de los eventos singulares transitorios en dichos circuitos con el fin de observar los efectos que provocan los SET en ellos. Por último, se comentan los resultados obtenidos.

### 3.1 Diseño del sintetizador

En la Figura 3.1 se muestra el diagrama de bloques del sintetizador de frecuencias al cual se le va a realizar el análisis de los SET. Este circuito está compuesto por un detector de fase-frecuencia (PFD: *Phase Frequency Detector*), una bomba de carga (CP: *Charge Pump*), un filtro, un VCO, un divisor rápido por dos y un divisor programable. A continuación, se realiza una breve descripción de cada uno de los bloques.

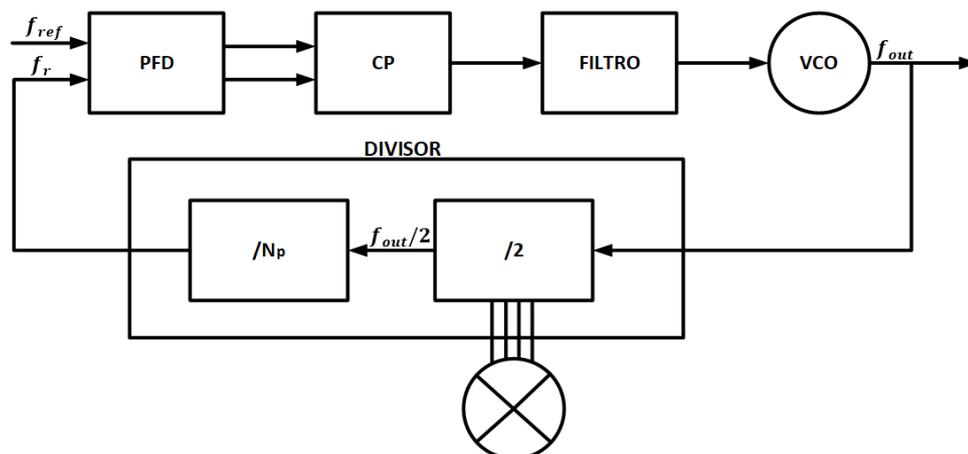


Figura 3.1: Diagrama de bloques del sintetizador de frecuencias

### 3.1.1 Detector de fase-frecuencia

El PFD se encarga de comparar la fase o frecuencia entre salida del divisor programable y la de referencia. Este detector está compuesto por dos salidas, y es capaz de estar en tres estados diferentes. Los cambios se controlan con los flancos de subida de las señales de entrada, tal y como se observa en la Figura 3.2 en donde se muestra el diagrama de estados del detector. En el sintetizador, el detector se implementó con puertas NAND.

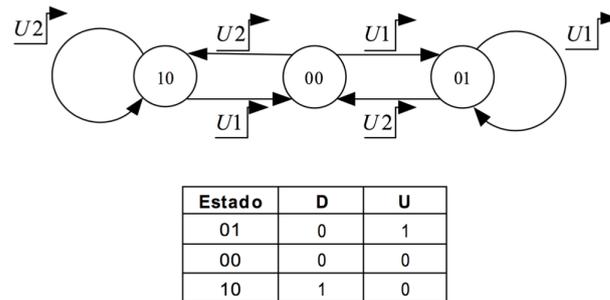


Figura 3.2: Diagrama de estados del PFD

### 3.1.2 Bomba de carga

El CP se encarga de traducir las señales de salida provenientes del PFD con el fin de controlar la tensión de control del VCO. En la Figura 3.3 se muestra el esquema de la bomba de carga, el cual está formado por dos generadores de corriente que inyectan o extraen la corriente de un filtro.

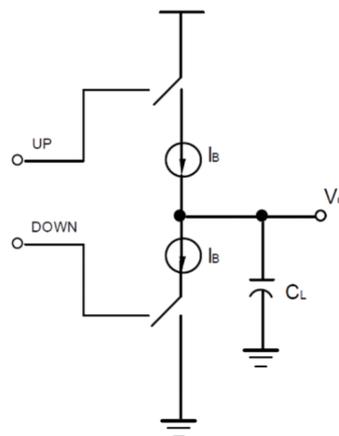


Figura 3.3: Esquema de la bomba de carga

### 3.1.3 Filtro

El filtro es uno de los elementos más relevantes del sintetizador pues son los que garantizan su estabilidad. El filtro implementado se muestra en la Figura 3.4 y se trata de un filtro pasivo paso bajo de orden 3 porque está compuesto por tres condensadores. Para calcular sus parámetros existen un gran número de métodos, no obstante el método empleado fue el que proporciona *Fujitsu* [25].

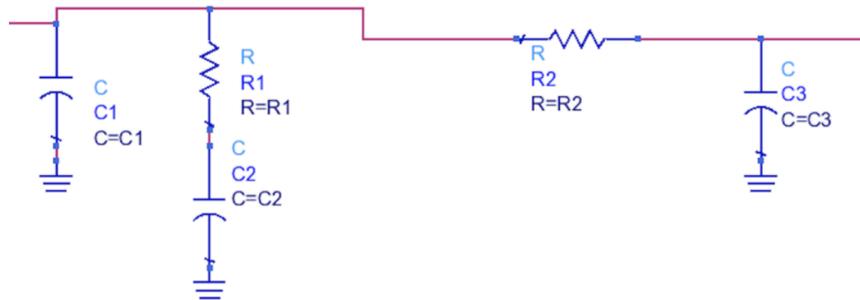


Figura 3.4: Esquema del filtro

### 3.1.4 Oscilador Controlado por Tensión

El VCO es el encargado de generar las frecuencias del oscilador local. Este circuito fue diseñado para un receptor cero-IF (IF: *Intermediate Frequency*) y debe cumplir las especificaciones de la banda global (2,4 GHz) del estándar IEEE 802.15.4 [26] debido a que el dispositivo tendrá una aplicación a nivel mundial.

La banda de frecuencias del oscilador se establece desde los 2405 MHz hasta los 2480 MHz, sin embargo para dichas frecuencias el oscilador no podría ser integrado en un chip debido a que se obtienen valores muy elevados del tanque LC. Por lo tanto, se decide duplicar la frecuencia de trabajo del oscilador.

Por otra parte, otro parámetro a considerar es el ruido de fase en donde el estándar establece diferentes valores de ruido dependiendo de la frecuencia de trabajo. Para la banda global el valor es -102 dBc @ 3,5 MHz. En la Tabla 3.1 se encuentran resumidos las especificaciones del VCO para el estándar IEEE 802.15.4.

Tabla 3.1: Especificaciones del VCO para el estándar IEEE 802.15.4

Parámetros	Valor
Frequency	4810 - 4960 MHz
Phase Noise	-102dBc @ 3,5 MHz

Por otro lado, la arquitectura empleada para el diseño del VCO es una topología LC en configuración CMOS compuesto por dos parejas de transistores NMOS y PMOS en par cruzado, tal y como se muestra en la Figura 3.5. Se emplea esta estructura debido a que se obtiene mejor ruido de fase. Esto es debido a que con la misma corriente de polarización, la configuración CMOS proporciona una transconductancia más elevada que con la NMOS o PMOS. Así, se consigue que el par cruzado pueda conmutar más rápidamente y por consiguiente sea menos sensible a los impactos de las partículas.

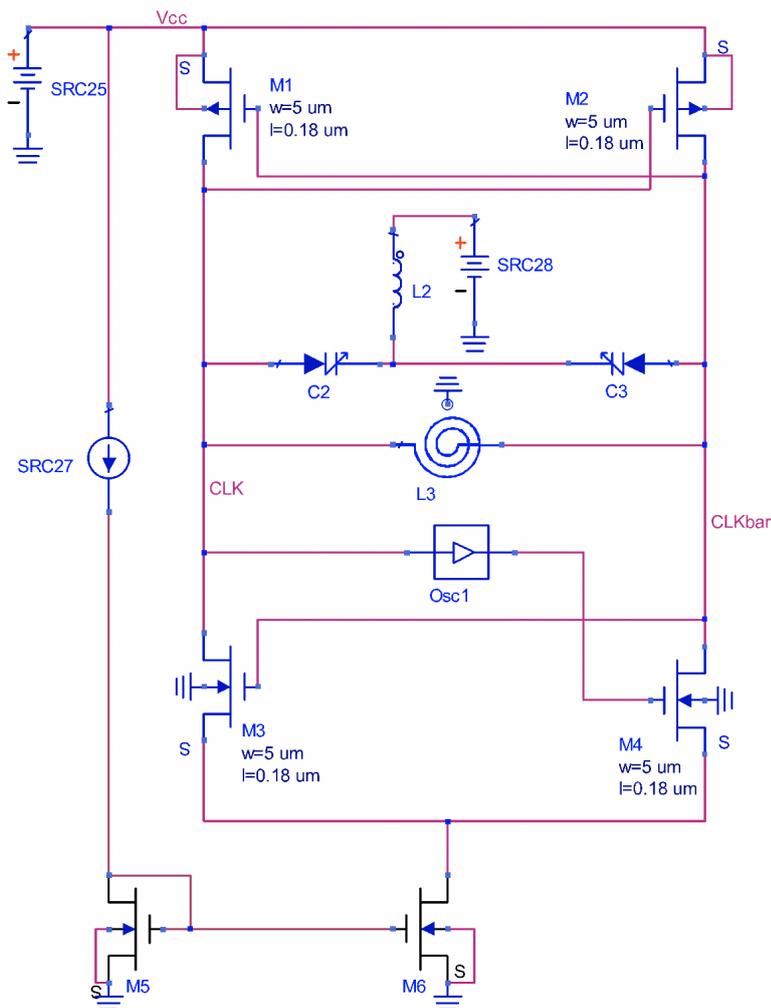


Figura 3.5: Esquema del VCO

En la Figura 3.6 se comprueba que los resultados obtenidos del oscilador cumplen con las especificaciones del estándar IEEE 802.15.4.

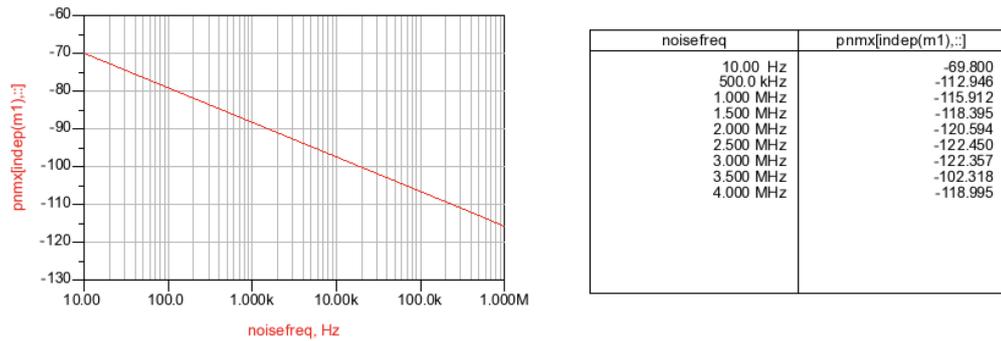


Figura 3.6: Resultado del VCO

### 3.1.5 Divisor rápido

El divisor rápido se trata de un circuito digital síncrono, compuesto por dos entradas y cinco salidas. En la Figura 3.7 se muestran los bloques que forman el divisor rápido, en ella se puede contemplar que utiliza una configuración CML (*Current-Mode Logic*) y que está compuesta por dos *buffers*, uno de ellos se emplea para conectarse con el bloque del divisor programable y el otro para el mezclador. La salida que se encuentra conectada al divisor programable es la frecuencia de salida del sintetizador, que en este caso es de 2.4 GHz.

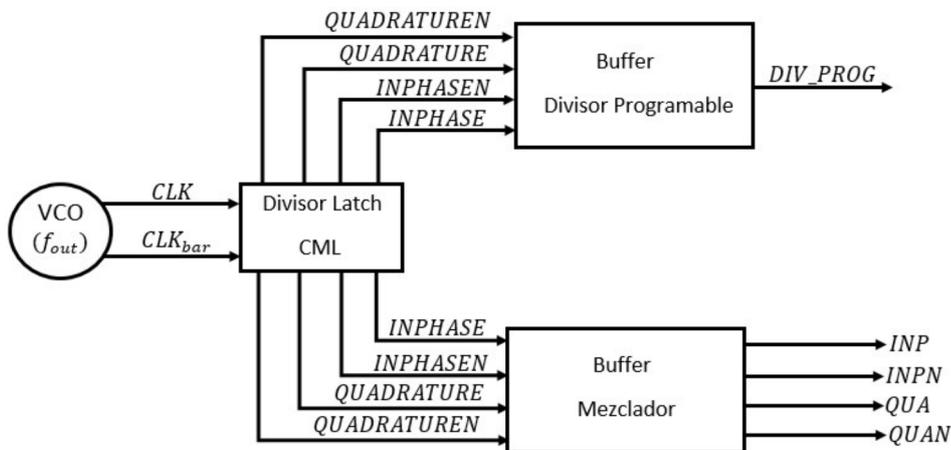


Figura 3.7: Diagrama de bloques del divisor rápido

#### 3.1.5.1. Divisor Latch CML

Como ya se ha comentado anteriormente, el divisor emplea una estructura de tipo CML que está compuesto por dos *latch* tipo D en configuración *master-slave*, en donde las salidas del primer *latch* se conectan con las entradas del segundo y las salidas de éste se cruzan y se conectan a las entradas del primero de forma complementaria. Por otro lado, las entradas del reloj ( $CLK$  y  $CLK_{bar}$ ) son diferenciales

y se conectan en paralelo con el primer *latch* y de forma complementaria con el segundo, esto se observa en la Figura 3.8.

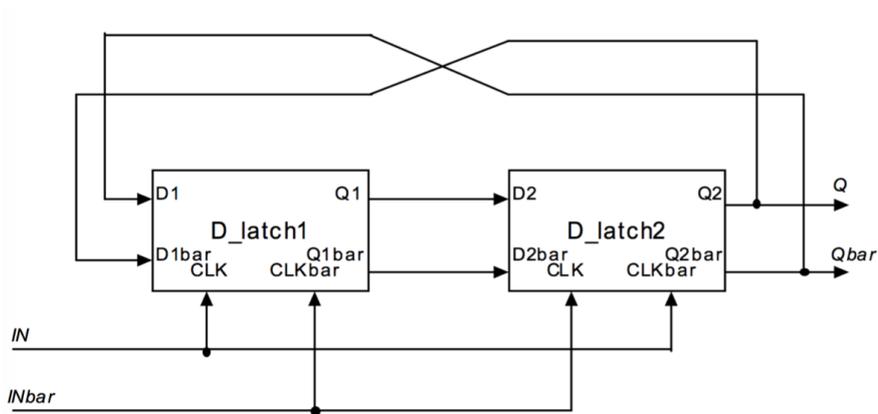


Figura 3.8: Configuración del *latch* CML del divisor rápido

En la Figura 3.9 se muestra el esquema del divisor, en ella observa que este circuito posee una etapa de muestreo (*Sample Pair*) que se trata de un amplificador diferencial y otra de retención (*Hold Pair*) que se encarga de mantener la tensión en el nodo de salida.

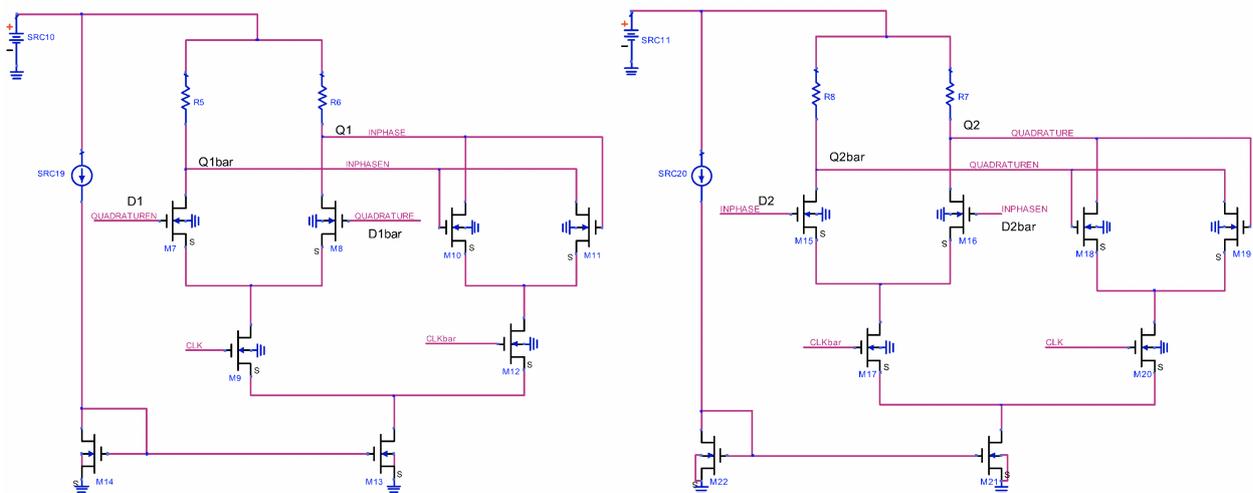


Figura 3.9: Esquema del *latch* CML del divisor rápido

A continuación, se procede a realizar el diseño de los *buffers* que se conectan con el divisor programable y con el mezclador.

### 3.1.5.2. *Buffer* divisor programable

Primero, se lleva a cabo el diseño del *buffer* que conecta con el divisor programable, este esquema se puede observar en la Figura 3.10 el cual se trata de un

convertidor de CML a CMOS debido a que la entrada de reloj que necesita el divisor programable es asimétrica y no diferencial.

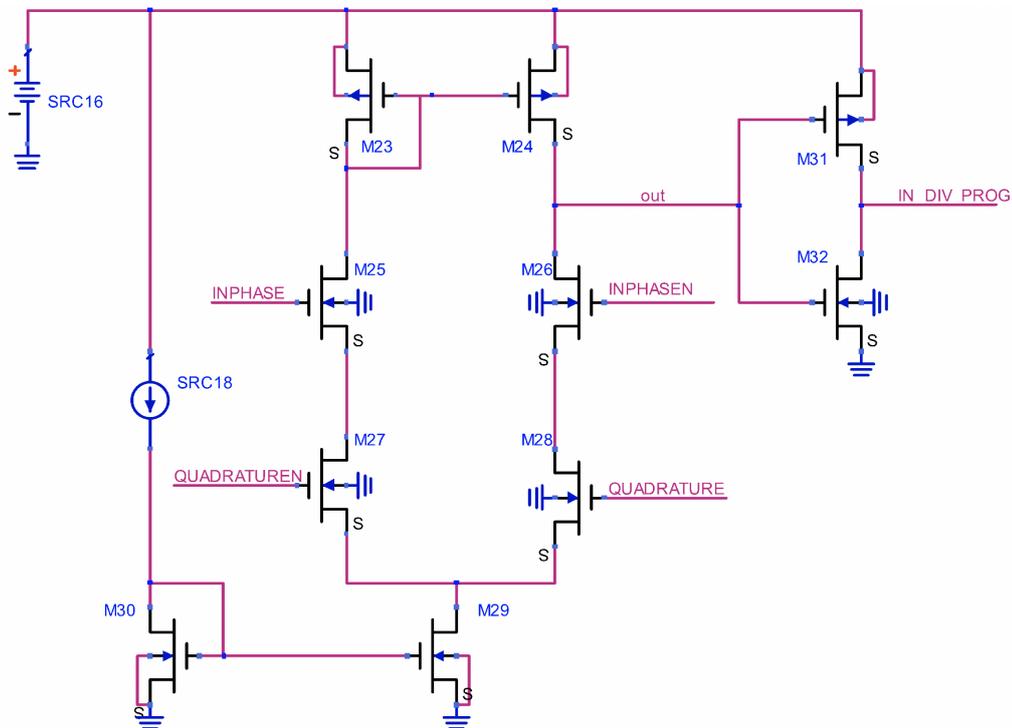


Figura 3.10: Esquema del *buffer* que conecta con el divisor programable

La etapa diferencial posee una rama con un transistor en forma de carga activa y en la otra otro transistor para fijar el máximo nivel de excursión a la salida.

Por último, se emplea un circuito inversor a la salida de la etapa diferencial para obtener una señal digital limpia.

### 3.1.5.3. *Buffer* mezclador

En este apartado se describe el *buffer* que se conecta con el mezclador. Se emplea estos *buffer* debido a que la etapa del divisor no puede proporcionar por ella misma la potencia necesaria para el mezclador y en caso de poder suministrarla, el divisor se puede sobrecargar y por consiguiente dejar de realizar su función.

En la Figura 3.11 se muestra el esquema que conecta las salidas del divisor, como se puede observar se implementa uno para la componente en fase y otro para la cuadratura.

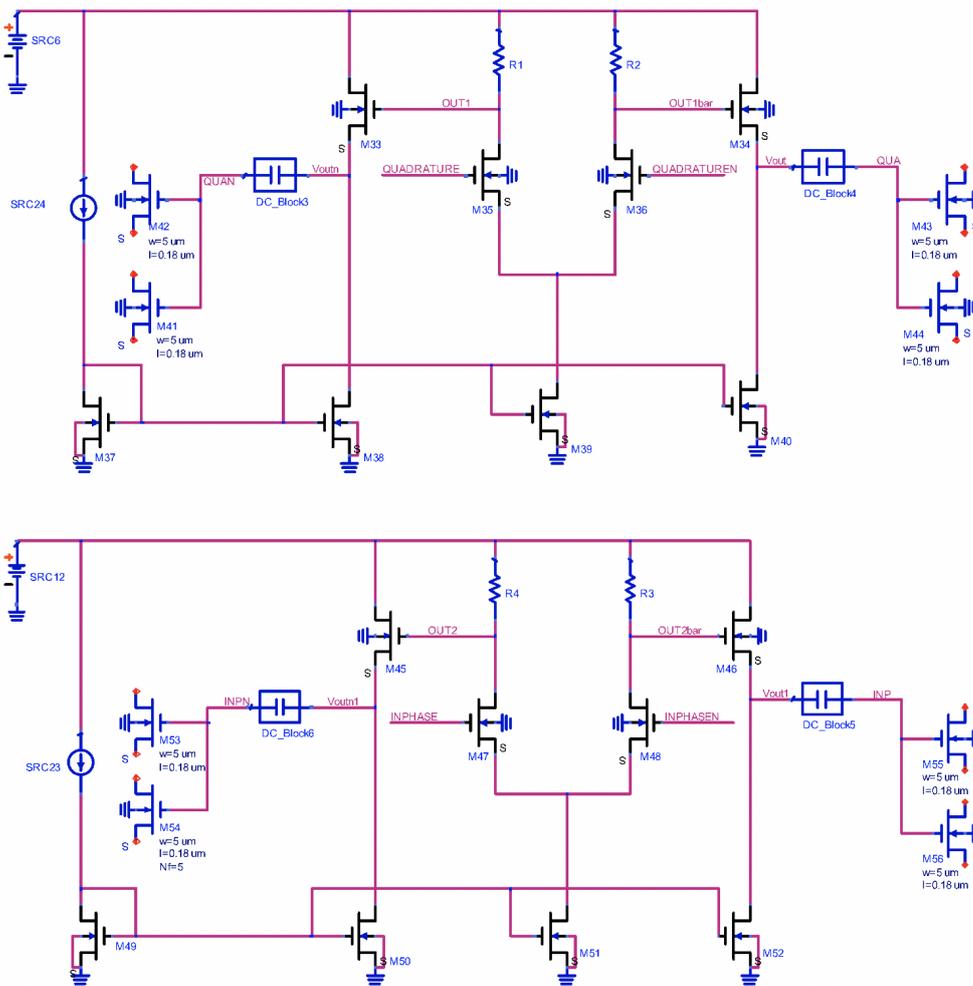


Figura 3.11: Esquema de los *buffers* que conectan con el mezclador

## 3.2 Análisis de los SET

Concluido el estudio de los bloques del sintetizador, a continuación se procede a realizar el análisis de los SETs en cada uno de ellos. Para llevar a cabo este estudio se simulan los impactos de las partículas ionizantes con los pulsos de corriente en los puntos más sensibles del circuito.

En los dispositivos CMOS, las zonas más sensibles a los SET son aquellas en donde existen uniones de polarización inversa. En el caso de los transistores NMOS es en la unión N-P entre el drenador y el sustrato, mientras que en los PMOS se corresponde con la unión P-N entre el drenador y el sustrato [27]. Por tanto, el estudio se realiza en los drenadores de los transistores que forman el sintetizador.

En la Figura 3.12 se especifica los puntos en donde se aplicará la radiación en cada uno de los *latch* del divisor rápido.

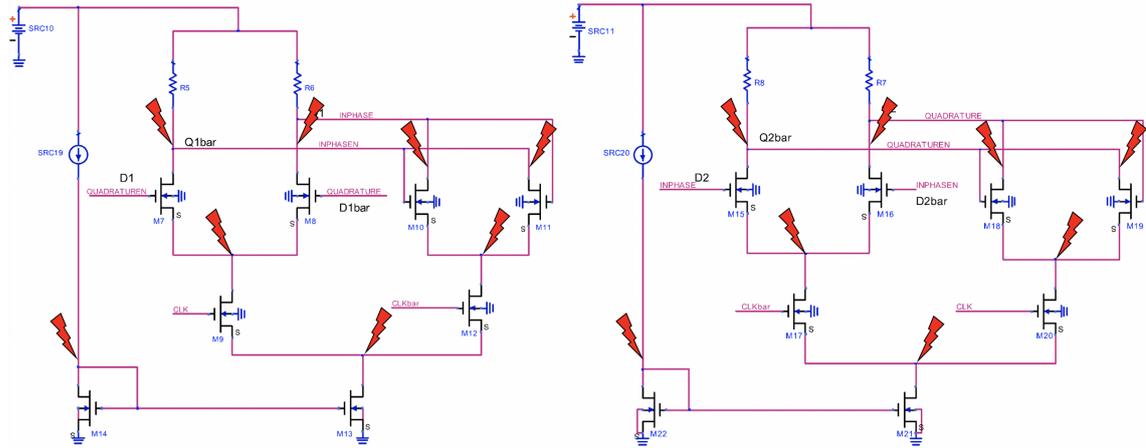


Figura 3.12: Esquema del divisor rápido donde se aplican los LET

Después, en la Figura 3.13 se muestra el lugar donde se producirán los impactos en los *buffers* del mezclador, tanto para la componente de fase como para la de cuadratura.

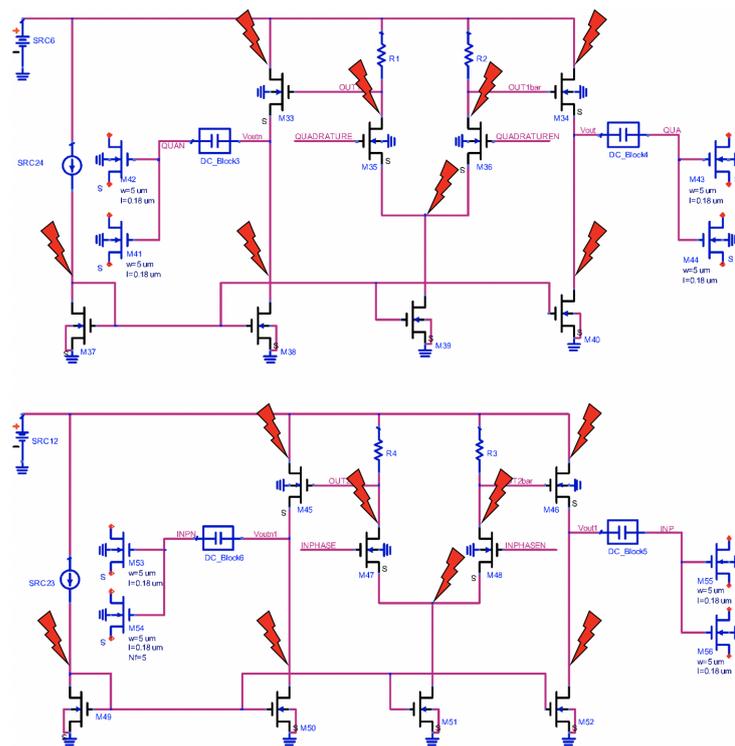


Figura 3.13: Esquema de los *buffers* del mezclador donde se aplican los LET

Luego, en la a Figura 3.14 se presentan los impactos que se efectuarán en los drenadores de los transistores que forman el *buffer* del divisor programable.

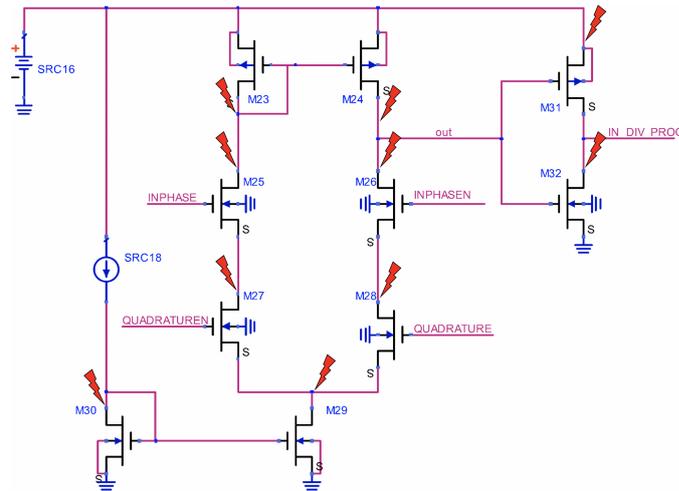


Figura 3.14: Esquema del *buffer* del divisor programable donde se aplican los LET

Finalmente, en la Figura 3.15 se indican los puntos donde se realizarán los impactos en el oscilador.

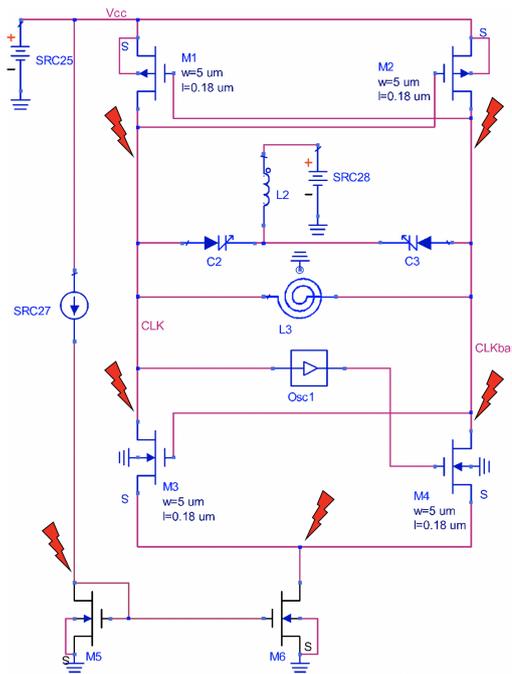


Figura 3.15: Esquema del VCO donde se aplican los LET

Las simulaciones se realizan para dos casos diferentes, una cuando el momento del impacto ocurre en el pico de la señal de oscilación y el otro cuando cruza por cero. Ahora bien, para llevar a cabo el análisis se toman en consideración la variación de amplitud, el desfase y el tiempo de establecimiento, el cual se entiende como el tiempo que transcurre desde que se produce el impacto hasta tener una variación de pico menor del 5% de la señal.

En la Figura 3.16 se muestran las magnitudes a tener en cuenta para realizar el análisis. Sin embargo, la variación de amplitud no se tiene en consideración para el sintetizador debido a que en este circuito es prácticamente despreciable.

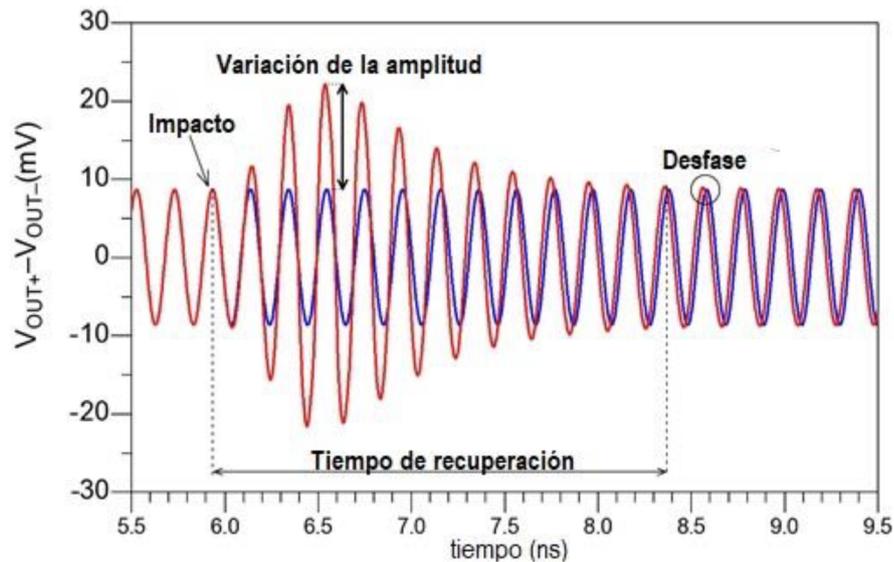


Figura 3.16: Magnitudes a tener en cuenta para realizar el análisis de los SET

En un primer momento, el análisis se produjo en el sintetizador por completo, es decir, con todos los componentes integrados. No obstante, se contempló que las partículas de radiación no le afectaban y por consiguiente, se procedió a realizar el estudio de cada uno de ellos individualmente. De ese análisis se pudo apreciar que el VCO y el divisor rápido son los circuitos más sensibles a la radiación y por tanto, los que son trabajo de estudio de este proyecto.

Cabe destacar que se han realizado un gran número de estudios sobre los SET [28]-[37] en un sintetizador de frecuencias pero ninguno de ellos ha desarrollado un estudio tan completo como el que se muestra en el este trabajo.

### 3.3 Resultados

Una vez que se conoce el procedimiento para realizar el análisis, en este apartado se muestran y se comentan los resultados obtenidos de los distintos circuitos a considerar. Primero, se procede a analizar los resultados del VCO y más adelante, los del divisor rápido.

En los resultados, se puede observar que alrededor de los  $25 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  aparece un salto en las simulaciones debido a que se aplican energías muy similares para diferentes  $t_a + t_b$ .

### 3.3.1 VCO

En la Figura A.1 y en la Figura A.2 del Anexo se muestran las variaciones de fase del VCO cuando el impacto se produce en el cruce por 0 y en el pico de máximo de la señal respectivamente. En ellas se observa que los transistores más afectados debido al impacto de los SET son aquellos que forman parte del espejo de corriente del circuito. Por tanto, el que más sufre el efecto de los eventos singulares transistores en el VCO diseñado es el transistor  $M_5$ .

Este transistor ( $M_5$ ) es el que provee al resto del voltaje necesario para que el circuito trabaje correctamente. Por ello, una variación como la que provoca un SET en este transistor conlleva al mal funcionamiento de todo el esquema ya que está conectado al transistor de la rama de referencia que es el núcleo del oscilador.

Por otra parte, en la Figura A.3 y Figura A.4 se puede observar que el tiempo de establecimiento es proporcional a la energía aplicada. Es decir, a medida que aumenta el LET, mayor es el tiempo que necesita el circuito para recuperarse. Tanto en la Figura A.3 como en la Figura A.4 se aprecia que el transistor que más tiempo tarda en recuperarse es el  $M_5$  el cual se corresponde, como ya se comentó anteriormente, con el que forma parte del espejo de corriente. Aunque el transistor  $M_4$  cuando el impacto se produce en el pico máximo, también parecer ser vulnerable a los impactos.

### 3.3.2 Divisor rápido

En la Figura B.1 y Figura B.2 se puede observar que al impactar un SET en el divisor rápido se produce un SEU en el circuito, en donde el error provocado en una de las salidas es almacenado y se transmite a otras partes del circuito, haciendo al sistema inestable. Mientras que en la Figura B.3 y Figura B.4 se aprecia que los transistores que más tardan en recuperarse en el divisor rápido son aquellos que forman parte de la etapa de muestreo y retención, es decir,  $M_{10}$ ,  $M_{15}$ ,  $M_{16}$  y  $M_{17}$ . También se puede ver que el transistor  $M_{13}$  es sensible a SET ya que tarda un tiempo considerable en recuperarse. Este transistor se encuentra en la rama de referencia y se encarga de proporcionar la alimentación a todo el circuito. Por ello, el impacto de un SET en este componente afecta al núcleo del circuito comprometiendo su correcto.

Por otro lado, en la Figura B.5 y Figura B.6 se muestran las gráficas del *buffer* del divisor programable, en donde se aprecia que el transistor más sensible cuando la señal se encuentra en el pico máximo es el  $M_{28}$  que está conectado a la entrada del inversor. Para el caso de cuando cruza por cero, se puede apreciar que la variación de fase obtenida es próxima a cero. En la Figura B.7 y Figura B.8 se confirma que los transistores que más tardan en recuperarse son  $M_{24}$ ,  $M_{28}$  y  $M_{32}$ , es decir, los más susceptibles a los impactos de un SET.

Finalmente, en la Figura B.9 y Figura B.10 se presentan los desfases de los *buffers* que se conecta con el mezclador, en donde se contempla que la variación de fase es próxima a cero y por tanto, el desfase es prácticamente nulo. Y con respecto al tiempo de establecimiento, en la Figura B.11 y Figura B.12 se aprecia que aquellos componentes que más tiempo les lleva recuperarse tras recibir un impacto son  $M_{35}$ ,  $M_{45}$  y  $M_{52}$ .

### 3.4 Resumen

En este capítulo se ha llevado a cabo una descripción detallada del funcionamiento de los circuitos del sintetizador de frecuencias y sobre todo de los esquemas más importantes para este proyecto, osea el VCO y el divisor rápido. Posteriormente, se ha descrito el procedimiento para efectuar el análisis de los SET en dichos circuito y de los resultados obtenidos se puede observar que los transistores que son más frágiles al impacto de los SET son aquellos que forman parte del espejo de corriente. Aunque en el divisor rápido y el *buffers* también se pudo percibir que los transistores que componen el par diferencial de cada uno de los circuitos son sensibles a la radiación. Por lo tanto, en el siguiente capítulo se procede a implementar el diseño robusto a radiación en los circuitos analizados.



## Capítulo 4

# REDISEÑO DEL SINTETIZADOR CON TÉCNICAS RHBD

---

Una vez concluido el análisis de la radiación en los circuitos y observar los efectos que producen los SET en ellos, en este capítulo se procede a implementar el rediseño tanto del VCO como del divisor rápido con el fin de que soporten la radiación espacial. En primer lugar, se expone una breve introducción sobre las técnicas de diseño robusto a radiación en donde se proporciona su definición, así como los distintos niveles de abstracción en el cual se pueden aplicar dichas técnicas. Más tarde, se detalla el rediseño aplicado tanto en el VCO como en el divisor rápido, exponiendo las técnicas aplicadas en cada uno de ellos y verificando que, en el caso del VCO, continúa satisfaciendo las especificaciones del estándar y para el caso del divisor rápido que continúe realizando la división por 2.

### 4.1 Diseño robusto a radiación

La técnica RHBD consiste en implementar todas aquellas acciones que sean necesarias para que los circuitos electrónicos continúen funcionando correctamente al exponerlos a un entorno de radiación elevada [38], como puede ser la radiación del espacio o la radiación de las centrales nucleares.

En general, se suele realizar un estudio completo de todos los efectos de los eventos singulares que la radiación puede generar en los sistemas para así poder detectar todas las vulnerabilidades de los esquemas y realizar un diseño lo más robusto posible con el fin de minimizar o incluso eliminar los daños que causa la radiación.

### 4.2 Técnicas de diseño robusto

La mitigación de los SET se puede realizar desde diferentes niveles de abstracción. Uno de ellos puede ser a nivel tecnológico, realizando cambios en los procesos físicos, y otro a nivel de *layout*, efectuando cambios estructurales o incluso a través del propio dispositivo. Por otro lado, se encuentra la mitigación a nivel de circuito que consiste en cambiar la topología del circuito. Finalmente, está la mitigación a nivel

de sistema que se corresponde con los cambios de la arquitectura. No obstante, para mitigar los SET existen dos maneras, las cuales no depende ni del nivel en el que se trabaja ni de la tecnología que se emplea, que enumeran a continuación [39].

1. Reduciendo la cantidad de carga acumulada en las uniones de los metales.
2. Aumentando la carga crítica que se necesita en la unión para generar los SET.

Algunas técnicas aplicadas trabajan en el sustrato del dispositivo para reducir la carga acumulada tras recibir el impacto de un SET. Otras emplean capas de bloqueo de cargas o incluso a nivel de *layout* utilizando anillos de guarda o diodos alrededor de este [40]-[42]. Sin embargo, dado que no se ha trabajado a nivel de *layout*, para realizar el rediseño del VCO y del divisor rápido se aplicaron las técnicas de reducción de la carga crítica. Algunas de estas técnicas son el desacoplo resistivo, el filtrado, la reducción de nodos de alta impedancia o la redundancia de los propios circuitos [39].

## 4.3 Rediseño del VCO

En este apartado se procede a aplicar las técnicas RHBD en el oscilador procurando mantener las especificaciones resumidas anteriormente en la Tabla 3.1. En el capítulo previo se efectuó el análisis de los SET en el oscilador y se pudo apreciar que los transistores más frágiles a este fenómeno son los que forman parte del espejo de corriente. Por ese motivo, el rediseño del VCO se inicia en la parte del espejo de corriente y, posteriormente, se continúa con el núcleo del oscilador.

### 4.3.1 Incremento de la constante de tiempo

La primera técnica aplicada es añadir una etapa RC para modificar la constante de tiempo que ven los drenadores de los transistores del espejo de corriente ( $M_5$  y  $M_6$ ). En la Figura 4.1 se muestra la implementación de esta etapa en el VCO, en donde se puede apreciar que la modificación se realiza entre la puerta del transistor de la rama de referencia  $M_5$  y la puerta del otro transistor  $M_6$ .

Como todos conocen, un condensador no se carga de manera instantánea sino de forma exponencial con el tiempo. Este tiempo de carga del condensador se le denomina constante de tiempo y se representa por la letra griega  $\tau$ . Asimismo, su expresión viene dada por la ecuación 4.1

$$\tau = R \cdot C \quad (4.1)$$

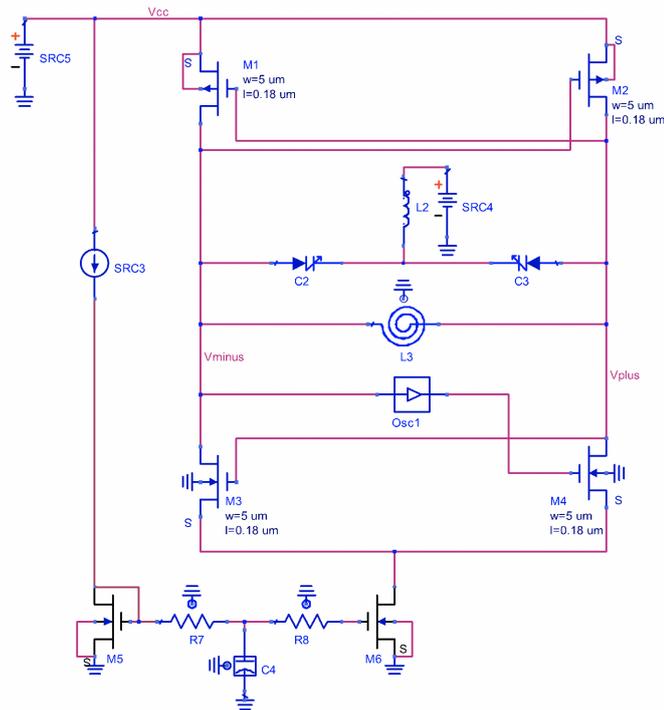


Figura 4.1: Esquema del VCO con la etapa RC

En la Tabla 4.1 se muestran los valores de los componentes de la etapa RC empleados en el VCO.

Tabla 4.1: Valores de los componentes de la etapa RC

Componentes	Modelo	Unidades	Valor
$R_7$ y $R_8$	<i>RNHR_RF</i>	2	$R = 4,757 \text{ k}\Omega$ $w = 2 \text{ }\mu\text{m}$ $l = 9,13 \text{ }\mu\text{m}$ $m = 1$
$C_4$	<i>MIMCAPM_RF</i>	1	$C = 1 \text{ pF}$ $w = 31,5 \text{ }\mu\text{m}$ $l = 31,5 \text{ }\mu\text{m}$ $m = 1$

No obstante, al incluir esta etapa, el VCO deja de cumplir con las especificaciones del estándar tal y como se muestra en la Figura 4.2, donde se aprecia que el ruido de fase es de -100 dBc @ 3,5 MHz.



Figura 4.2: Resultado del VCO al incluir la etapa RC

El empeoramiento del ruido se produce a causa de las resistencias introducidas y se debe a la agitación térmica de los portadores de carga, tanto de electrones como de huecos. En la ecuación 4.2 se formula el valor cuadrático medio del voltaje del ruido.

$$\overline{V_n^2} = 4 \cdot K \cdot T \cdot B \cdot R \quad (4.2)$$

Donde  $K$  es la constante de *Boltzman*,  $T$  se corresponde con la temperatura absoluta,  $B$  es el ancho de banda y  $R$  es el valor de la resistencia. De esta expresión se puede apreciar que este ruido no depende ni de la corriente que atraviesa el circuito, ni del material empleado.

Por ello, hay que buscar una solución a este problema, una de las alternativas puede ser la que describe en el siguiente apartado.

### 4.3.2 Divisor capacitivo

El ruido de fase se rige por el modelo de *Lesson* que expresa el comportamiento del ruido a un *offset* cercano a la frecuencia de oscilación [43] y se formula en la ecuación 4.3 donde  $V_0$  es la amplitud de oscilación,  $Q$  se corresponde con el factor de calidad del circuito resonante,  $\Delta f$  se trata del desplazamiento de la frecuencia de salida,  $f_c$  es la frecuencia de corte del ruido *flicker* y, finalmente,  $F$  es el factor de ruido. Además, tiene en cuenta tanto el ruido *flicker* como el térmico, además del ruido del tanque.

$$L(\Delta f) = \frac{2 \cdot K \cdot T \cdot R \cdot F}{V_0^2} \cdot \left( \frac{f_0}{2 \cdot Q \cdot \Delta f} \right)^2 \cdot \left( 1 + \frac{f_c}{\Delta f} \right) \quad (4.3)$$

Este tipo de ruido aparece en todos los dispositivos activos y se trata de un ruido rosa que depende de la corriente que penetra en el dispositivo. Una manera

de mejorar el ruido es aumentando la amplitud de oscilación ( $V_0$ ). Esto se puede conseguir añadiendo un divisor capacitivo en el esquema del VCO.

Antes de ser implementado en el VCO, primero se realiza un estudio de este divisor capacitivo en donde en la Figura 4.3 se muestra el esquema simplificado de divisor compuesto por dos condensadores.

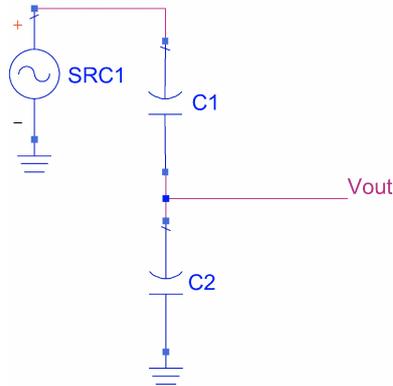


Figura 4.3: Esquema simplificado del divisor capacitivo

La expresión que regula la impedancia en cada transistor se muestra en la ecuación 4.4. En ella se puede observar, que al variar la capacidad de los condensadores, se logra modificar el de las impedancias y, por tanto, tensión de salida ( $V_{out}$ ) entre ellas.

$$Z = \frac{1}{j \cdot \omega \cdot C} \quad (4.4)$$

En la Figura 4.4 se muestra el resultado obtenido por el divisor capacitivo simplificado. De esta gráfica se puede apreciar que existe una relación entre los condensadores  $C_1$  y  $C_2$ , y que al disminuir el valor de  $C_2$  con respecto al de  $C_1$ , se logra la máxima amplitud de la señal.

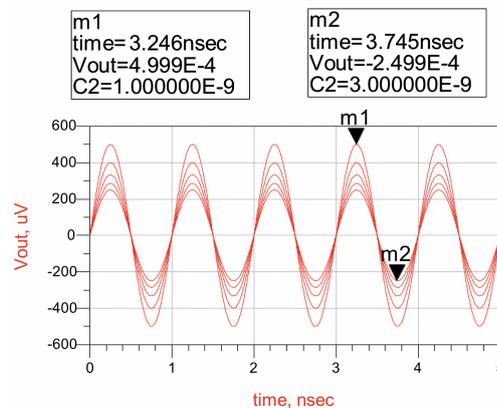


Figura 4.4: Resultado del divisor capacitivo simplificado

A continuación, se procede a añadir el divisor capacitivo en el esquema del VCO, tal y como se muestra en la Figura 4.5, en donde se emplean los condensadores del  $C_{14}$  al  $C_{21}$  para aumentar la excursión del oscilador y se sitúan en el camino de realimentación del esquema. Por otro parte, se utilizan las resistencias ( $R_9$ - $R_{11}$ ) para polarizar los transistores del amplificador de resistencia negativa ya que, en caso de no ponerlas, los transistores quedarían en circuito abierto en continua.

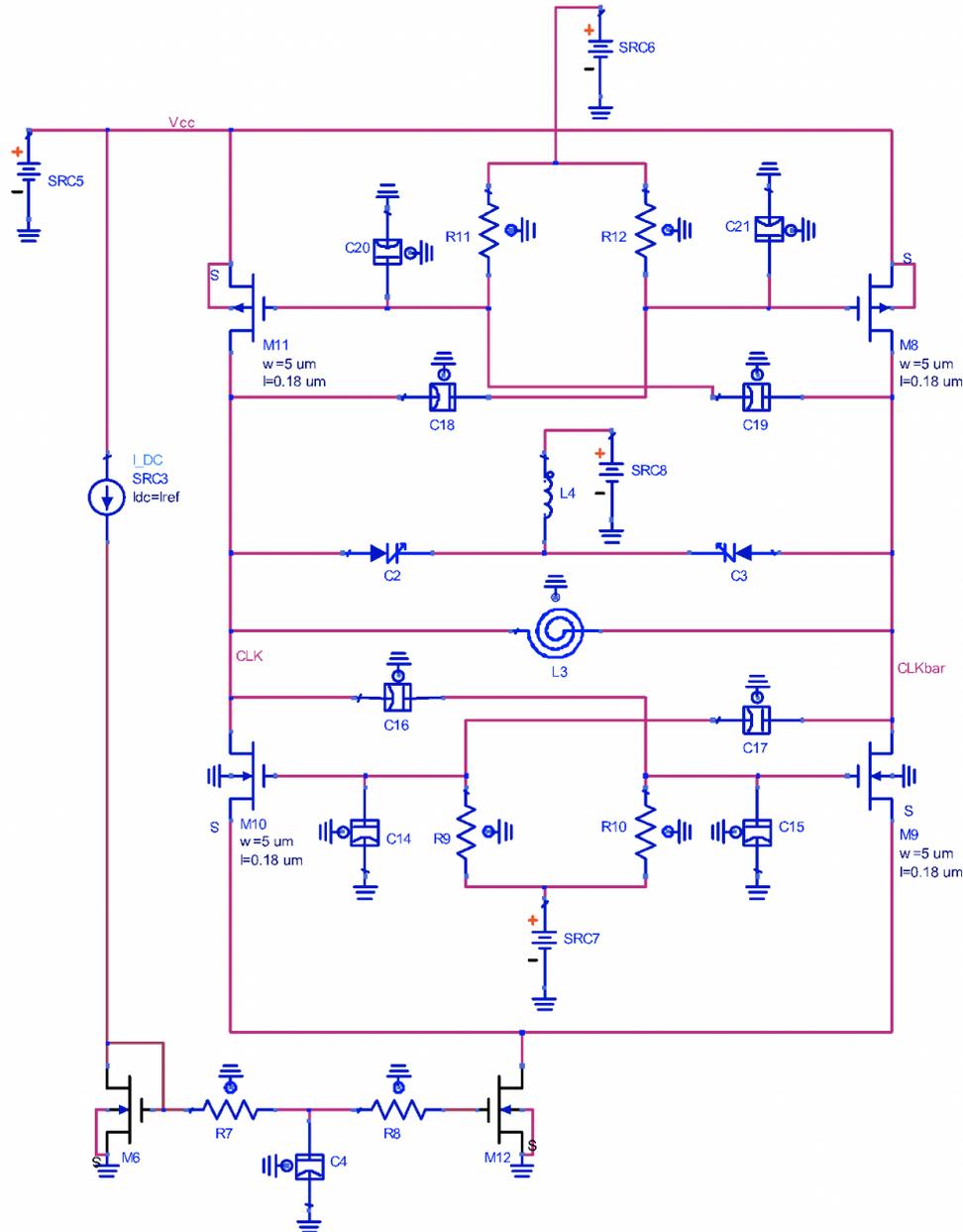


Figura 4.5: Esquema final del VCO con técnica RHBD

En la Tabla 4.2 se muestran los valores de los nuevos componentes del oscilador, así como aquellos que se tuvo que modificar para que el oscilador operase correctamente.

Tabla 4.2: Valores de los componentes del divisor capacitivo

<i>Componentes</i>	<i>Modelo</i>	<i>Unidades</i>	<i>Valor</i>
$C_{14} - C_{21}$	<i>MIMCAPM_RF</i>	4	$C = 103$ fF $w = 10$ $\mu\text{m}$ $l = 10$ $\mu\text{m}$ $m = 1$
$C_{16} - C_{19}$	<i>MIMCAPM_RF</i>	4	$C = 514,81$ fF $w = 22,54$ $\mu\text{m}$ $l = 22,54$ $\mu\text{m}$ $m = 1$
$R_9 - R_{12}$	<i>RNHR_RF</i>	4	$R = 10$ k $\Omega$ $w = 2$ $\mu\text{m}$ $l = 19,1$ $\mu\text{m}$ $m = 1$
$L_4$	<i>L</i>	1	$L = 0,5$ nH
$C_2$ y $C_3$	<i>VARDIOP_RF</i>	2	$C = 0,6$ pF $n_f = 50$
<i>SRC6</i> y <i>SRC7</i>	<i>V_DC</i>	2	$V = 1,1$ V

Seguidamente, se procede a comprobar si el VCO continua funcionando de manera correcta. Para ello, en la Figura 4.6 se muestran los resultados obtenidos en donde se puede observar que la frecuencia de trabajo del oscilador se sitúa dentro del rango de frecuencias especificado por estándar. Asimismo, se aprecia que el ruido de fase no supera los  $-102$  dBc @  $3,5$  MHz, cumpliendo por tanto con las especificaciones de la Tabla 3.1.

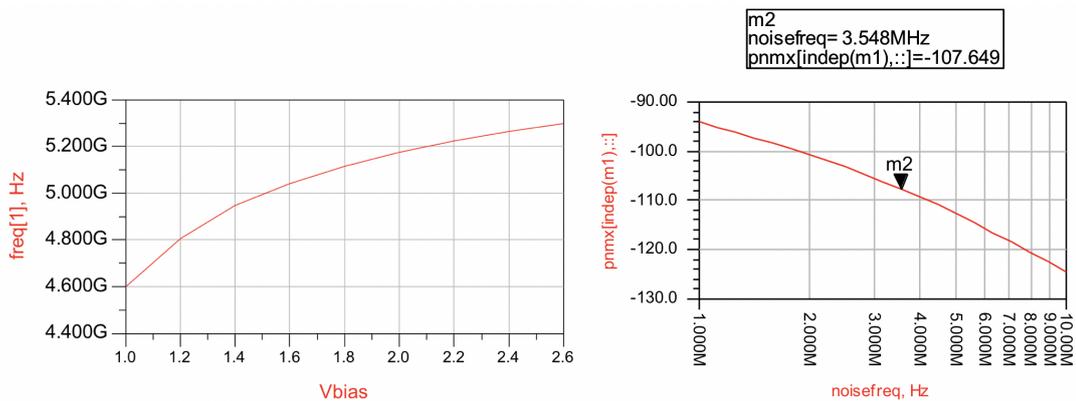


Figura 4.6: Resultado del oscilador tras aplicar las técnicas RHBD

## 4.4 Rediseño del divisor

En el capítulo anterior se concluyó que en la parte del divisor se produce un SEU al impactar una partícula de alta radiación en el circuito, afectando a los otros esquemas que lo componen. Por ello, en este apartado se van a aplicar las técnicas RHBD necesarias para que el circuito sea resistente a radiación, comenzando con la parte de los *latch* del divisor, luego se continúa con *buffer* que conecta con el divisor programable y, por último, el del mezclador.

### 4.4.1 Redundancia del circuito

La técnica aplicada se denomina GFC (*Gated Feedback Cell*) [44] y consiste en añadir otra etapa *latch* al circuito original para que no se produzca un cambio en el contenido almacenado y no se propague a otras partes del circuito. El esquema del divisor queda como se observa en la Figura 4.7 en donde se puede apreciar que la etapa *latch* posee cuatro etapas de retención y cuatro de muestreo.

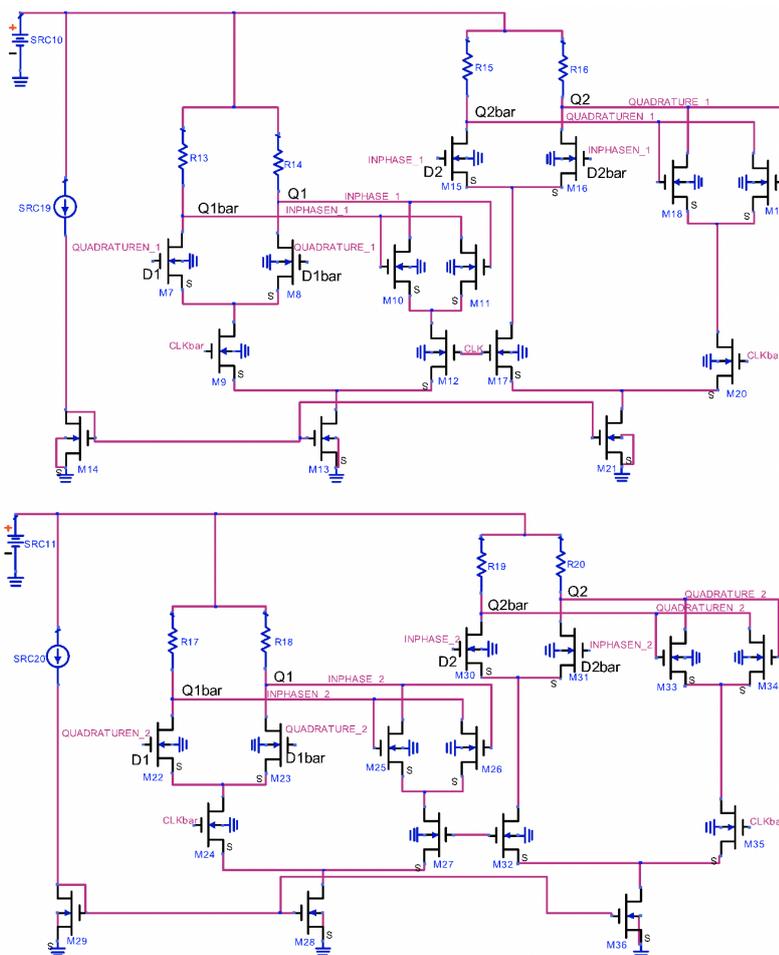


Figura 4.7: Esquema del divisor rápido con la etapa GFC

En la Figura 4.8 se muestran los resultados del divisor al incorporarle la redundancia al circuito. En ella se observa que se obtienen cuatro salidas y, para conocer si el divisor trabaja correctamente, hay que tener en cuenta que las señales de fase o cuadratura deben tener un desfase de  $180^\circ$  entre ellas, mientras que el desfase entre la señal de fase y cuadratura debe ser de  $90^\circ$ .

En otras palabras, el desfase entre las señales *INPHASE\_1* e *INPHASEN\_1* debe ser de  $180^\circ$  y sucede lo mismo cuando se trata de las señales de cuadratura. Por otro lado, cuando las señales son *INPHASE\_2* y otra sea *QUADRATURE\_2* el desfase es de  $90^\circ$  y ocurre de manera similar cuando se trata de las señales negadas.

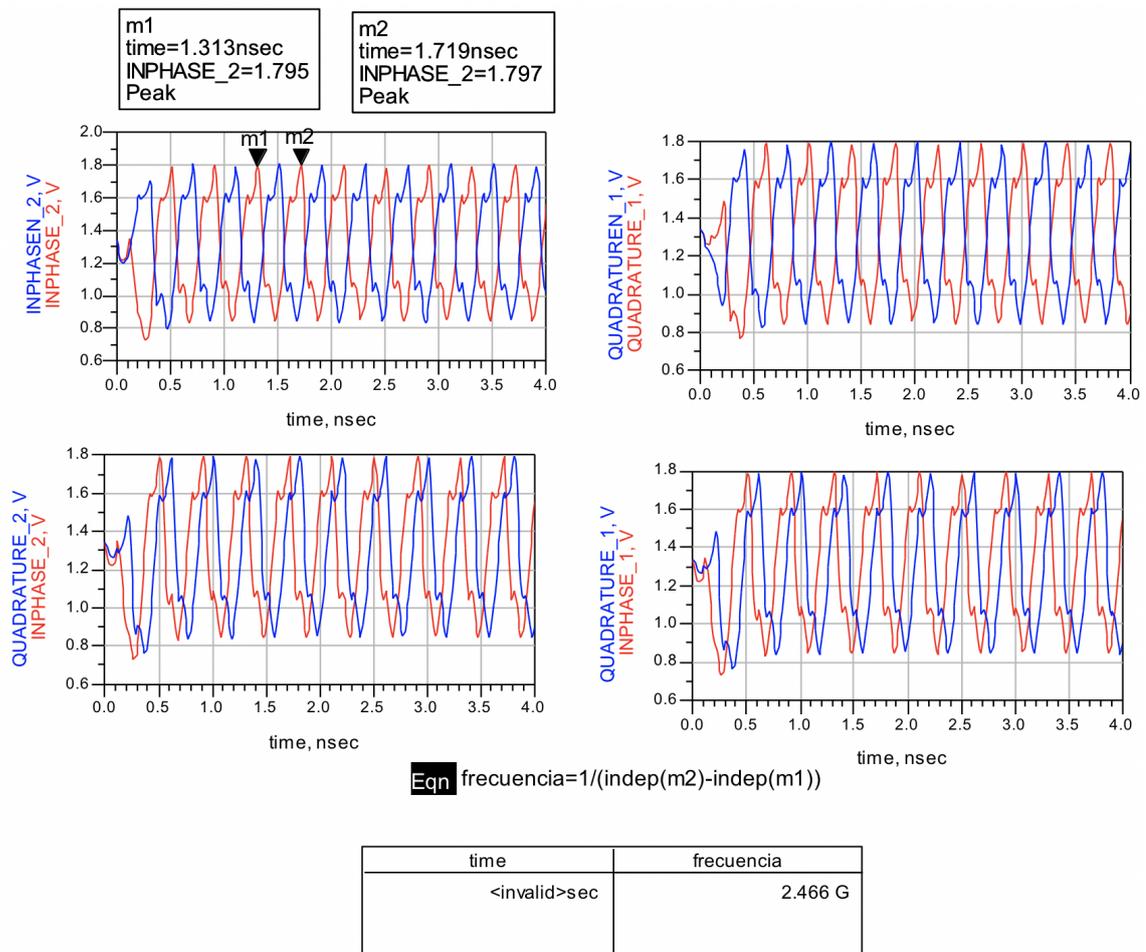


Figura 4.8: Resultados del divisor rápido con la etapa GFC

#### 4.4.2 Lógica combinatorial

A continuación, se incorpora a la salida del divisor una lógica combinatorial que ayuda a que el dato almacenado se transmita de forma segura por el circuito.

Dicha lógica combinatorial, que se encuentra a la salida de los *latches*, se puede implementar tanto con puertas OR como AND. Empleando cualquiera de las dos opciones, cuando sus entradas son iguales, las salidas no varían. Para probar su efectividad frente a los SEU, se han implementado ambas.

#### 4.4.2.1. Puerta OR

En la Figura 4.9 se muestra el esquema de la puerta OR, en donde la salida cambia únicamente cuando las entradas cambian de 1 a 0 o de 0 a 1.

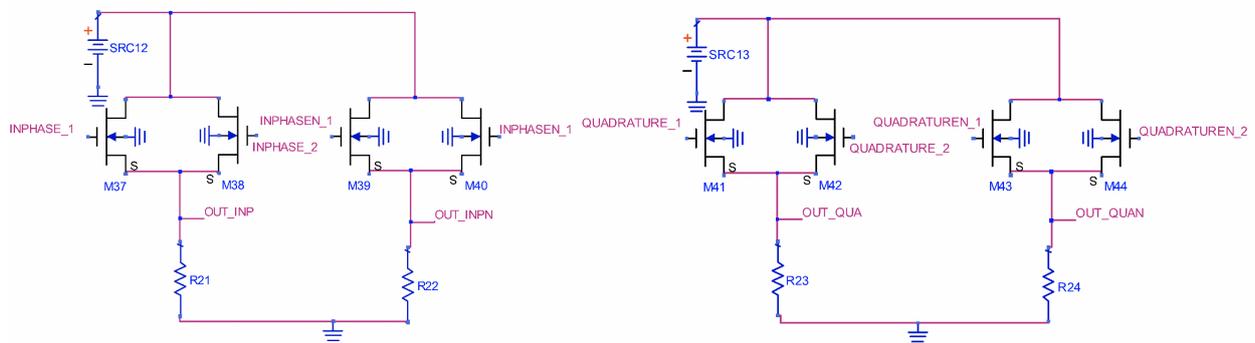


Figura 4.9: Esquema de las puertas OR

En la Tabla 4.3 se muestra un resumen de las dimensiones de los componentes empleados para la implementación de las puertas OR. En donde  $n_f$  es el número de dedos del transistor,  $w$  se trata del ancho y  $l$  se corresponde con la longitud.

Tabla 4.3: Valores de los componentes de las puertas OR

<i>Componentes</i>	<i>Modelo</i>	<i>Unidades</i>	<i>Valor</i>
$R_{21} - R_{24}$	$R$	4	$R = 55 \text{ k}\Omega$
$M_{37} - M_{44}$	$NMOS\_MM$	8	$n_f = 1$ $w = 0,7 \text{ }\mu\text{m}$ $l = 0,18 \text{ }\mu\text{m}$
$SRC12$ y $SRC13$	$V\_DC$	2	$V = 1,8 \text{ V}$

Al incorporar esta etapa al divisor, se debe comprobar si se han producido modificaciones en la salida. Esto se constata en la Figura 4.10; en ella se puede observar que el desfase entre las señales se continua cumpliendo, asimismo se puede ver que divide la frecuencia de 4800 MHz procedente del VCO a 2400 MHz a la salida que se trata de la frecuencia de trabajo del estándar.

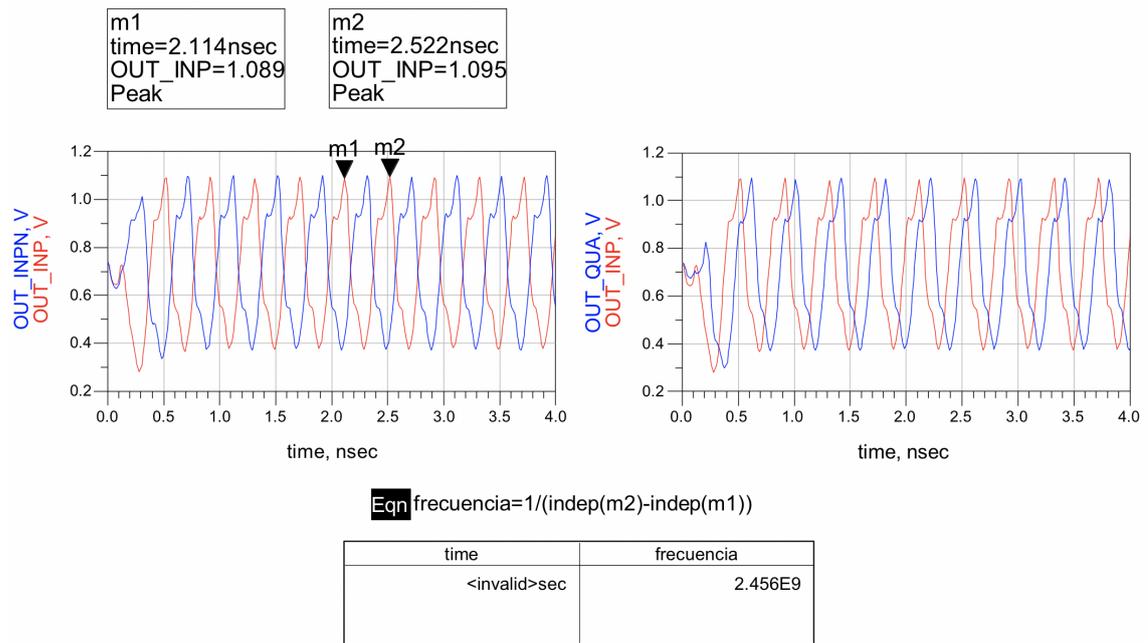


Figura 4.10: Resultado de las puertas OR

#### 4.4.2.2. Puerta AND

A continuación, se procede a diseñar la lógica combinacional del divisor con puertas AND. En la Figura 4.11 se muestra el circuito en ADS y su funcionamiento se rige por la tabla de verdad de la puerta mostrada en la Tabla 4.4, en donde la salida únicamente modifica su estado cuando las dos entradas se encuentran a nivel alto o a 1. Para el resto de los casos, la salida no varía.

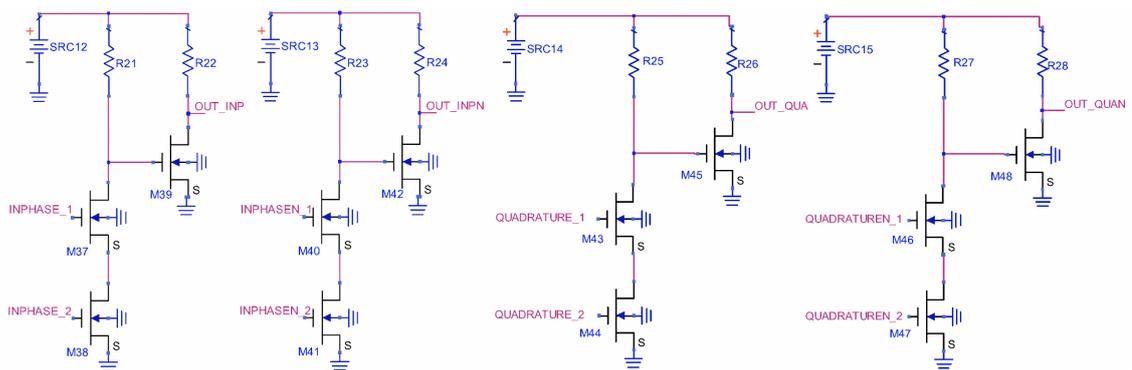


Figura 4.11: Esquema de las puertas AND

Seguidamente, se debe comprobar la salida del divisor rápido al añadir las puertas AND, lo cual se muestra en la Figura 4.12, en donde se puede observar que el divisor divide entre dos y que el desfase entre las señales continúa imperturbable.

Tabla 4.4: Tabla de verdad de puerta lógica AND

<i>A</i>	<i>B</i>	<i>Salida</i>
0	0	0
0	1	0
1	0	0
1	1	1

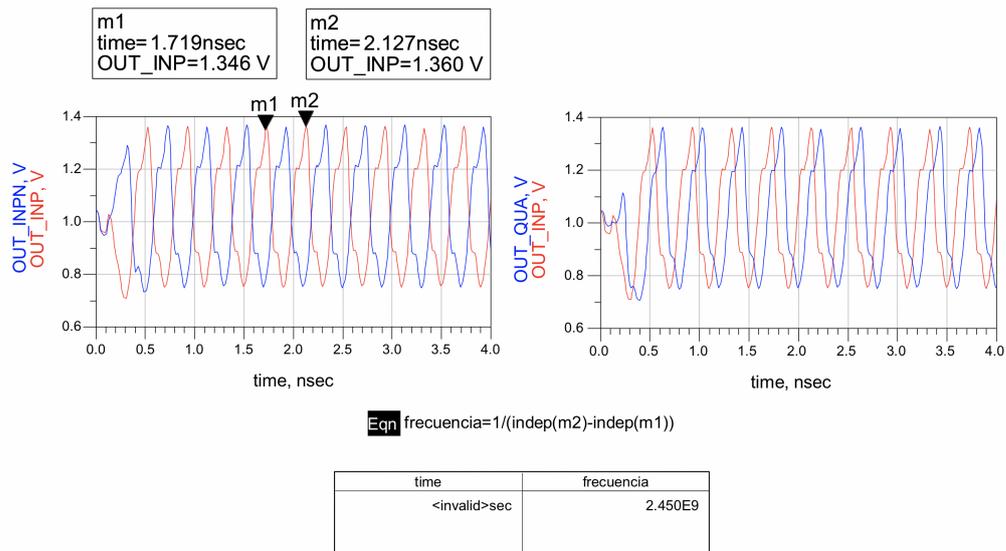


Figura 4.12: Resultado de las puertas AND

Posteriormente, en la Tabla 4.5 se resumen los parámetros de los componentes empleados para la implementación de la puerta AND.

Tabla 4.5: Valores de los componentes de las puertas AND

<i>Componentes</i>	<i>Modelo</i>	<i>Unidades</i>	<i>Valor</i>
$R_{21} - R_{28}$	$R$	4	$R = 3 \text{ k}\Omega$
$M_{37} - M_{48}$	$NMOS\_MM$	8	$n_f = 1$ $w = 0,7 \mu\text{m}$ $l = 0,18 \mu\text{m}$
$SRC12 - SRC15$	$V\_DC$	4	$V = 1,8 \text{ V}$

#### 4.4.3 Incremento de la constante de tiempo

En mayor o menor medida, los transistores que forman parte de las fuentes de corriente también se ven afectadas por los SEU. Es por ello que se incluye la técnica del incremento de la constante de tiempo en la etapa del divisor.

El procedimiento es análogo al detallado en apartados anteriores, aunque, en este caso, la etapa RC se incluye en todos los espejos de corriente existentes en los esquemas. En otras palabras, se incorpora esta etapa en las fuentes de corriente que forman parte de los *latch* del divisor como se puede ver en la Figura 4.13, así como en los buffers del mezclador y del divisor programable. Los valores de los componentes de la etapa RC empleada se encuentran en la Tabla 4.1.

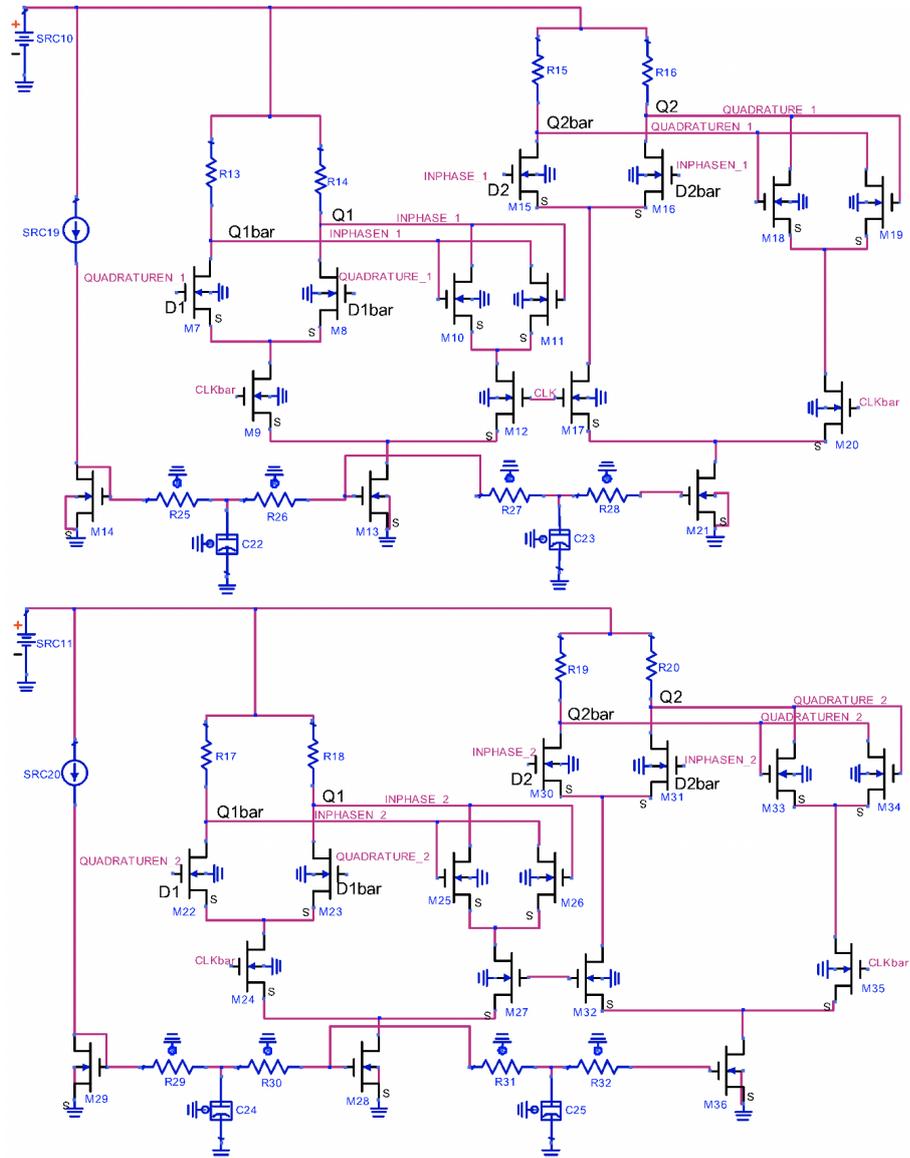


Figura 4.13: Esquema del divisor rápido al incorporar la etapa RC

Asimismo, en la Figura 4.14 se comprueba, que al incorporar esta etapa, el divisor sigue funcionando correctamente. Esto se entiende como que la frecuencia de trabajo sea de 2400 MHz y que se cumplan los desfases, explicados en apartado anteriores, entre las señales.

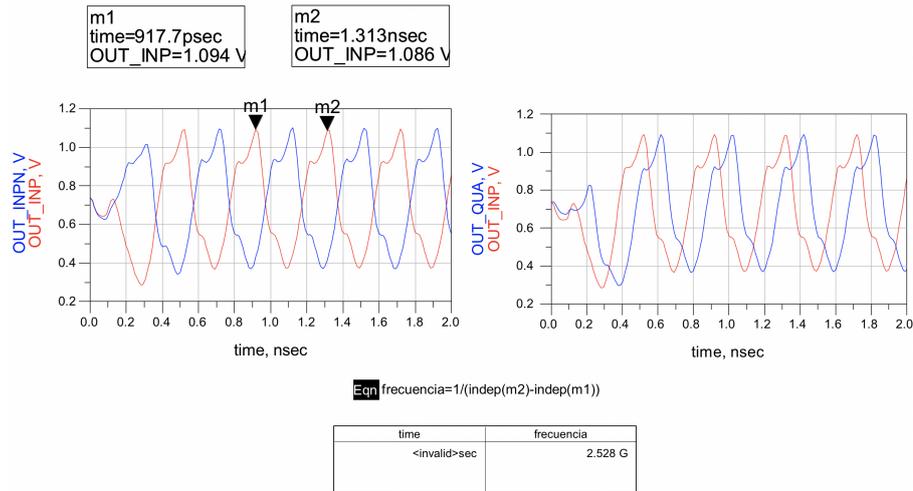


Figura 4.14: Resultado del divisor rápido al incorporar la etapa RC

Por otro parte, también se debe implementar la etapa RC en los *buffers* tanto del divisor programable como en el del mezclador. Por ello, en la Figura 4.15 se muestra el esquema del *buffer* del divisor programable con dicha etapa.

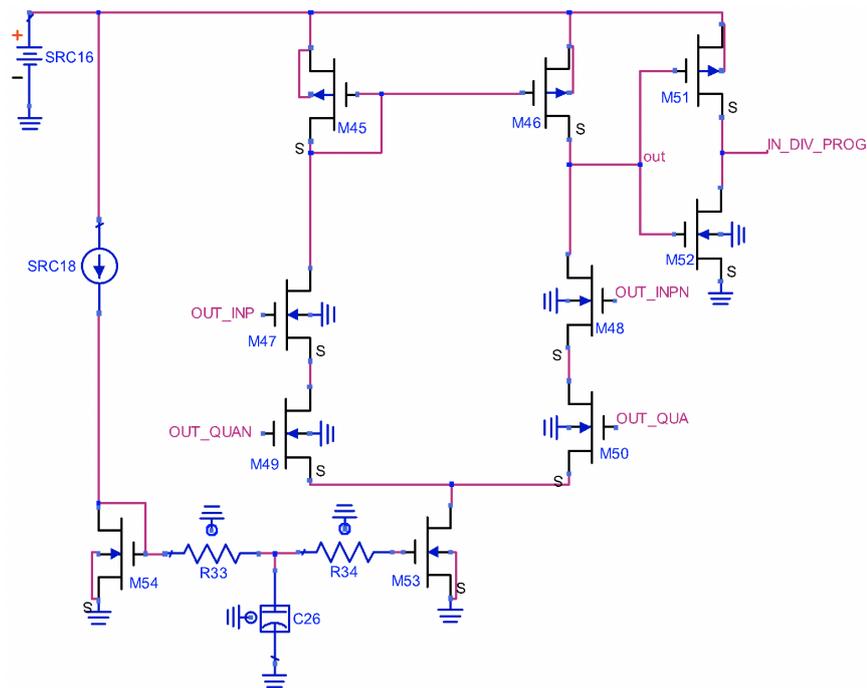


Figura 4.15: Esquema del *buffer* del divisor programable al incorporar la etapa RC

En la Figura 4.16 se comprueba el correcto funcionamiento del *buffer* del divisor programable, siendo la señal de salida idónea para atacar el divisor digital.

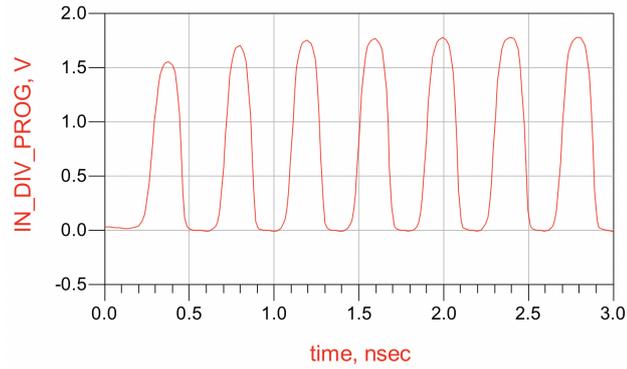


Figura 4.16: Resultado del *buffer* del divisor programable al incorporar la etapa RC

Por otro lado, en la Figura 4.17 se muestra el esquema de los *buffers* que se conectan con el mezclador al incorporar la etapa RC.

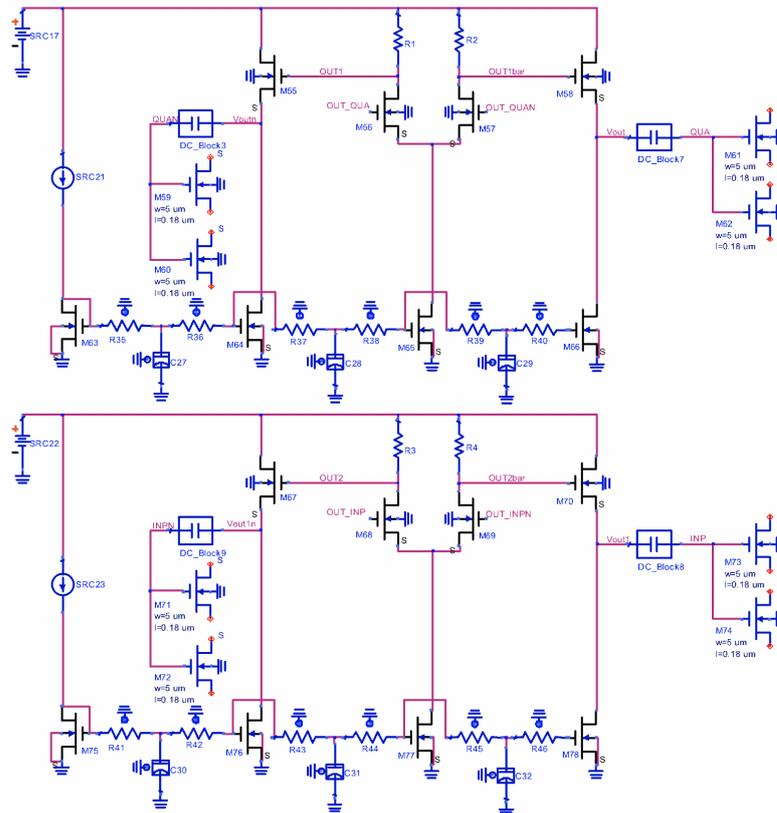


Figura 4.17: Esquema de los *buffers* del mezclador al incorporar la etapa RC

Seguidamente, se procede a comprobar la salida de dicho *buffers* al añadir la etapa RC. Esto se observa en la Figura 4.18, en donde se puede ver que los desfases de las salidas siguen imperturbables y que la frecuencia de trabajo es la del estándar.

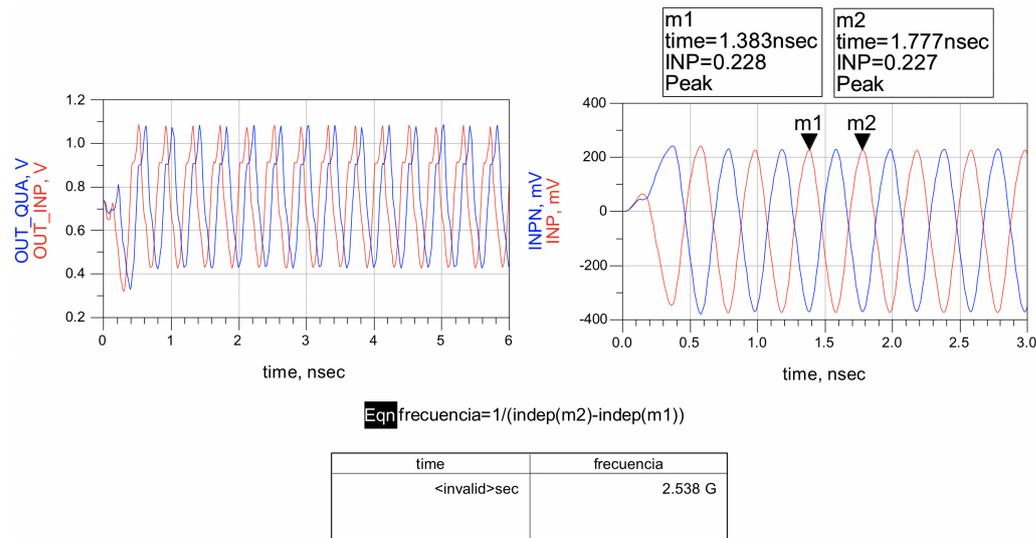


Figura 4.18: Resultado de los *buffer* del mezclador al incorporar la etapa RC

## 4.5 Resumen

En este capítulo, primero se ha realizado un estudio teórico del diseño robusto a radiación dando una breve definición de ello. Luego, se expusieron las diferentes técnicas de diseño robusto existentes ya que se pueden realizar a nivel de *layout* o a nivel circuital. Más tarde, se procede a realizar el diseño robusto a radiación del VCO y posteriormente, del divisor rápido.

Para el rediseño del VCO, la técnica implementada ha sido el incremento de la constante de tiempo para que los transistores del espejo de corriente no sean tan sensibles a la radiación. Sin embargo, se añadió el divisor capacitivo puesto que el VCO no cumplía con las especificaciones del estándar.

Ahora bien, en el rediseño del divisor rápido se aplica un método de redundancia del circuito para mitigar los problemas de SEU y se le añade una lógica combinatorial a la salida de tal forma que el circuito sea más robusto a radiación. Asimismo, se incorpora la etapa RC para los nodos que forman parte del espejo de corriente.

A continuación, se debe realizar la simulación de estos esquemas para conocer si son robustos al impacto de una partícula de alta radiación.

En el capítulo anterior se realizó el diseño robusto a radiación de los circuitos a analizar. A continuación, en este se procede a ejecutar las simulaciones de dichos esquemas con el fin de comprobar si estos son robustos a radiación al incorporar las técnicas estudiadas. Por último, a modo de conclusión, se realiza una comparativa de los resultados tanto cuando se aplican técnicas RHBD como cuando no, con el fin de observar si se consiguen mejoras.

## 5.1 Resultados y conclusiones

En este apartado se procede a realizar el análisis de los resultados al incorporar las técnicas RHBD y se comentan las conclusiones obtenidas en ambos circuitos. El procedimiento para llevar a cabo el análisis es análogo al expuesto en el apartado 3.2 del capítulo 3 y los impactos producidos vienen determinados por la Tabla 2.1.

Al VCO rediseñado con técnicas RHBD se le han aplicado 6 impactos distintos en 6 puntos del circuito, realizando un total de 36 simulaciones. Debido a que dicho VCO está conectado al divisor rápido entre dos y este posee 5 salidas, se han obtenido 180 resultados.

Por otra parte, en el divisor rápido, el número de simulaciones aumenta de manera considerable debido a que posee un elevado número de transistores, además contiene los *buffers*. Por ello, las simulaciones totales en el divisor rápido al emplear las puertas OR son de 384 simulaciones y se obtienen unos 1920 resultados aproximadamente. Mientras que, al aplicar las AND, las simulaciones son de 408 y se producen 2040 resultados aproximadamente. Es por ello que todas las gráficas se incorporan en los Anexos, debido al elevado número de resultados conseguidos.

### 5.1.1 VCO

En este apartado se analizan las gráficas obtenidas del VCO al aplicarle las técnicas RHBD con el fin de conocer si con dichas técnicas se consiguen mitigar los SET. Asimismo, se realizan unas tablas comparativas para saber si se han producido mejoras en el circuito.

En la Figura C.1 y en la Figura C.2 se muestra el desfase del VCO al añadir las técnicas RHBD, en ella se puede observar que se logra mejorar el desfase de los transistores que forman parte del espejo de corriente, es decir,  $M_5$  y  $M_6$ , puesto que ya no son los elementos que más desfase incorporan. Si no que su valor es similar al de los demás transistores que componen el circuito.

El tiempo de establecimiento, por otro lado, se ha reducido notablemente. Esto se puede comprobar en la Figura C.3 y en la Figura C.4. En ellas se puede observar que el transistor  $M_6$  es el que más tiempo tarda en recuperarse. Sin embargo, su tiempo de establecimiento no es desmesurado ya que no supera los 2 ns.

Una vez concluido el análisis de los resultados, se procede a conocer las mejoras. Para ello, se aplica la ecuación 5.1 donde M es la mejora en porcentaje, A es el valor sin aplicar RHBD y B es el resultado con RHBD.

$$M(\%) = \frac{(A - B)}{A} \cdot 100 \quad (5.1)$$

A continuación, se llevan a cabo unas tablas comparativas de los valores sin RHBD frente a los resultados con RHBD para conocer las mejoras, empleando la ecuación 5.1. En dichas tablas se exponen los valores cuando impacta una partícula cuya carga es muy elevada. En este caso, el valor más alto de  $Q$  es  $1200fF$ , que se corresponde con  $57,86 MeV \cdot cm^2/mg$ . Por ello, desde la Tabla 5.1 hasta la Tabla 5.4, se muestran los valores de la variación de fase para las diferentes salidas estudiadas.

Por otro lado, en [45] se comprueba que en un oscilador no importa el punto de aplicación del impacto puesto que se obtienen valores muy similares en los drenadores de los transistores cuando la frecuencia de trabajo es muy elevada.

Tabla 5.1: Variación de fase del VCO para las salidas INP e INPN

<i>Componentes</i>	<i>Desfase sin RHBD (rad)</i>	<i>Desfase con RHBD (rad)</i>
$M_1 - M_2$	-0,1669	0,1606
$M_3 - M_4$	0,1344	-0,1815
$M_5$	-1,192	0,0795
$M_6$	0,1193	-0,2154

Tabla 5.2: Variación de fase del VCO para la salida QUA

<i>Componentes</i>	<i>Desfase sin RHBD (rad)</i>	<i>Desfase con RHBD (rad)</i>
$M_1 - M_2$	-0,1669	0,1606
$M_3 - M_4$	0,1498	-0,1815
$M_5$	-1,179	0,0795
$M_6$	0,1347	-0,2154

Tabla 5.3: Variación de fase del VCO para la salida QUAN

<i>Componentes</i>	<i>Desfase sin RHBD (rad)</i>	<i>Desfase con RHBD (rad)</i>
$M_1 - M_2$	-0,1371	0,1606
$M_3 - M_4$	0,1344	-0,1815
$M_5$	-1,192	0,0795
$M_6$	0,1193	-0,2154

Tabla 5.4: Variación de fase del VCO para la salida DIV\_PROG

<i>Componentes</i>	<i>Desfase sin RHBD (rad)</i>	<i>Desfase con RHBD (rad)</i>
$M_1 - M_2$	-0,1522	0,1606
$M_3 - M_4$	0,1498	-0,1815
$M_5$	-1,179	0,0795
$M_6$	0,1347	-0,2154

En estas tablas se puede observar que las variaciones de desfase obtenidas son próximas a cero. En todas ellas se puede contemplar que el transistor  $M_5$  era el que más desfase introducía en el circuito y, por tanto, el más sensible a radiación. Al aplicar el diseño robusto el desfase, pasa de unos 68,3 grados a 4,55 grados, siendo la mejora del 93,33 % para las salidas *INP*, *INPN* y *QUAN*.

En el caso de las salidas *QUA* y *DIV\_PROG*, la mejora es del 93,26 %, el cual es ligeramente superior a las anteriores. En los demás transistores,  $M_1$ ,  $M_2$ ,  $M_3$ ,  $M_4$  y  $M_6$ , dicho desfase no difiere demasiado de cuando se emplea el diseño robusto a cuando no se aplica.

Por otro lado, desde la Tabla 5.5 hasta Tabla 5.8 se presentan las comparativas del tiempo de establecimiento que, como ya se comentó anteriormente, esta magnitud se reduce considerablemente.

En las salidas *INP* e *INPN* (Tabla 5.5) se obtiene una mejora del tiempo de establecimiento del 83,89 % para los transistores  $M_1$  y  $M_2$ , en  $M_3$  y  $M_4$  la mejora es del 78,26 %, en el caso de  $M_5$  la mejora es del 89,80 % y por último, para el  $M_6$  la mejora es del 71,29 %.

Tabla 5.5: Tiempo de establecimiento del VCO para las salidas INP e INPN

<i>Componentes</i>	<i><math>T_s</math> sin RHBD (ns)</i>	<i><math>T_s</math> con RHBD (ns)</i>
$M_1 - M_2$	7,296	1,175
$M_3 - M_4$	7,388	1,606
$M_5$	7,365	0,751
$M_6$	7,07	2,03

Ahora bien, para la salida *QUA* (Tabla 5.6), las mejoras obtenidas son de un 83,91 % en los transistor  $M_1$  y  $M_2$ , para  $M_3$  y  $M_4$  es del 77,95 %, para  $M_5$  es de 89,81 % y en  $M_6$  es del 70,86 %.

Tabla 5.6: Tiempo de establecimiento del VCO para la salida *QUA*

<i>Componentes</i>	$T_s$ sin RHBD (ns)	$T_s$ con RHBD (ns)
$M_1 - M_2$	7,304	1,175
$M_3 - M_4$	7,284	1,606
$M_5$	7,373	0,751
$M_6$	6,966	2,03

En el caso de la salida *QUAN* (Tabla 5.7), el tiempo de establecimiento, en porcentaje, mejora en un 83,66 % para los transistores PMOS del oscilador, para  $M_3$  y  $M_4$  es de 78,56 %, mientras que para el  $M_5$  es del 90,09 % y  $M_6$  de 71,7 %.

Tabla 5.7: Tiempo de establecimiento del VCO para la salida *QUAN*

<i>Componentes</i>	$T_s$ sin RHBD (ns)	$T_s$ con RHBD (ns)
$M_1 - M_2$	7,193	1,175
$M_3 - M_4$	7,492	1,606
$M_5$	7,582	0,751
$M_6$	7,174	2,03

Finalmente, a la salida del *DIV\_PROG* (Tabla 5.8) se obtiene una mejora del tiempo de establecimiento del 84,19 % en los transistores  $M_1$  y  $M_2$ , mientras que para los  $M_3$  y  $M_4$  dicha mejora es de 78,33 % y para los que forman parte de la fuente de corriente es del 89,99 % y del 71,38 % para  $M_5$  y  $M_6$  respectivamente.

Tabla 5.8: Tiempo de establecimiento del VCO para la salida *DIV\_PROG*

<i>Componentes</i>	$T_s$ sin RHBD (ns)	$T_s$ con RHBD (ns)
$M_1 - M_2$	7,432	1,175
$M_3 - M_4$	7,412	1,606
$M_5$	7,501	0,751
$M_6$	7,094	2,03

A nivel global, en el VCO se obtiene una mejora del 50,35 % en la variación de fase, mientras que la mejora del tiempo de establecimiento es del 80,93 %. Como conclusión, las técnicas RHBD empleadas en el VCO son eficaces y eficientes puesto que se consiguen mitigar los *single event transient* que aparecen en el circuito y además, se logra que el circuito continúe cumpliendo las especificaciones del estándar IEEE 802.15.4.

## 5.1.2 Divisor rápido

A continuación, en este apartado se procede a realizar el análisis de los resultados, así como comprobar las mejoras del divisor rápido al incorporar las técnicas RHBD. Se comenzará con el circuito diseñado con puertas OR y, posteriormente, se procede a comentar los resultados obtenidos con puertas AND.

### 5.1.2.1. Puerta OR

En la Figura D.1 y Figura D.2 se puede observar el desfase de las señales cuando cruza por cero y por el pico máximo, respectivamente, del divisor rápido. En ellas, se puede apreciar que el desfase no es elevado, sino que se encuentra en torno al cero y, por tanto, no se producen SEU en los *latch* del divisor rápido. Con respecto al tiempo de recuperación, las gráficas se muestran en la Figura D.3 y en la Figura D.4 en donde se muestra que los transistores que más tiempo tardan en recuperarse, tanto cuando la señal cruzan por cero como cuando se encuentra en el pico máximo, son a grandes rasgos  $M_{17}$  y  $M_{32}$  que se tratan de los transistores en los cuales se encuentra la señal de reloj (*CLK*). No obstante, el tiempo de recuperación se ha logrado reducir en comparación con los resultados sin aplicar RHBD.

Por otro lado, en la Figura D.5 y Figura D.6 se contempla el desfase obtenido por el *buffer* del divisor programable, en donde se puede apreciar que el transistor  $M_{28}$ , que ahora se corresponde con el  $M_{50}$  y el cual era el transistor que poseía mayor desfase, al aplicarle las técnicas de radiación, ese desfase se ve reducido a cero prácticamente. Mientras, en la Figura D.7 y en la Figura D.8 se muestra el tiempo de establecimiento, en donde se observa que el tiempo de recuperación ha disminuido considerablemente en todas las salidas del divisor rápido, a excepción de la que se conecta con el divisor programable. En esa salida, el tiempo de establecimiento se ha reducido, pero de manera insignificante.

Por último, se analizan los resultados extraídos de los *buffers* que se conectan con el mezclador. En la Figura D.9 y Figura D.10 se puede reparar en el desfase de dichos *buffers* en donde se contempla que no existe ningún transistor que añada más desfase que otro puesto que todos los valores son muy próximos a cero. Con respecto al tiempo de establecimiento en estos *buffers*, se puede observar que se ha reducido notablemente, pues el circuito tarda menos tiempo en recuperarse al impactar una partícula de alta radiación. Esto se comprueba en la Figura D.11 y en la Figura D.12.

Ahora bien, en cuanto a las mejoras obtenidas en los *latch* del divisor rápido, cuando la señal cruza por cero, la mejora de la variación de fase es del 85,71 % en las salidas *INP*, *INPN*, *QUAN* y *DIV\_PROG* y para la salida *QUA* es del 62,33 %. En el caso del tiempo de establecimiento, las mejoras para la salida *INP* son del 36,16 %, en *INPN* los transistores mejoran en un 37,41 % en recuperarse, en *QUA*

la optimización es de hasta un 37,3%, mientras que en *QUAN* es del 33,88% y finalmente en *DIV\_PROG* es del 23%.

Por otra parte, cuando la señal cruza el pico máximo de la señal, los resultados obtenidos son del 84,4% para las salidas *INP*, *INPN*, *QUAN* y *DIV\_PROG* y del 2,34% para *QUAN*, en cuanto a variación de fase se refiere. Con respecto al tiempo de recuperación en *INP* es del 34,93%, en *INPN* es del 34,38%, en *QUA* del 34,22%, en *QUAN* del 34,61% y por último, en *DIV\_PROG* es del 14,58%.

De estos resultados se puede ver que la salida *QUA*, cuando la señal se encuentra en el pico máximo, la mejora del desfase es insignificante. No obstante, cuando cruza por cero, la mejora aumenta, pero continúa siendo inferior a las demás salidas. Por otra parte, en cuanto al tiempo de establecimiento, se aprecia que la salida que más tarda en recuperarse es la del *DIV\_PROG*.

Por tanto, la media de la variación de fase es del 81,04% y la del tiempo de establecimiento es del 33,55%, para cuando la señal cruza por cero. En el caso de que la señal se encuentre en el pico máximo, las medias son del 67,99% y del 30,55% para el desfase y el tiempo de recuperación respectivamente. Por ello, se concluye que cuando la señal cruza por cero se obtiene una mayor mejora que cuando la señal se encuentra en el pico máximo.

Con respecto a los *buffers*, solo se obtienen mejoras en el tiempo de recuperación de la señal debido a la etapa RC. Para el caso del *buffer* del divisor programable, la optimización de dicha magnitud es del 79,18% en el caso del cruce por cero y del 78,48% en el otro caso. Para los *buffers* del mezclador, la mejora es del 77,92% cuando la señal cruza por cero y del 77,89% cuando está en el pico máximo. No obstante, para lograr mejoras de la variación de fase habría que añadir otra técnica RHBD en los esquemas.

#### 5.1.2.2. Puerta AND

Seguidamente, se presentan las gráficas obtenidas del divisor rápido al emplear puertas AND. En la Figura E.1 y Figura E.2 se muestra el desfase producido en los *latch* del divisor rápido, en donde se observa que el problema persiste pues continúa generándose los *single event upset* en dicha etapa del circuito. En cuanto al tiempo de establecimiento, en la Figura E.3 y Figura E.4, se observa que se ha reducido, pero no en gran medida.

No obstante, el desfase en el divisor programable se consigue mitigar puesto que no hay ningún transistor que proporcione más desfase que otro. Esto se observa en la Figura E.5 y en la Figura E.6. Por otro lado, el tiempo de establecimiento es menor que en las gráficas obtenidas sin RHBD. Esto se muestra en la Figura E.7 y Figura E.8 en donde se observa que los transistores  $M_{52}$ ,  $M_{53}$  y  $M_{54}$  son los que más tiempo necesitan para recuperarse tras recibir un impacto.

Con respecto a los *buffers* del mezclador, en cuanto al desfase, los resultados obtenidos son similares a los del *buffer* del divisor programable, tal y como se muestra en la Figura E.9 y en la Figura E.10. No obstante, los valores del tiempo de establecimiento obtenidos son muy dispares entre una salida y otra, sin embargo, de ellas se puede apreciar que los transistores que más tardan en recuperarse, en los *buffers*, son  $M_{67}$ ,  $M_{72}$  y  $M_{79}$ . Esto se puede observar en la Figura E.11 y en la Figura E.12.

En cuanto a las mejoras, al no conseguir la mitigación los SEU en la etapa *latch* del divisor rápido, no existe mejora de la variación de fase. Sin embargo, se logra optimizar el tiempo de establecimiento en los circuitos.

Para el caso de los *latch* del divisor rápido, las mejoras en esta magnitud son del 25,49 % y del 25,59 % para cuando la señal cruza por cero y se encuentra en el pico máximo.

En el *buffer* del divisor programable, son del 83,32 % para cuando la señal está próxima a cero y del 83,19 % cuando está en la máxima amplitud de la señal.

Y, por último, en los *buffers* del mezclador, este tiempo es de 82,99 % en el cruce por cero y del 81,93 % en el pico máximo.

Se concluye que, aplicando la técnica GFC con puertas OR, se logra mitigar los problemas causados por los *single event upset* en la etapa *latch* y se mejora el tiempo de establecimiento. Asimismo, se reduce el número de transistores y, por consiguiente, su consumo es menor comparado con las puertas AND.

## 5.2 Líneas futuras

Finalizado el estudio realizado a lo largo de este trabajo, existe una gran posibilidad de trabajos por afrontar en el futuro.

En cuanto a los *latch* del divisor rápido, el trabajo futuro sería optimizar el diseño y para ello habría que sustituir las resistencias por cargas activas en la parte diferencial de los *latch*.

Con respecto a los *buffers*, en ambos casos se debe mejorar el desfase tanto cuando se emplean puertas lógicas OR como con AND. Para ello, habría que investigar una técnica que mejorase dicha magnitud.

Otra línea futura sería la fabricación del sintetizador completo. Para ello, primero se debería realizar el diseño del *layout* del sintetizador y, posteriormente, se llevarían a cabo las simulaciones *post-layout* con el fin de comparar los resultados obtenidos con los del esquemático. Y cuando los resultados sean satisfactorios, el circuito se mandaría fabricar para así poder realizar las medidas oportunas y comprobar las prestaciones reales del sintetizador.

Otro trabajo futuro sería el diseño del bloque del divisor programable. Sin embargo, se debe tener en consideración que este bloque trabaja a bajas frecuencias y, por tanto, necesita de un predivisor (*prescaler*) para poder manejar las frecuencias elevadas.

## Parte II

# Bibliografía



## BIBLIOGRAFÍA

---

- [1] M. Bagatin and S. Gerardin, *Ionizing Radiation Effects in Electronics*. 2015.
- [2] Y. You, D. Huang, J. Chen, D. Gong, T. Liu, and J. Ye, *Radiation-hardened-by-design clocking circuits in 0.13- $\mu$ m CMOS technology*, J. Instrum., vol. 9, no. 1, pp. C01029-C01029, Jan. 2014.
- [3] T. W.-U. of Saskatchewan and undefined 2011, ?Study of single-event transient effects on analog circuits,? Citeseer.
- [4] Z. Zhenyu, L. Junfeng, Z. Minxuan, and L. Shaoqing, *Modeling and analysis of single-event transients in charge pumps*, J. Semicond., vol. 30, no. 5, p. 55006, May 2009.
- [5] T. Wang, K. Wang, L. Chen, A. Dinh, B. Bhuvu, and R. Shuler, *A RHBD LC-Tank Oscillator Design Tolerant to Single-Event Transients*, IEEE Trans. Nucl. Sci., Dec. 2010.
- [6] D. I. Sotskov et al., Total Ionizing Dose Effects in Phase-Locked Loop ICs and Frequency Synthesizers, in 2015 15th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2015, pp. 1?3.
- [7] H. H. Chung, W. Chen, B. Bakkaloglu, H. J. Barnaby, B. Vermeire, and S. Kiaei, *Analysis of Single Events Effects on Monolithic PLL Frequency Synthesizers*, IEEE Trans. Nucl. Sci., vol. 53, no. 6, pp. 3539-3543, Dec. 2006.
- [8] V. Díez Acereda, *Diseño de un sintetizador de frecuencias para el IEEE 802.15.4 en tecnología CMOS de 0.18 um*, Universidad de Las Palmas de Gran Canaria, 2017
- [9] *NASA/Marshall Solar Physics*. [Online]. Available: <https://solarscience.msfc.nasa.gov/flares.shtml>. [Accessed: 04-Jun-2018].
- [10] *NASA/Marshall Solar Physics*. [Online]. Available: <https://solarscience.msfc.nasa.gov/CMEs.shtml>. [Accessed: 04-Jun-2018].
- [11] *NASA/Marshall Solar Physics*. [Online]. Available: <https://solarscience.msfc.nasa.gov/SolarWind.shtml>. [Accessed: 04-Jun-2018].

- [12] S. Fornet Vivancos, *Cinturones de Van Allen*. [Online]. Available: [http://webs.um.es/jmz/IntroFisiCompu/Alumnos/04\\_Fornet\\_Sergio/Cinturones\\_de\\_Van\\_Allen.html](http://webs.um.es/jmz/IntroFisiCompu/Alumnos/04_Fornet_Sergio/Cinturones_de_Van_Allen.html). [Accessed: 04-Jun-2018].
- [13] F. Tan et al., "Total ionizing dose (TID) effect and single event effect (SEE) in quasi-SOI nMOSFETs," *Semicond. Sci. Technol.*, vol. 29, no. 1, 2014.
- [14] M. Poizat, *Total Ionizing Dose Mechanisms and Effects*, no. June, 2009.
- [15] J. R. Srour, C. J. Marshall, and P. W. Marshall, *Review of displacement damage effects in silicon devices*, *IEEE Trans. Nucl. Sci.*, vol. 50, no. 3, pp. 653-670, Jun. 2003.
- [16] R. Environment, *SEE Single Event Effects*, no. May, 2017
- [17] S. Buchner and D. Mcmorrow, *Overview of Single Event Effects*, 2015.
- [18] L. Ratti, *Ionizing Radiation and Single Event Effects in Electronic Devices and Circuits*, 2015.
- [19] F. S. Tec-qec, *Single Event Effects (SEE) Mechanism and Effects Basic Mechanism Overview on Non-Destructive Effects Overview on Destructive Effects*, no. June, pp. 1-32, 2009.
- [20] G. Torrens Caldentey, *Estudio de eventos transitorios inducidos por radiación en memorias SRAM nanométricas*, 2012.
- [21] *single-event hard error (SEH: SHE) — JEDEC*. [Online]. Available: <https://www.jedec.org/standards-documents/dictionary/terms/single-event-hard-error-seh-she>. [Accessed: 07-Jun-2018].
- [22] M. Portela-Garcia, C. Lopez-Ongil, M. Garcia-Valderas, L. Entrena, G. Thys, and S. Redant, *Assessing SET sensitivity of a PLL*, in *Design of Circuits and Integrated Systems*, 2014, pp. 1-6.
- [23] R. Garg and S. P. Khatri, *Analytical Determination of Radiation-induced Pulse Width in Combinational Circuits*, in *Analysis and Design of Resilient VLSI Circuits*, Boston, MA: Springer US, 2010, pp. 21-40.
- [24] *Advanced Design System-ADS Software — Keysight (formerly Agilent's Electronic Measurement)*. [Online]. Available: <https://www.keysight.com/main/software.jsp?cc=US1c=-engckey=22126036nid=-34333.804574.02id=2212036-cmpid=zzfindees-of-ads-latest-downloads>. [Accessed: 14-Feb-2018].
- [25] In. Fujitsu Microelectronics, *PLL Basics - Loop Filter Design*, pp. 1-5.
- [26] M. Standards Committee of the IEEE Computer Society, *IEEE Std 802.15.4-2011, IEEE Standard for Local and metropolitan area networks-Part 15.4: Low-Rate Wireless Personal Area Networks (WPANs)*, 2006.

- [27] T. Wang, *Study of Single-Event Transient Effects on Analog Circuits*, University of Saskatchewan, 2011.
- [28] P. C. Adell, M. Sun, K. Joshi, G. Allen, Z. Yang, and B. Bakkaloglu, *Radiation-Tolerant Digital Multiphase Current-Mode Hysteretic Point-of-Load Regulator*, IEEE Trans. Nucl. Sci., vol. 65, no. 3, pp. 896-902, Mar. 2018.
- [29] Z. Chen et al., *Study of Total-Ionizing-Dose Effects on a Single-Event-Hardened Phase-Locked Loop*, IEEE Trans. Nucl. Sci., vol. 65, no. 4, pp. 997-1004, Apr. 2018.
- [30] J. Prinzie, J. Christiansen, P. Moreira, M. Steyaert, and P. Leroux, *A 2.56-GHz SEU Radiation Hard LC -Tank VCO for High-Speed Communication Links in 65-nm CMOS Technology*, IEEE Trans. Nucl. Sci., vol. 65, no. 1, pp. 407-412, Jan. 2018.
- [31] J. Prinzie, M. Steyaert, and P. Leroux, *Radiation Hard Frequency Synthesizers*, Springer, Cham, 2018, pp. 145-154.
- [32] J. Prinzie, M. Steyaert, and P. Leroux, *Radiation Experiments on CMOS PLLs*, Springer, Cham, 2018, pp. 123-143.
- [33] J. Prinzie, J. Christiansen, P. Moreira, M. Steyaert, and P. Leroux, *Radiation Tolerant, Low Noise Phase Locked Loops in 65 nm CMOS Technology*, EPJ Web Conf., vol. 170, p. 01021, Apr. 2018.
- [34] D. I. Sotskov, V. V. Elesin, K. M. Amburkin, G. N. Nazarova, N. A. Usachev, and A. Y. Nikiforov, *Design and testing issues of a high-speed SOI CMOS dual-modulus prescaler for radiation tolerant frequency synthesizers*, in 2017 IEEE 30th International Conference on Microelectronics (MIEL), 2017, pp. 329-332.
- [35] Z. Chen, M. Lin, D. Ding, Y. Zheng, Z. Sang, and S. Zou, *Analysis of Single-Event Effects in a Radiation-Hardened Low-Jitter PLL Under Heavy Ion and Pulsed Laser Irradiation*, IEEE Trans. Nucl. Sci., vol. 64, no. 1, pp. 106-112, Jan. 2017.
- [36] Z. Han, L. Wang, S. Yue, B. Han, and S. Du, *Analysis and RHBD technique of single event transients in PLLs*, J. Semicond., vol. 36, no. 11, p. 115001, Nov. 2015.
- [37] Z. Zhenyu, L. Junfeng, Z. Minxuan, and L. Shaoqing, *Modeling and analysis of single-event transients in charge pumps*, J. Semicond., vol. 30, no. 5, p. 055006, May 2009.
- [38] F. J. Márquez Lasso, *Aportaciones al diseño de ADCs en tecnologías nanométricas y para entornos de alta radiación*, Universidad de Sevilla, 2015.
- [39] M. Bagatin and S. Gerardin, *Ionizing Radiation Effects in Electronics: From Memories to Imagers*. CRC Press, 2015.

- [40] F. Faccio, *Radiation Effects and Hardening by Design in CMOS Technologies*, in Analog Circuit Design, Dordrecht: Springer Netherlands, 2011, pp. 69-87.
- [41] J. D. Black et al., HBD layout isolation techniques for multiple node charge collection mitigation, *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2536-2541, Dec. 2005.
- [42] S. E. Kerns and B. D. Shafer, *The Design of Radiation-Hardened ICS for Space: A Compendium of Approaches*, *Proc. IEEE*, vol. 76, no. 11, pp. 1470-1509, 1988.
- [43] D. B. Leeson, *A simple model of feedback oscillator noise spectrum*, *Proc. IEEE*, vol. 54, no. 2, pp. 329-330, 1966.
- [44] R. Krithivasan et al., *Application of RHBD Techniques to SEU Hardening of Third-Generation SiGe HBT Logic Circuits*, *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3400-3407, Dec. 2006.
- [45] D. González Ramírez, S. Lalchand Khemchandani, J. del Pino, D. Mayor-Duarte, M. San Miguel-Montesdeoca, and S. Mateos-Angulo, *Single event transients mitigation techniques for CMOS integrated VCOs*, *Microelectronics J.*, vol. 73, pp. 37-42, Mar. 2018.

# Parte III

## Anexos



## Apéndice A

# GRÁFICAS DEL VCO SIN RHBD

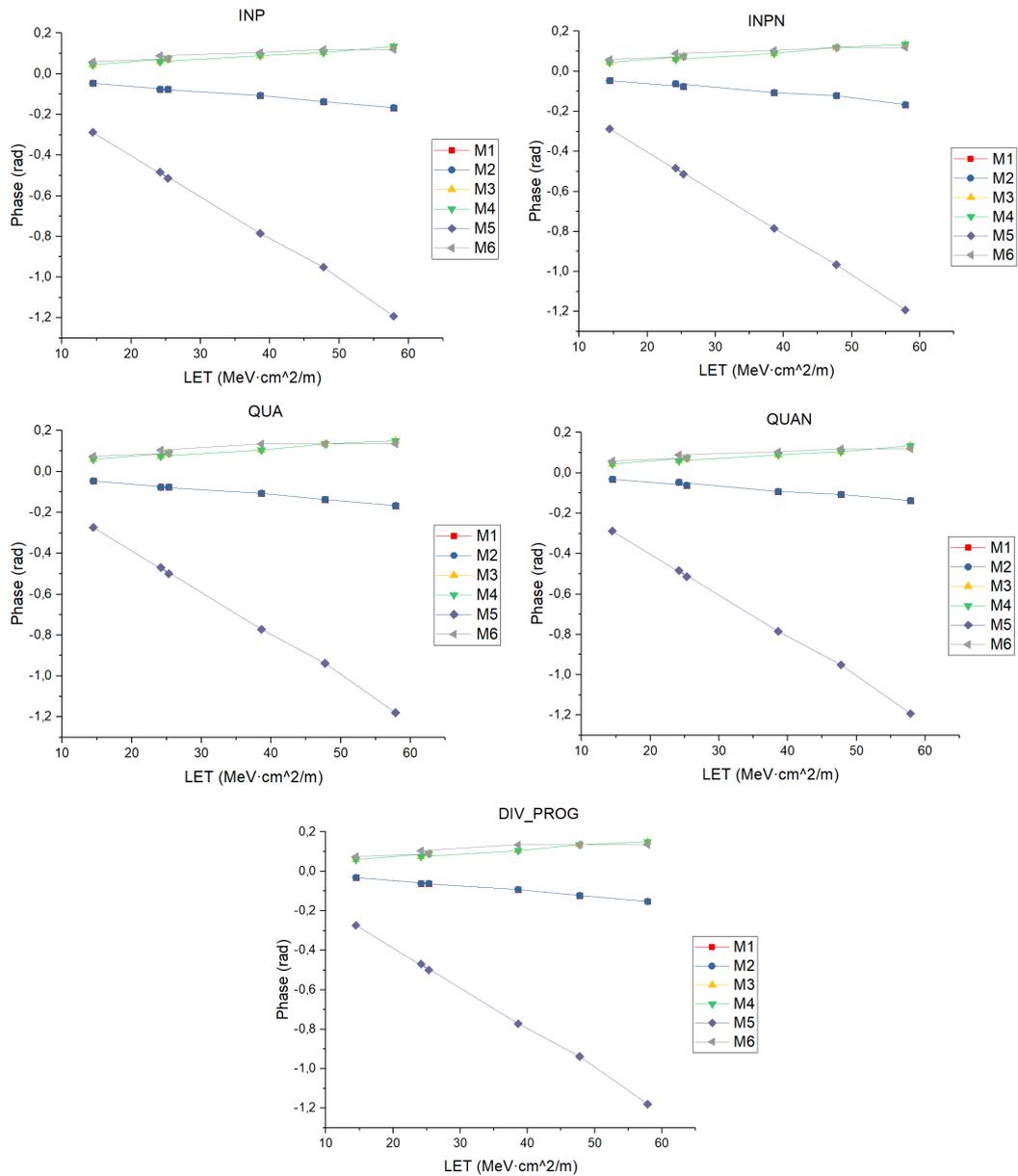


Figura A.1: Gráficas del desfase del VCO cuando la señal cruza por 0

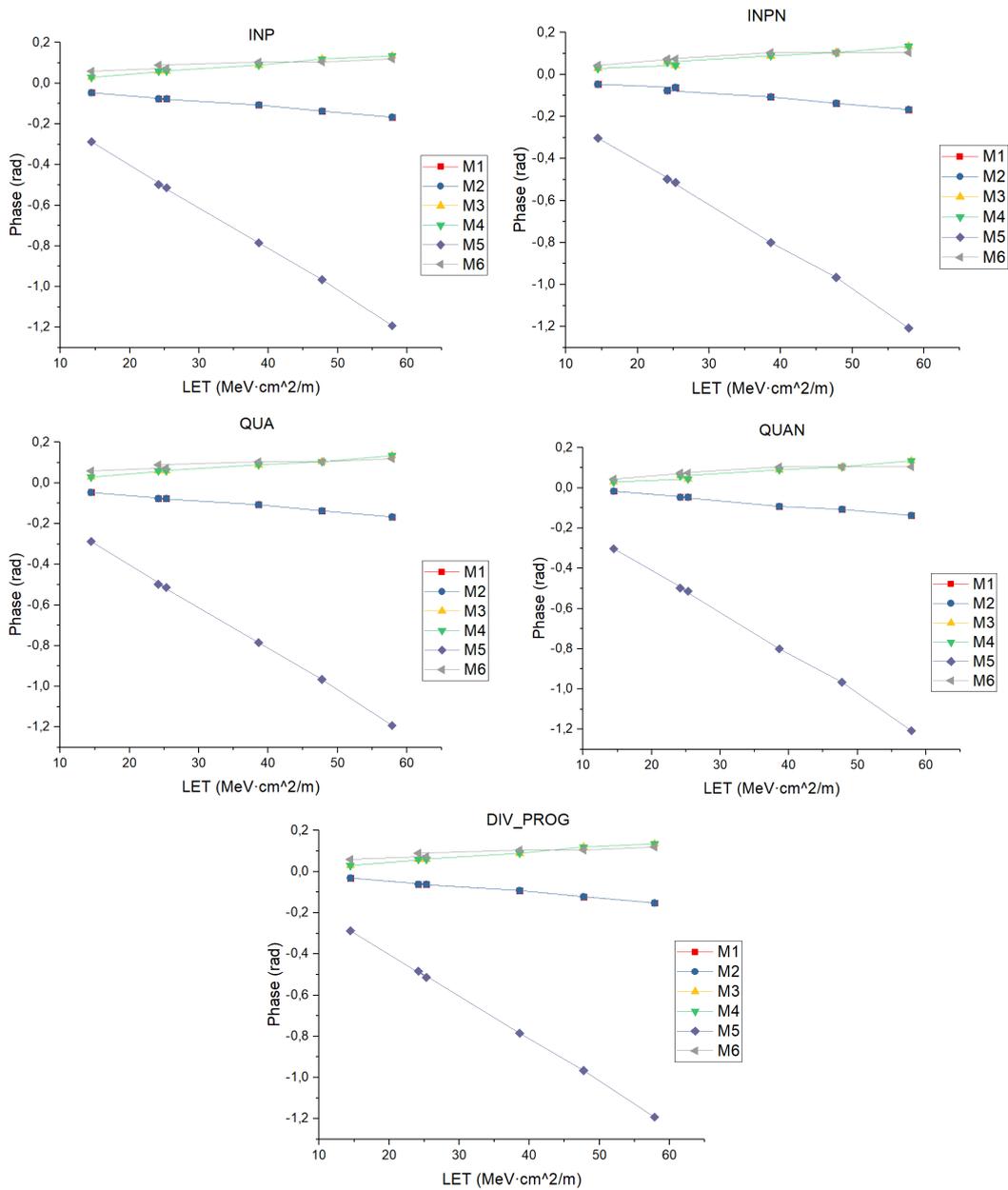


Figura A.2: Gráficas del desfase del VCO cuando la señal cruza por el pico máximo

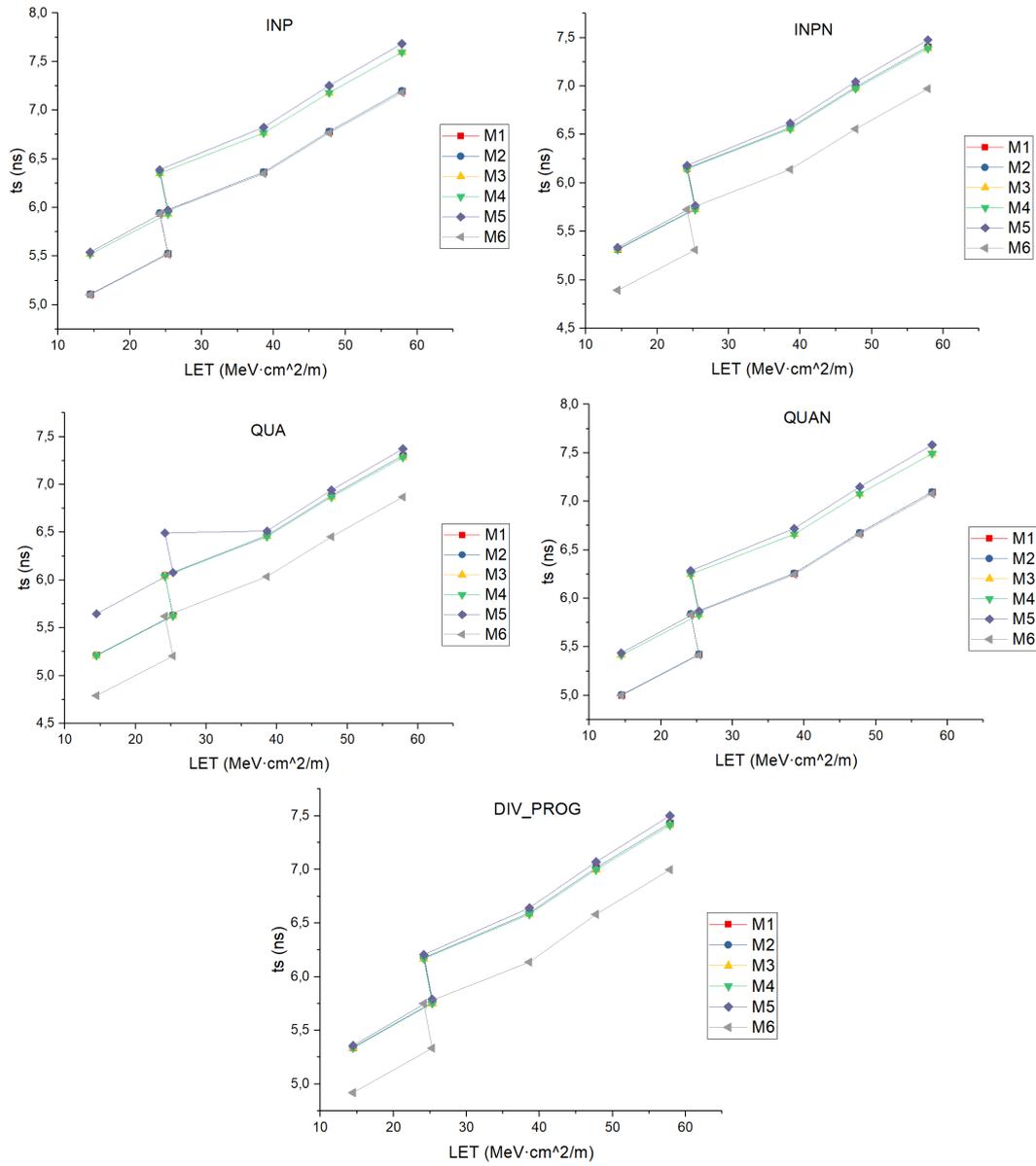


Figura A.3: Gráficas del tiempo de establecimiento del VCO cuando la señal cruza por 0

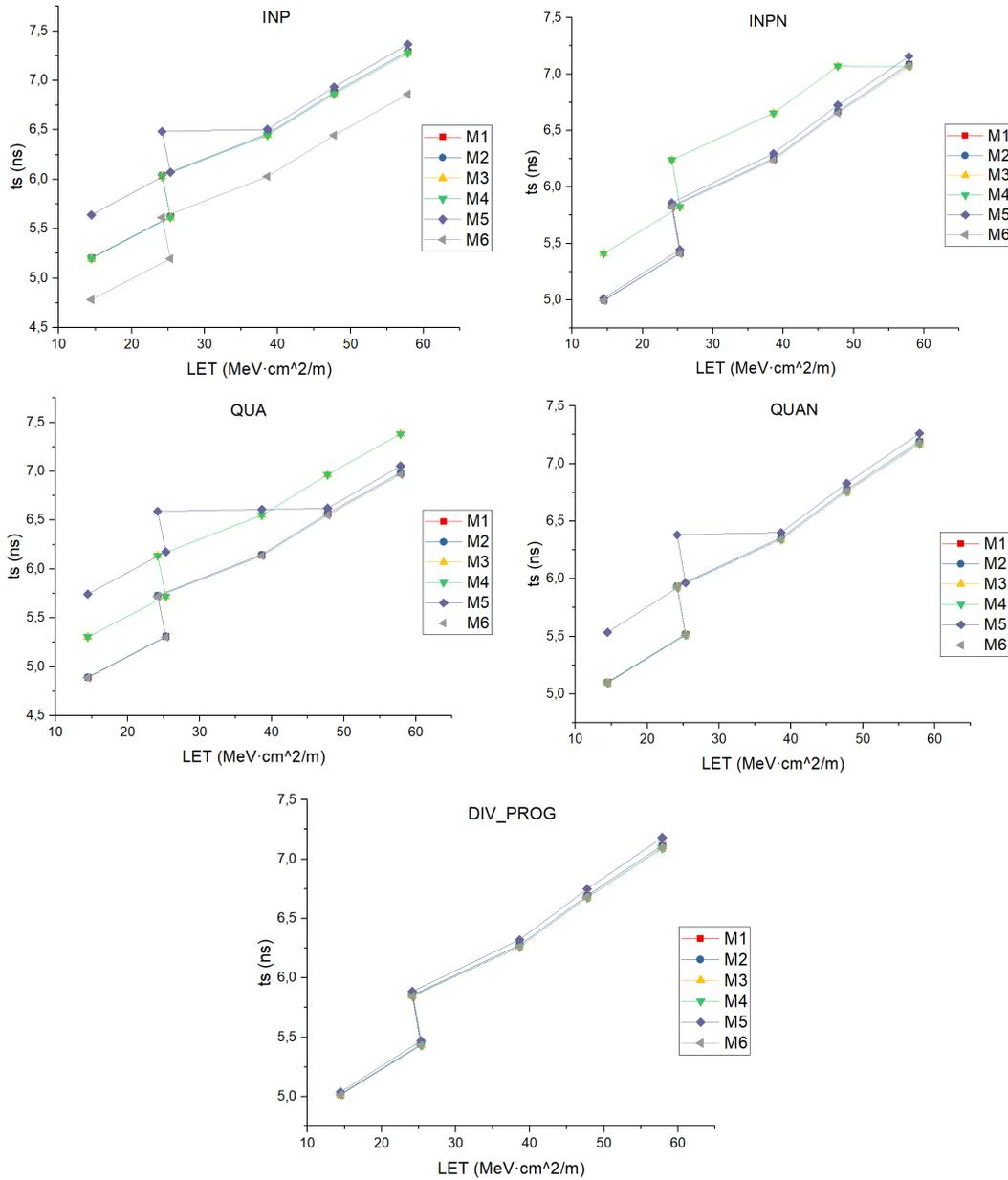


Figura A.4: Gráficas del tiempo de establecimiento del VCO cuando la señal cruza por el pico máximo

## Apéndice B

# GRÁFICAS DEL DIVISOR RÁPIDO SIN RHBD

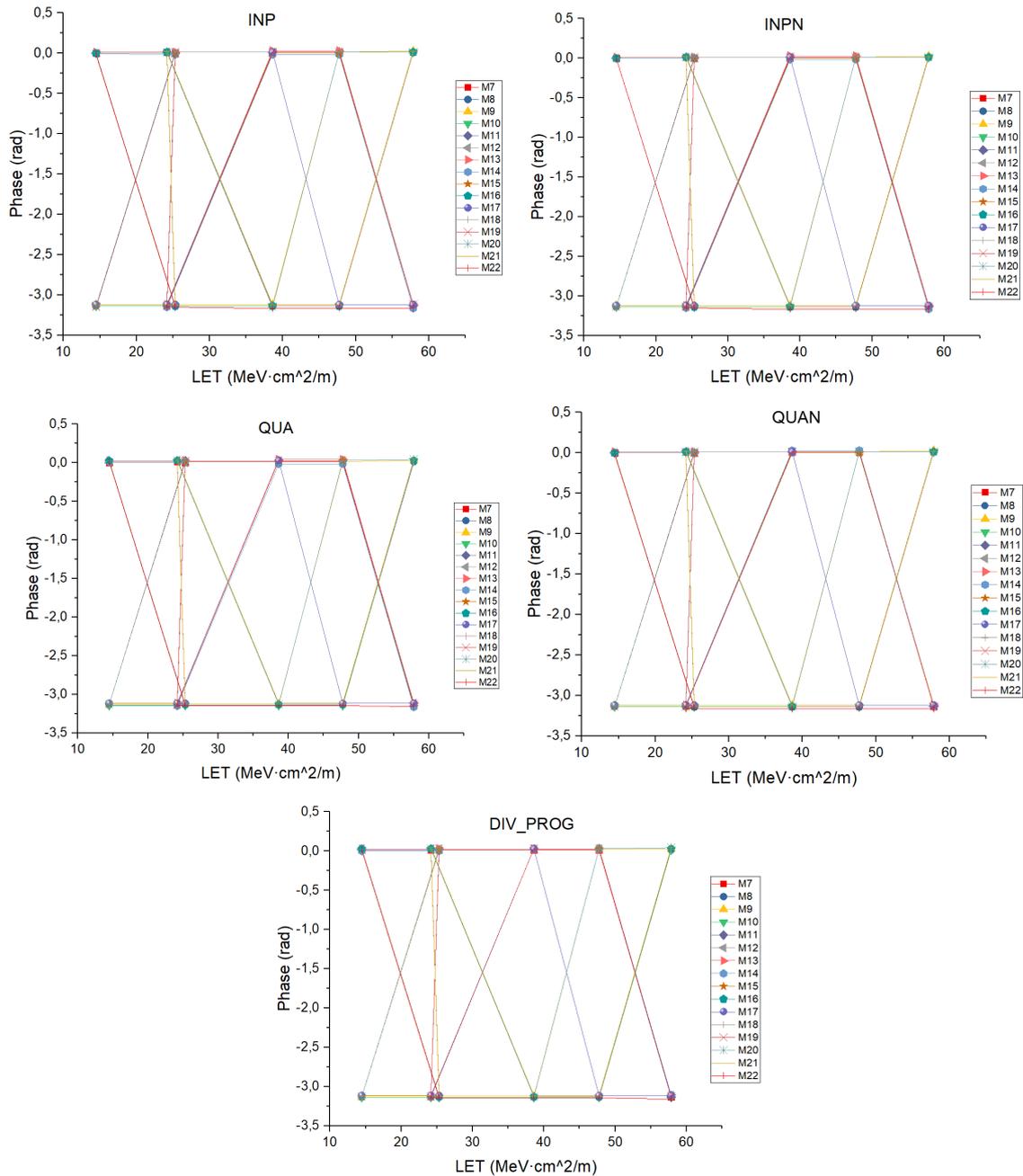


Figura B.1: Gráficas del desfase del divisor rápido cuando la señal cruza por 0

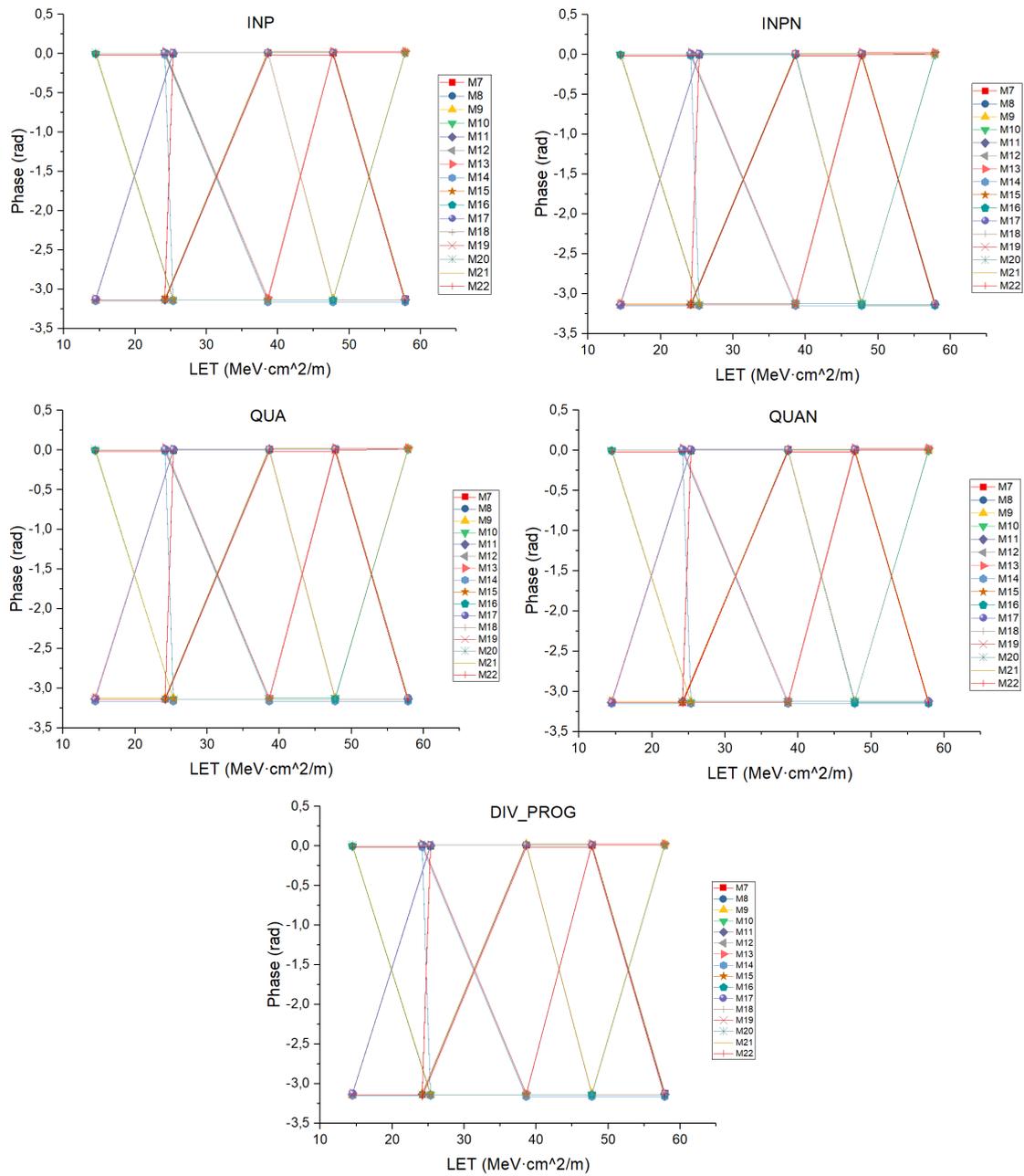


Figura B.2: Gráficas del desfase del divisor rápido cuando la señal cruza por el pico máximo

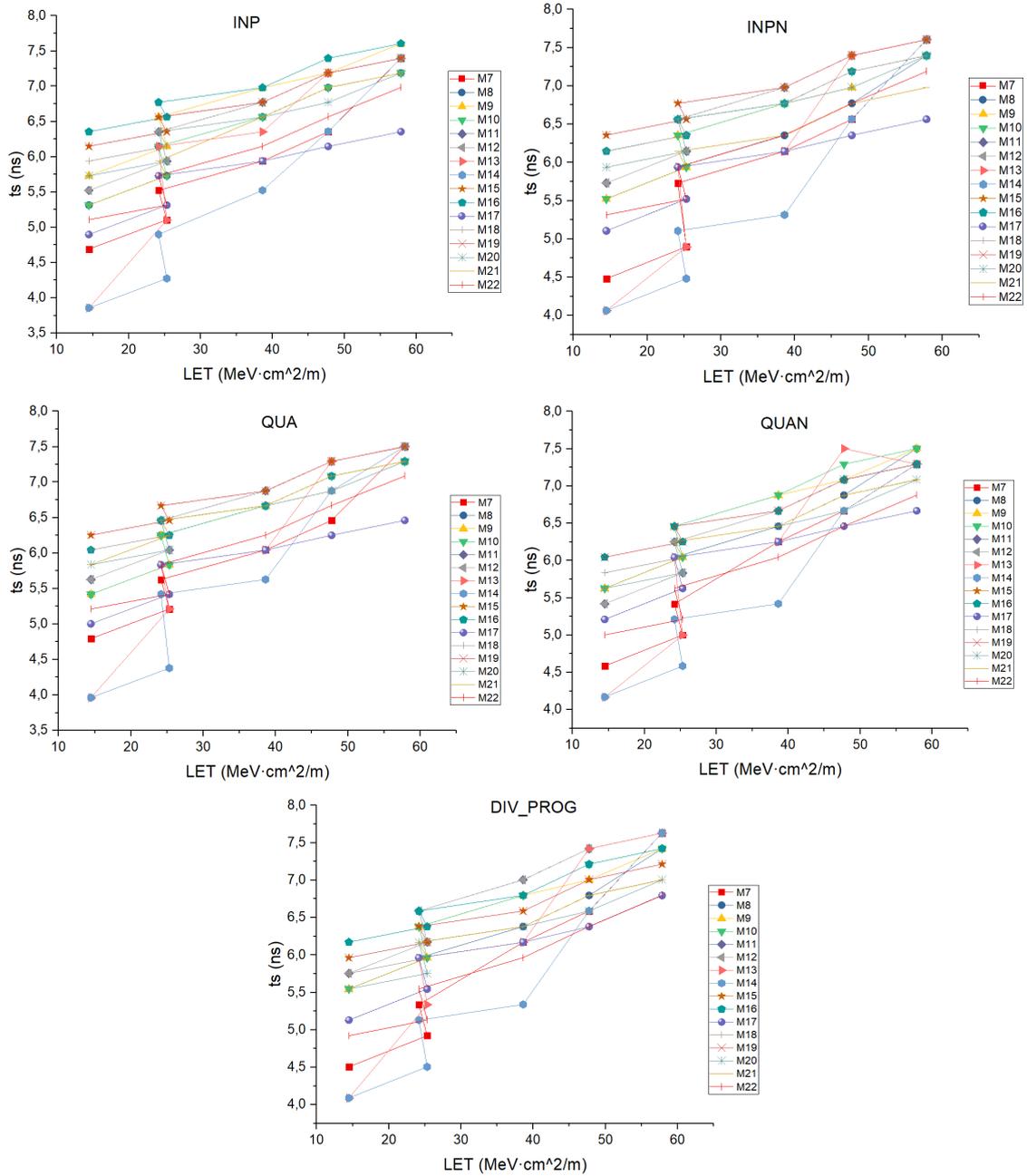


Figura B.3: Gráficas del tiempo de establecimiento del divisor rápido cuando la señal cruza por 0

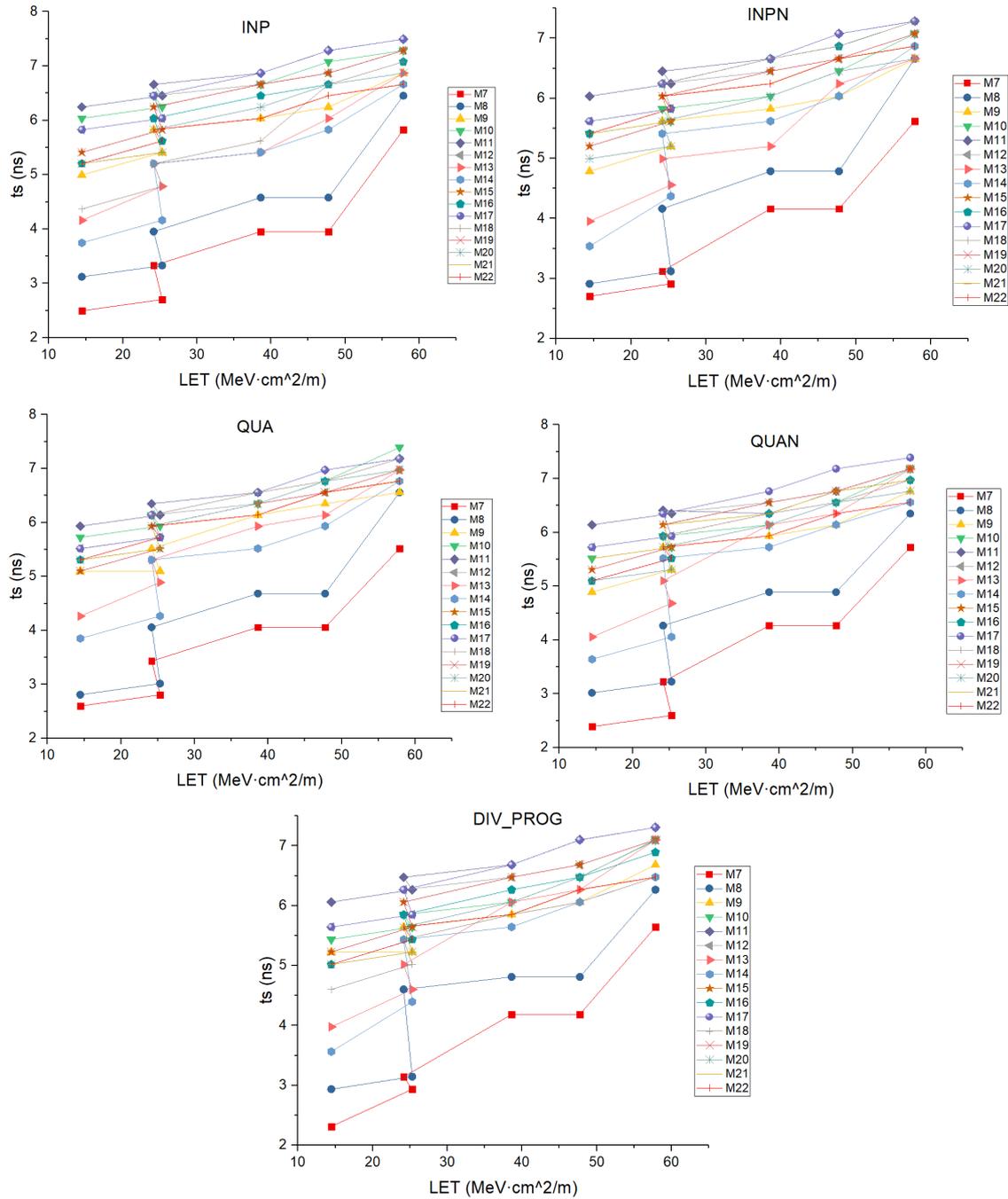


Figura B.4: Gráficas del tiempo de establecimiento del divisor rápido cuando la señal cruza por el pico máximo

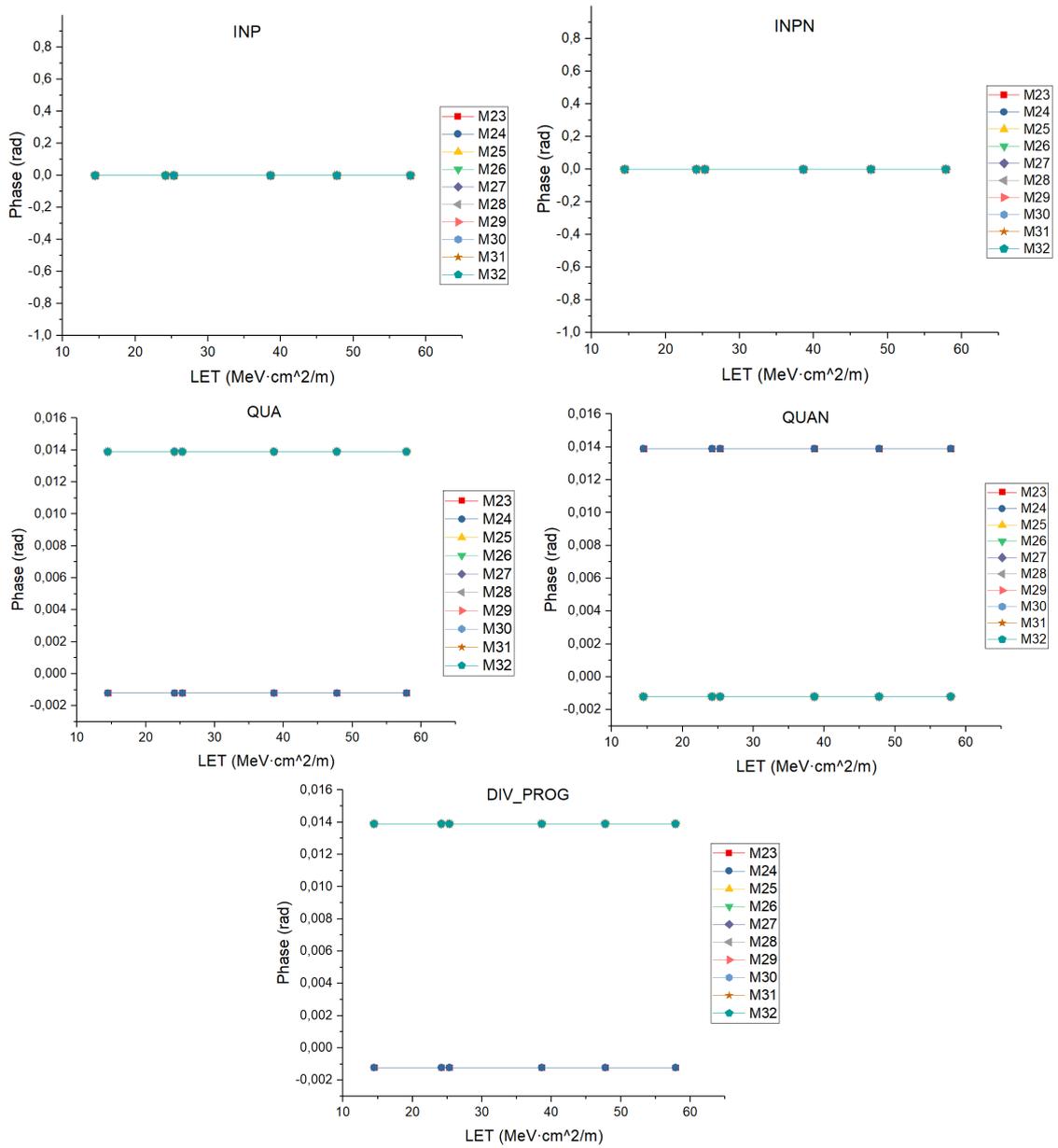


Figura B.5: Gráficas del desfase del *buffer* del divisor programable cuando la señal cruza por 0

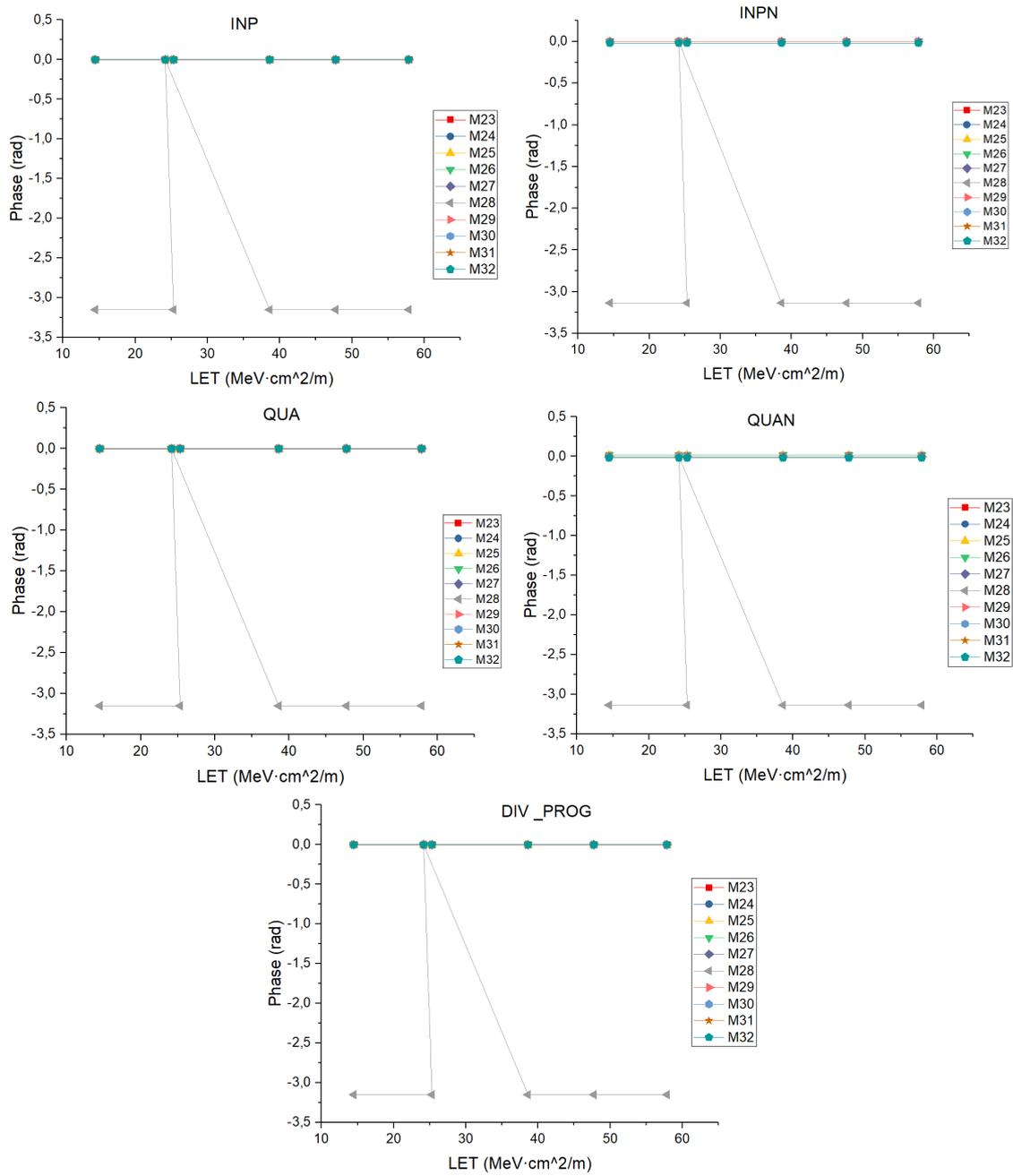


Figura B.6: Gráficas del desfase del *buffer* del divisor programable cuando la señal cruza por el pico máximo

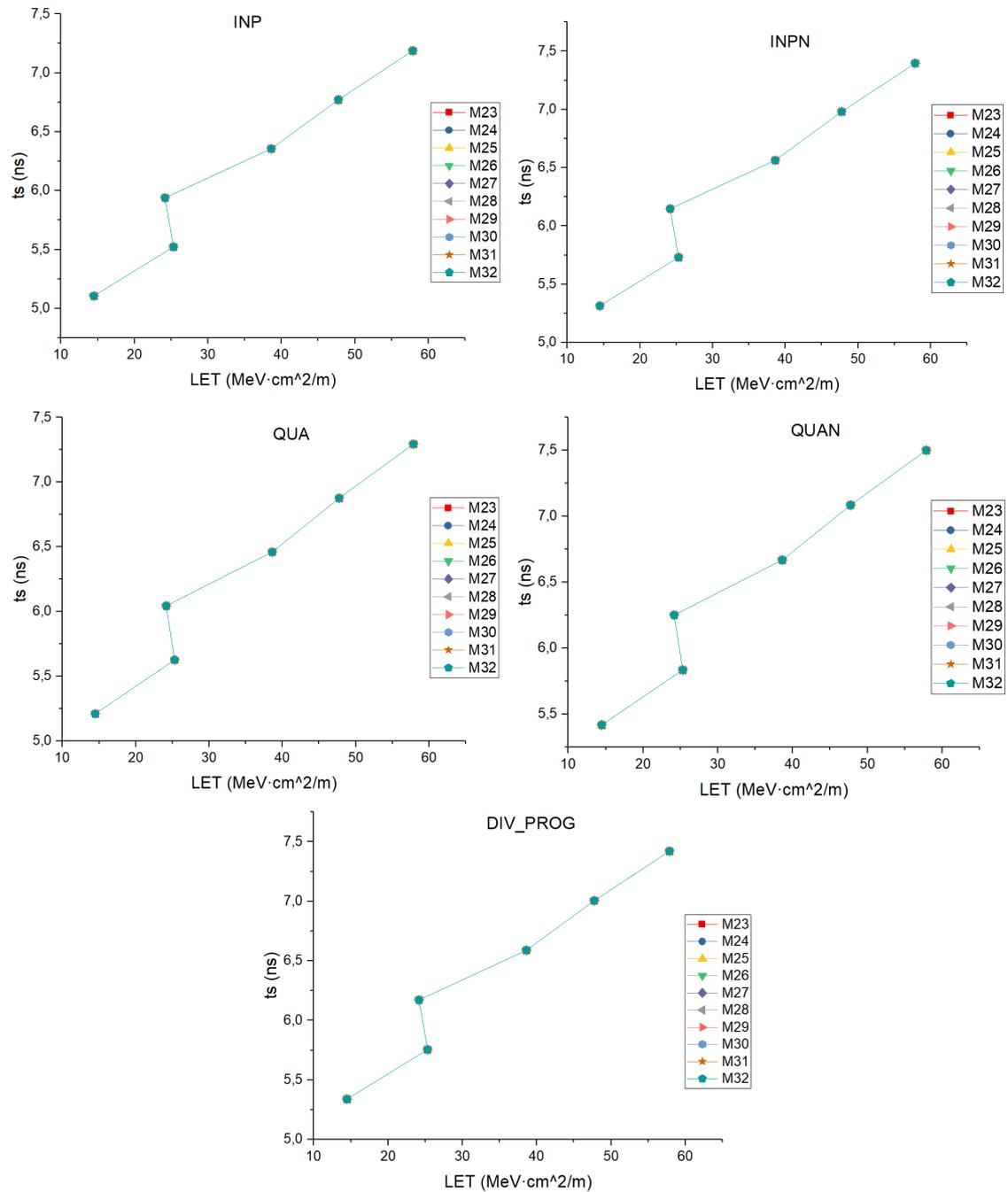


Figura B.7: Gráficas del tiempo de establecimiento del *buffer* del divisor programable cuando la señal cruza por 0

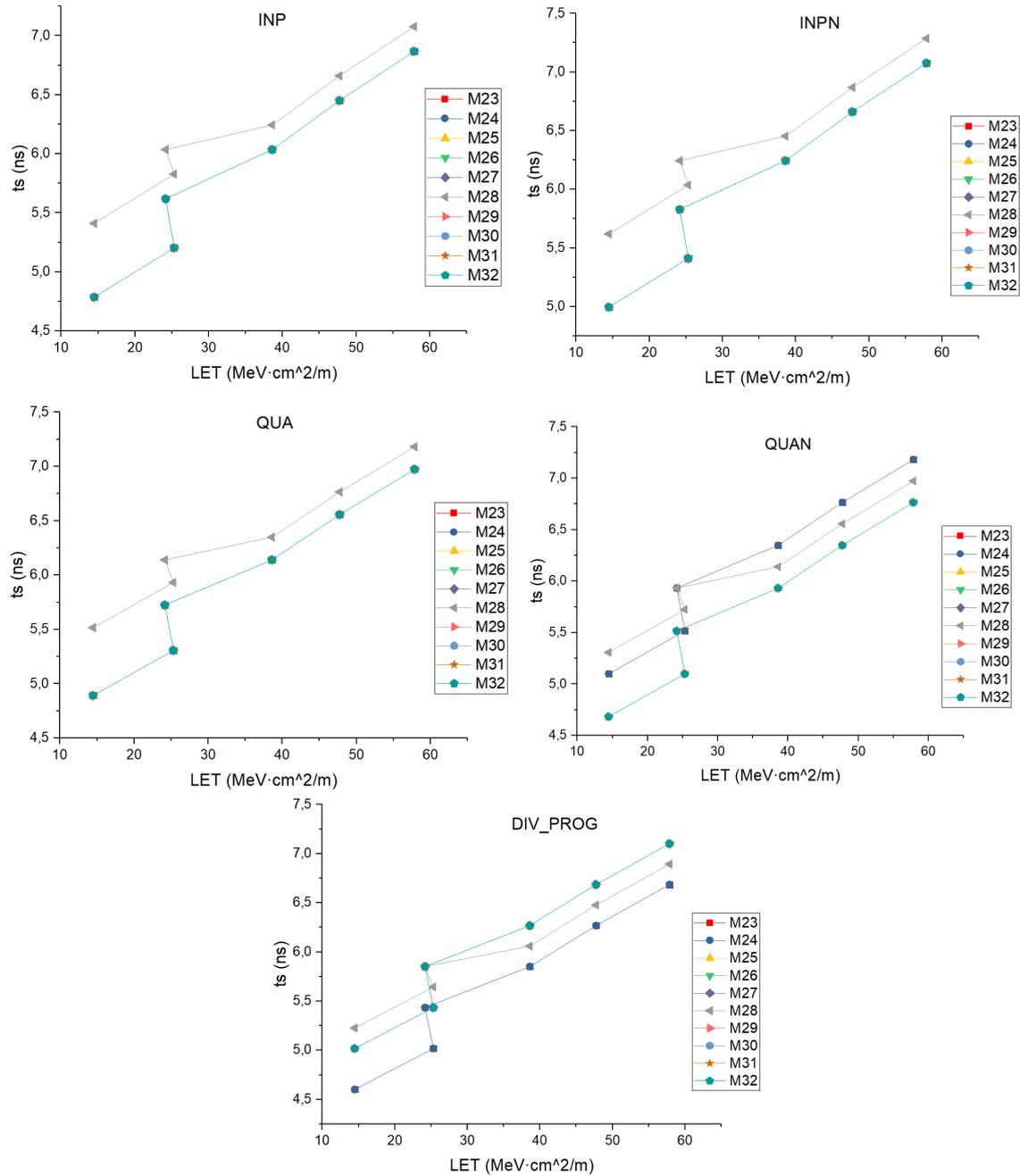


Figura B.8: Gráficas del tiempo de establecimiento del *buffer* del divisor programable cuando la señal cruza por el pico máximo

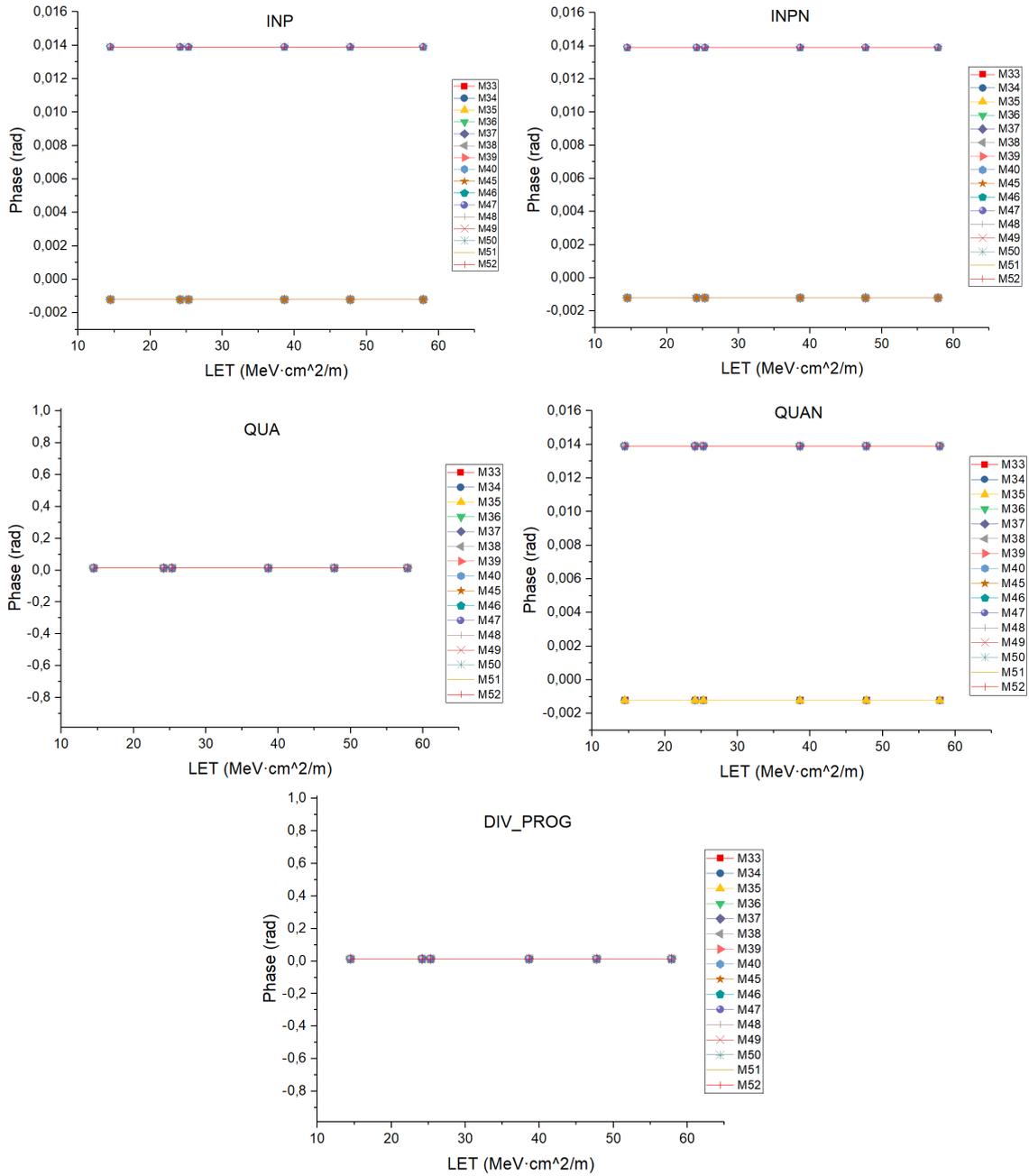


Figura B.9: Gráficas del desfase del *buffer* del mezclador cuando la señal cruza por 0

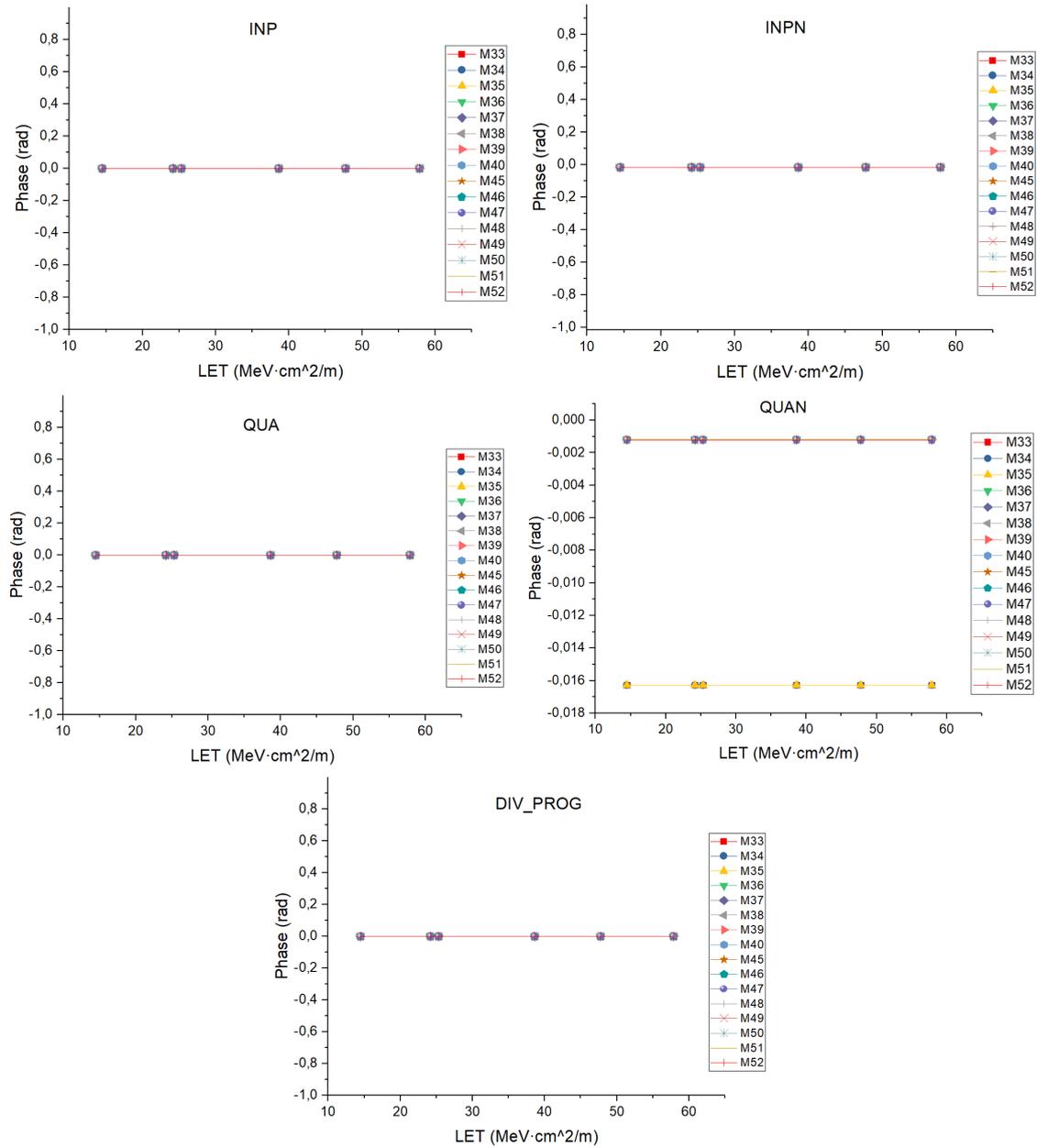


Figura B.10: Gráficas del desfase *buffer* del mezclador cuando la señal cruza por el pico máximo

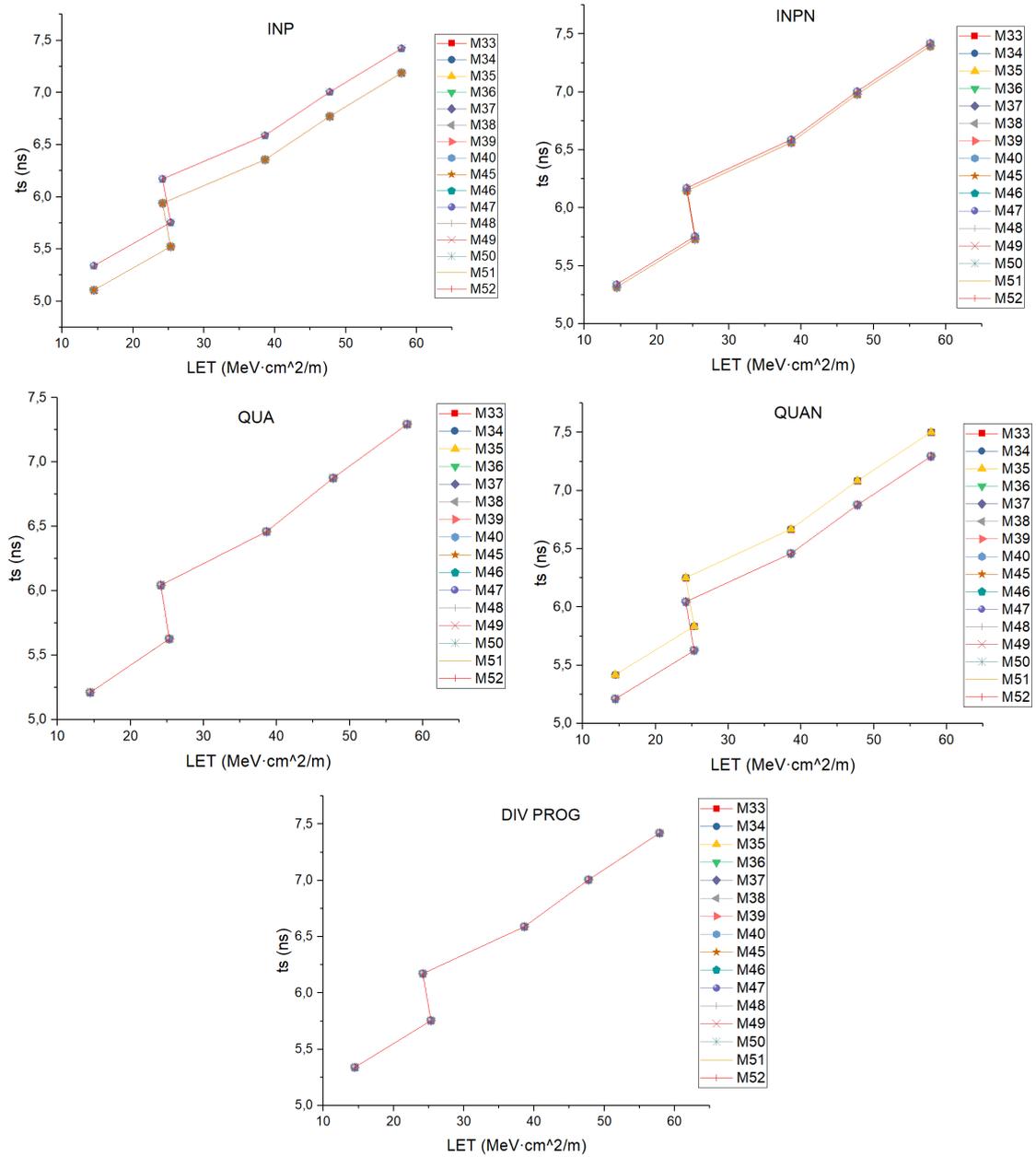


Figura B.11: Gráficas del tiempo de establecimiento *buffer* del mezclador cuando la señal cruza por 0

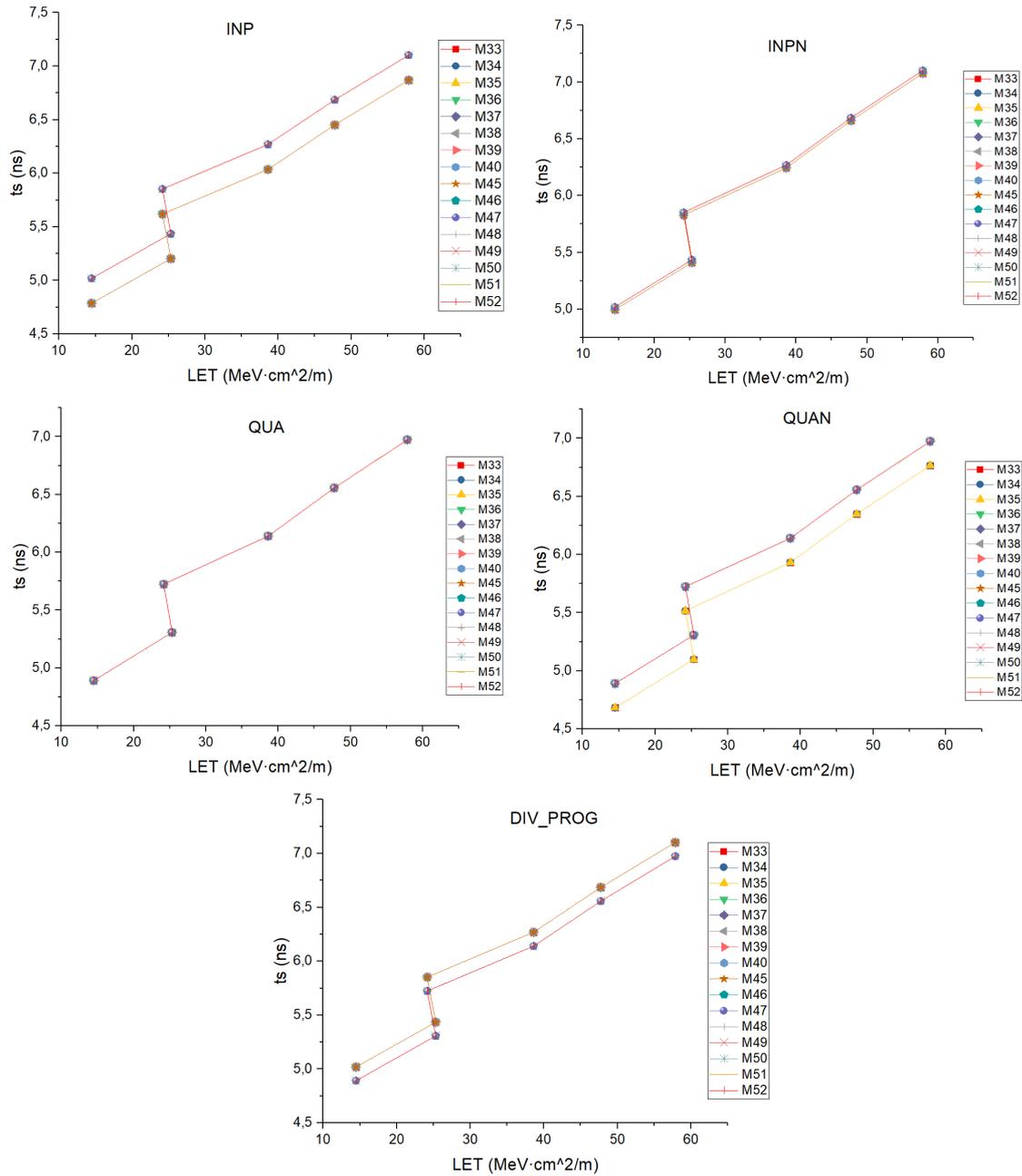


Figura B.12: Gráficas del tiempo de establecimiento *buffer* del mezclador cuando la señal cruza por el pico máximo

## Apéndice C

# GRÁFICAS DEL VCO CON RHBD

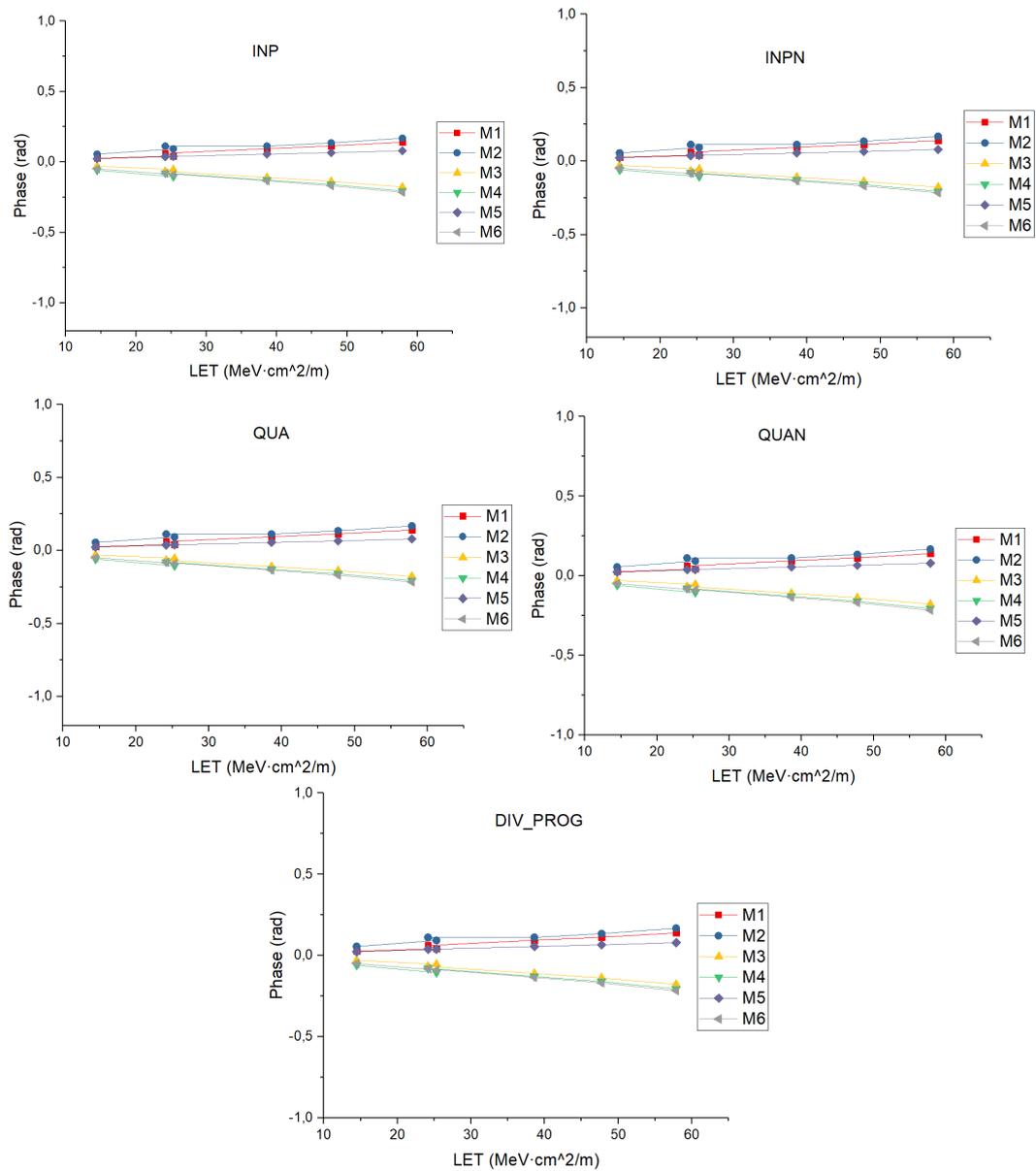


Figura C.1: Gráficas aplicando técnica RHBD del desfase del VCO cuando la señal cruza por 0

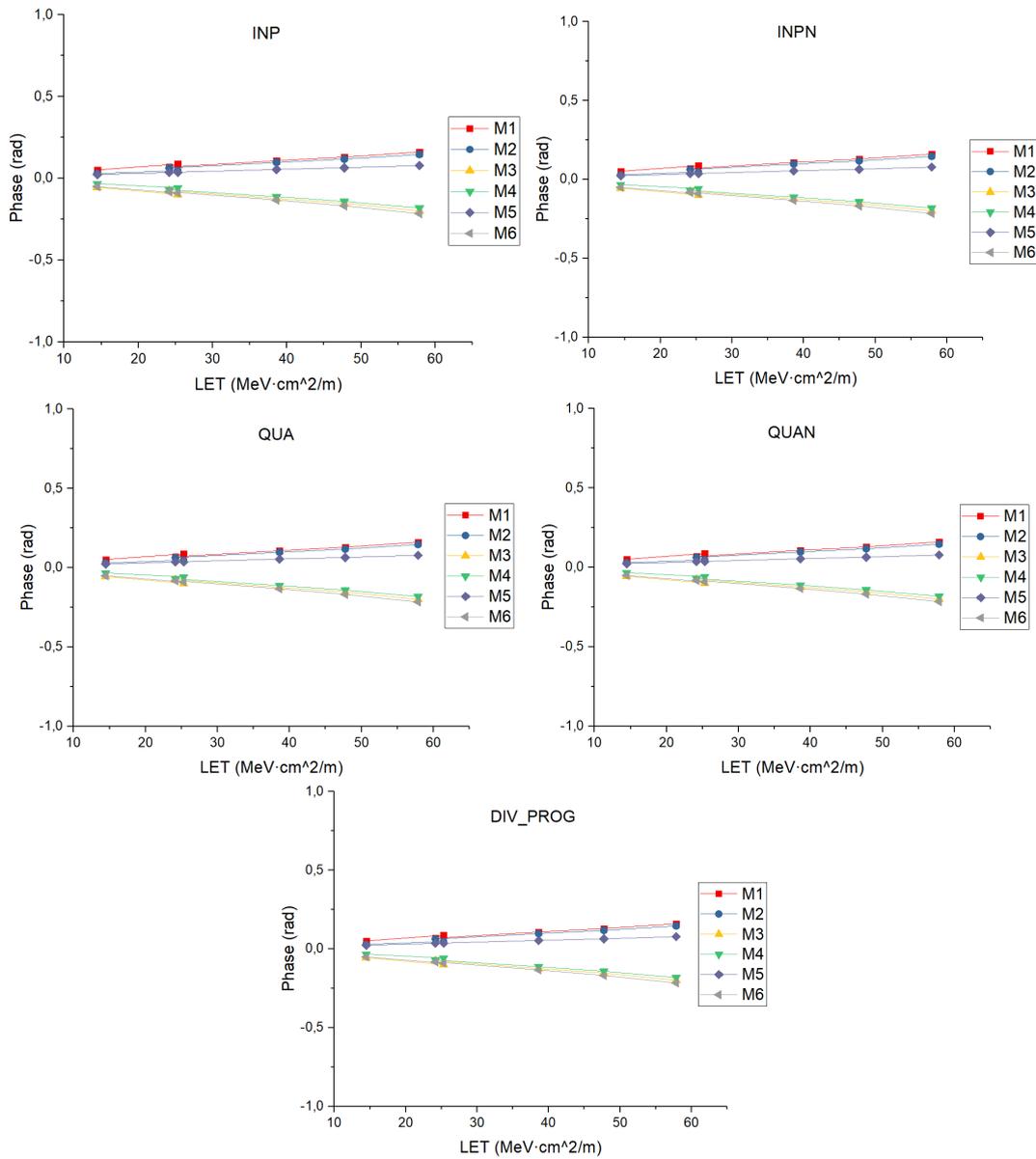


Figura C.2: Gráficas aplicando técnica RHBD del desfase del VCO cuando la señal cruza por el pico máximo

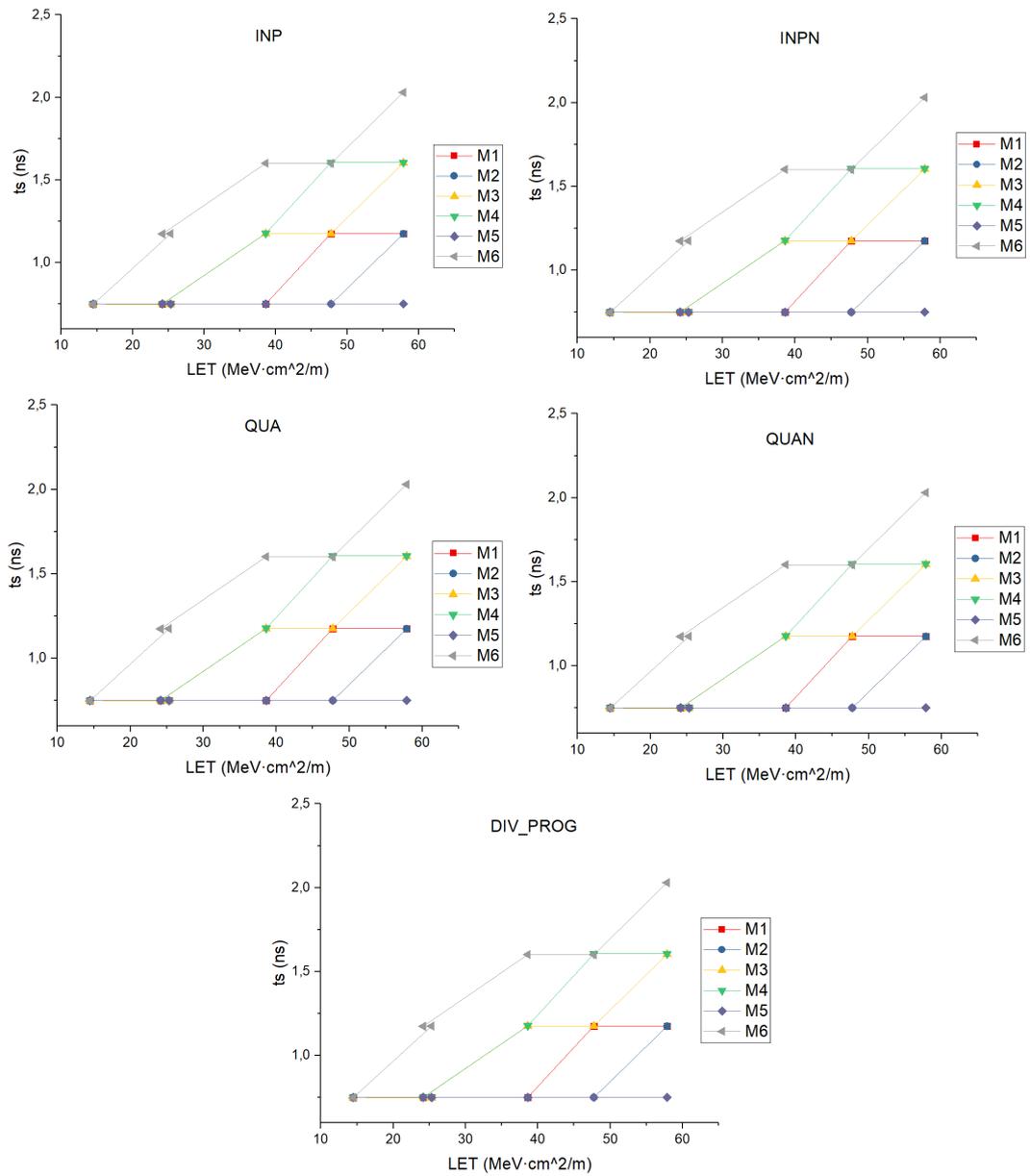


Figura C.3: Gráficas aplicando técnica RHBD del tiempo de establecimiento del VCO cuando la señal cruza por 0

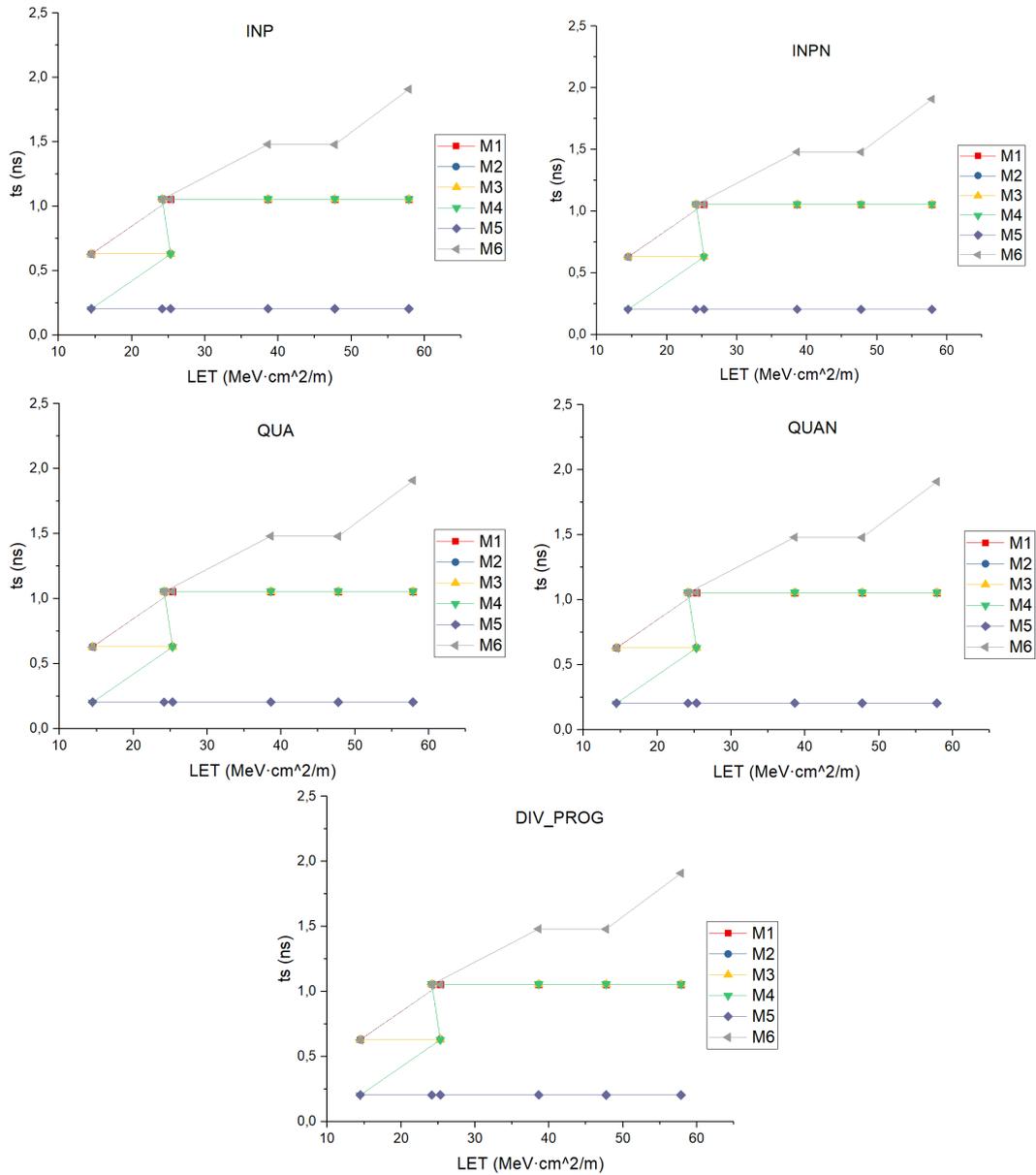


Figura C.4: Gráficas aplicando técnica RHBD del tiempo de establecimiento del VCO cuando la señal cruza por el pico máximo

# Apéndice D

## GRÁFICAS DEL DIVISOR RÁPIDO CON RHBD EMPLEANDO PUERTAS OR

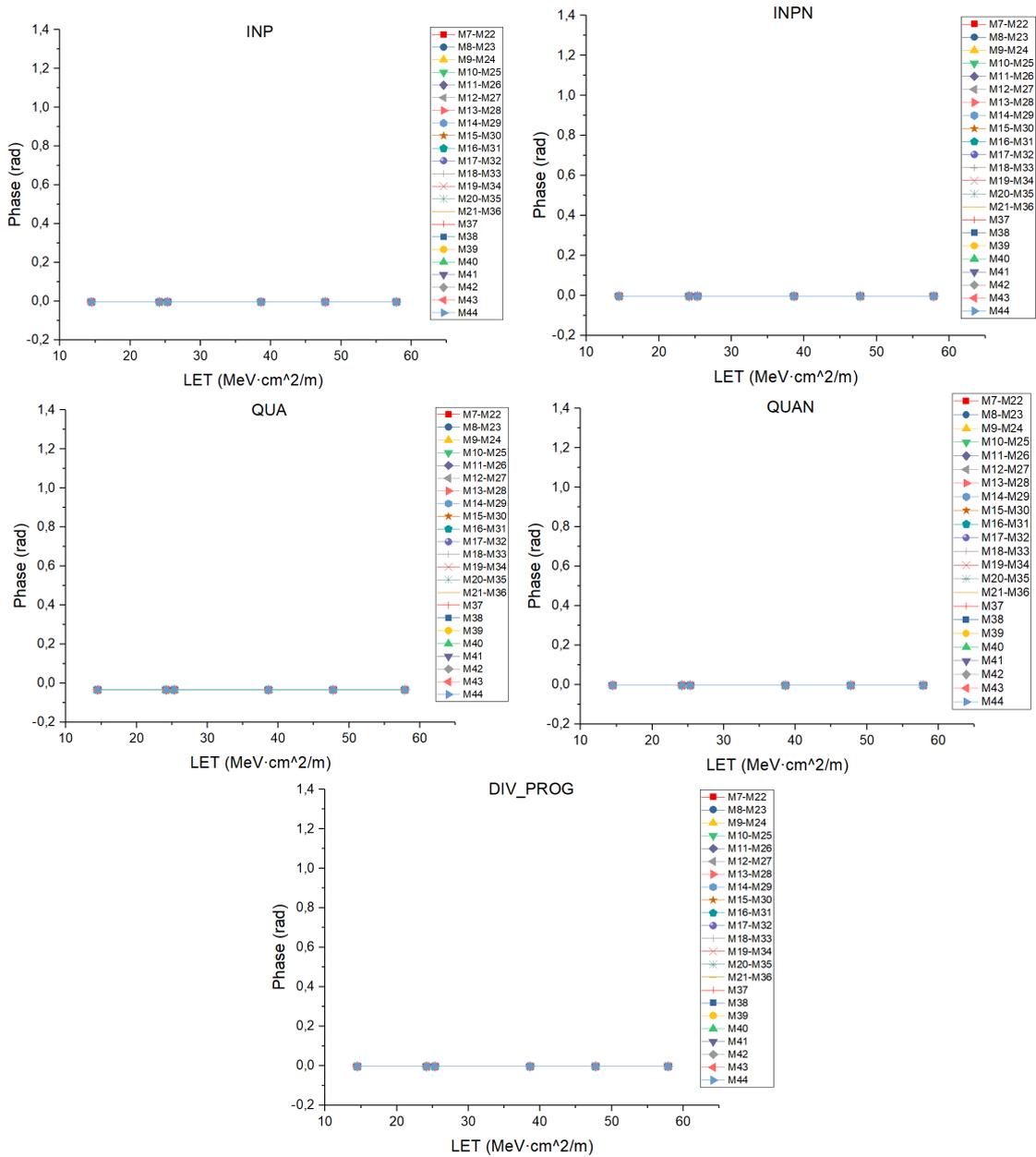


Figura D.1: Gráficas aplicando técnica RHBD del desfase del divisor rápido cuando la señal cruza por 0 con puerta OR

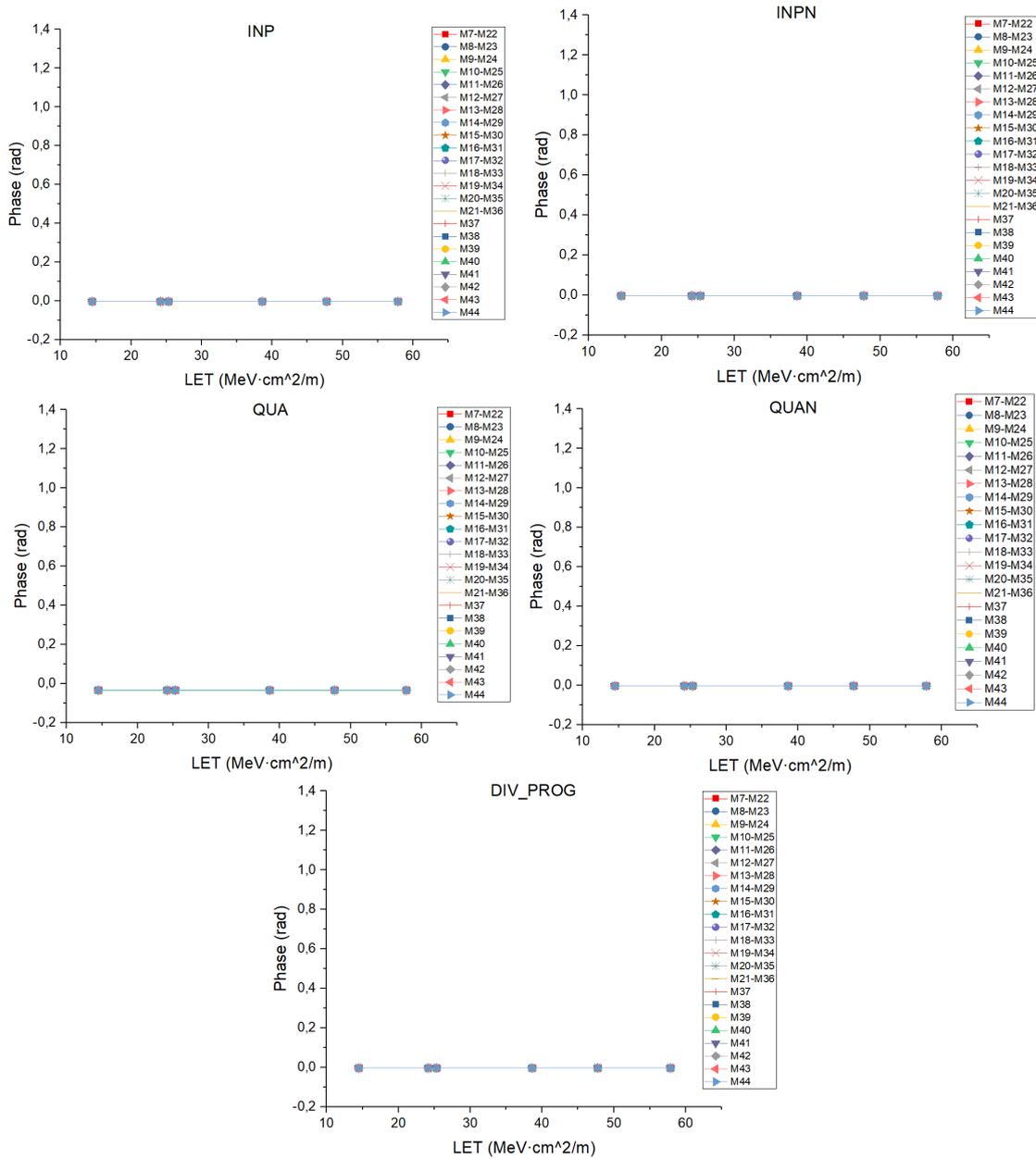


Figura D.2: Gráficas aplicando técnica RHBD del desfase del divisor rápido cuando la señal cruza por el pico máximo con puerta OR

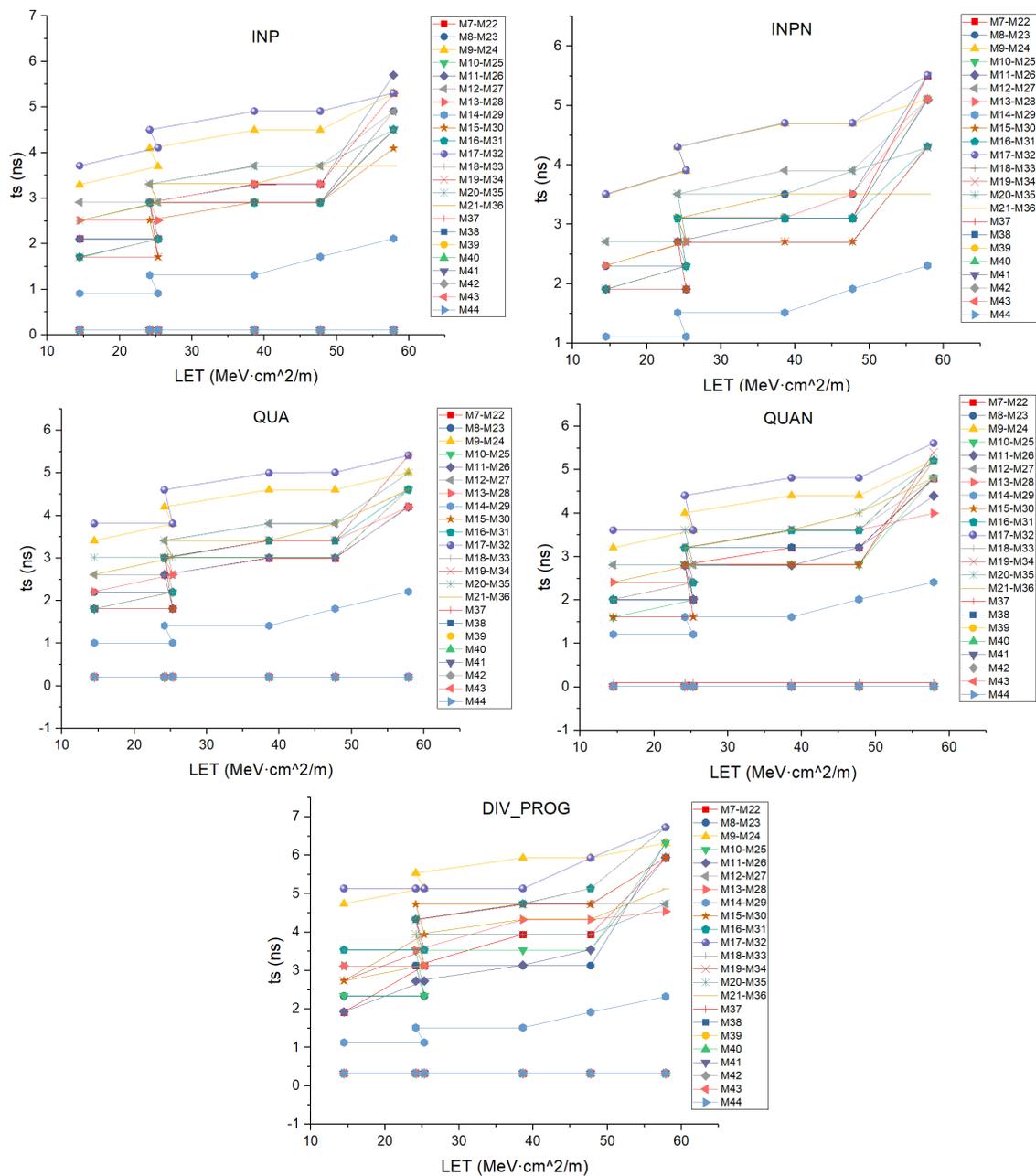


Figura D.3: Gráficas aplicando técnica RHBD del tiempo de establecimiento del divisor rápido cuando la señal cruza por 0 con puerta OR

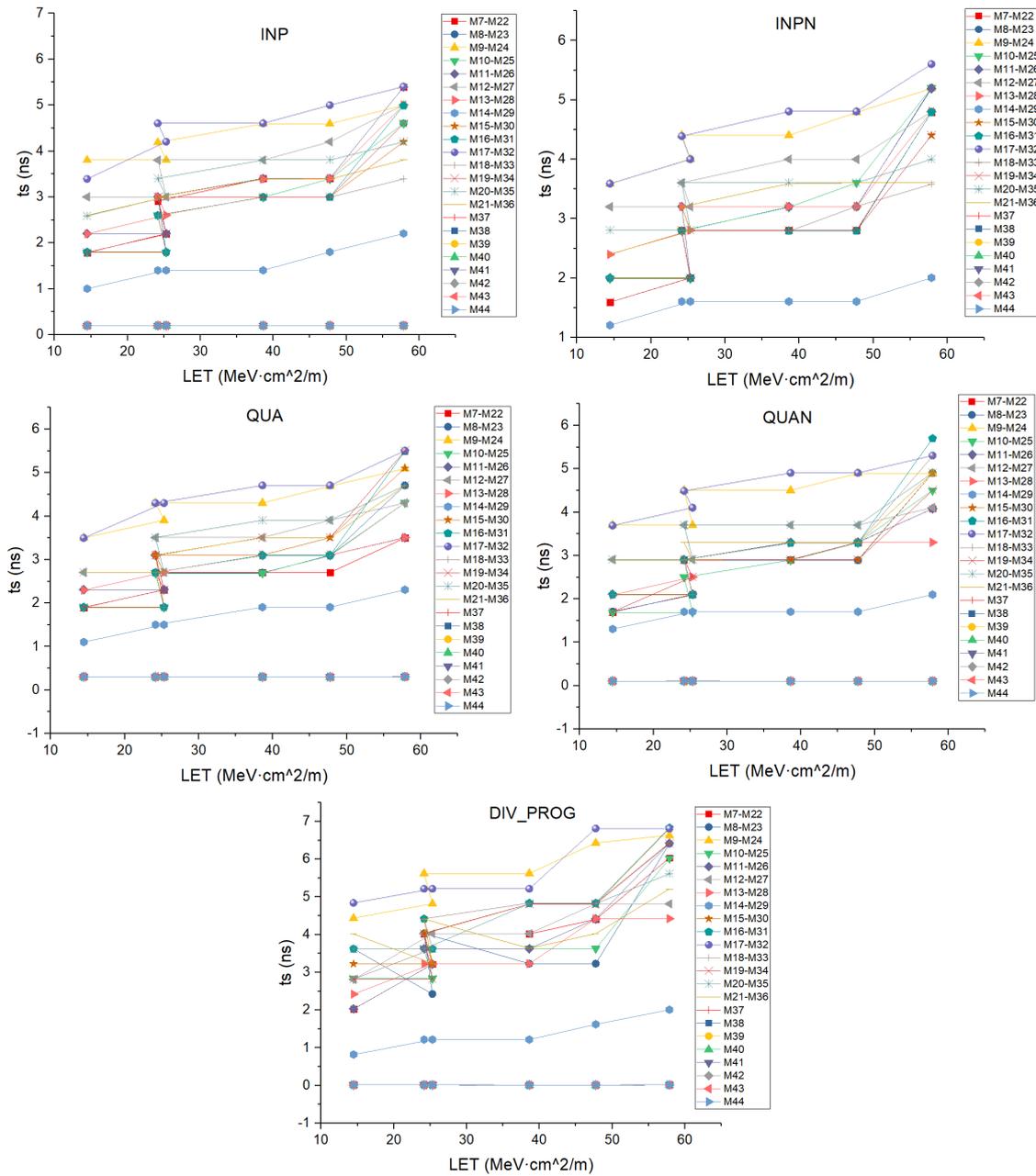


Figura D.4: Gráficas aplicando técnica RHBD del tiempo de establecimiento del divisor rápido cuando la señal cruza por el pico máximo con puerta OR

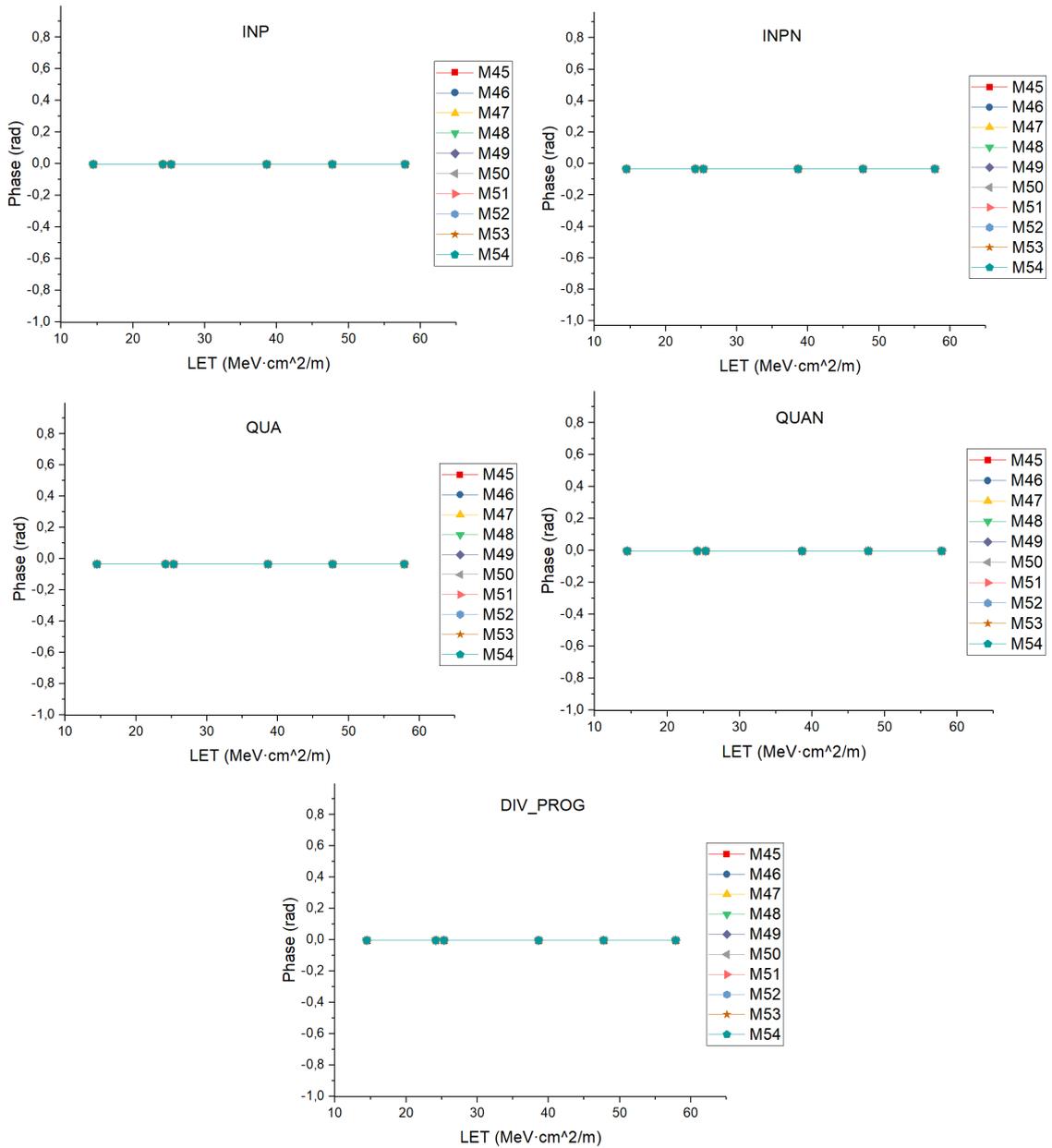


Figura D.5: Gráficas aplicando técnica RHBBD del desfase del *buffer* del divisor programable cuando la señal cruza por 0 con puerta OR

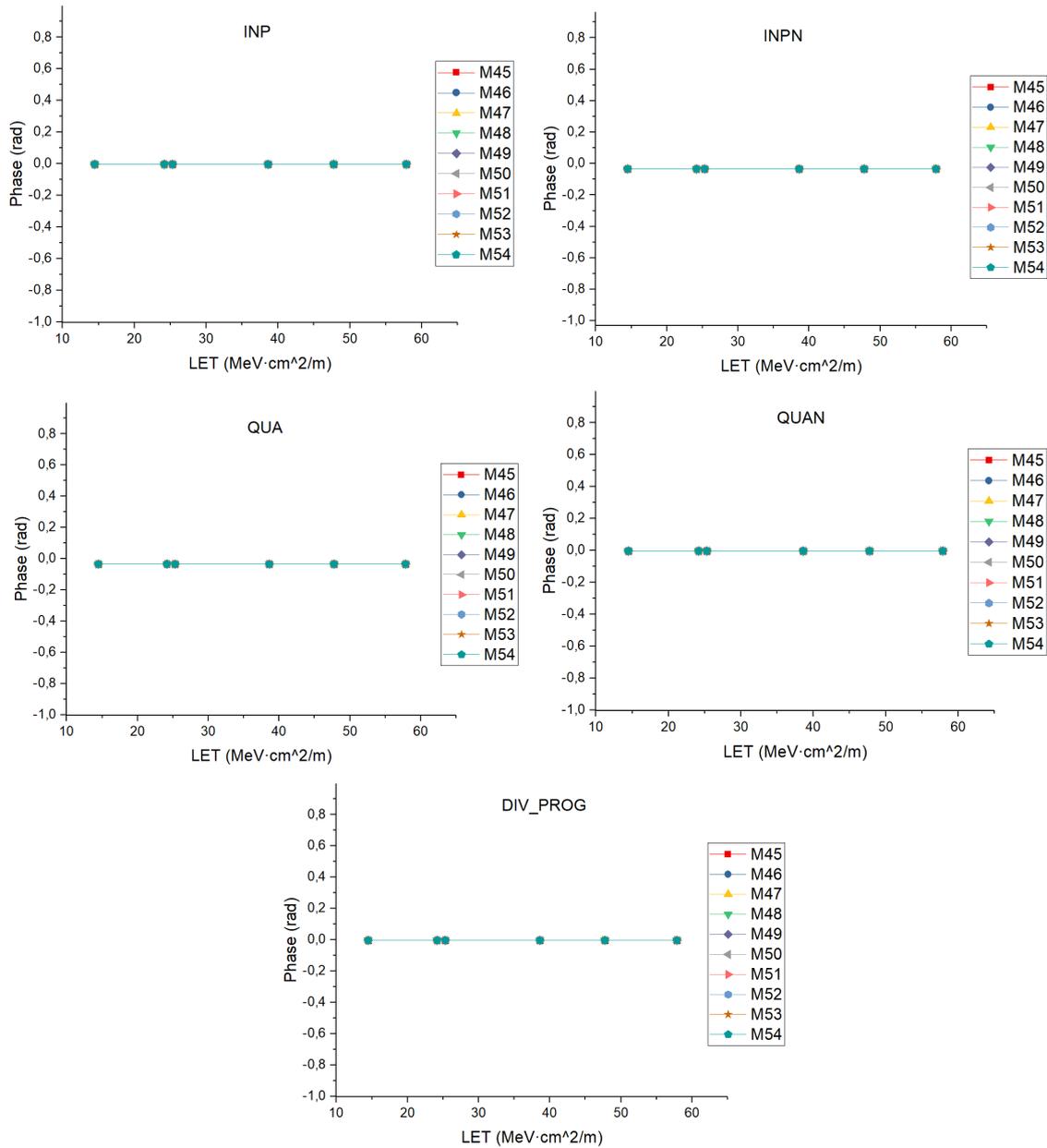


Figura D.6: Gráficas aplicando técnica RHBD del desfase del *buffer* del divisor programable cuando la señal cruza por el pico máximo con puerta OR

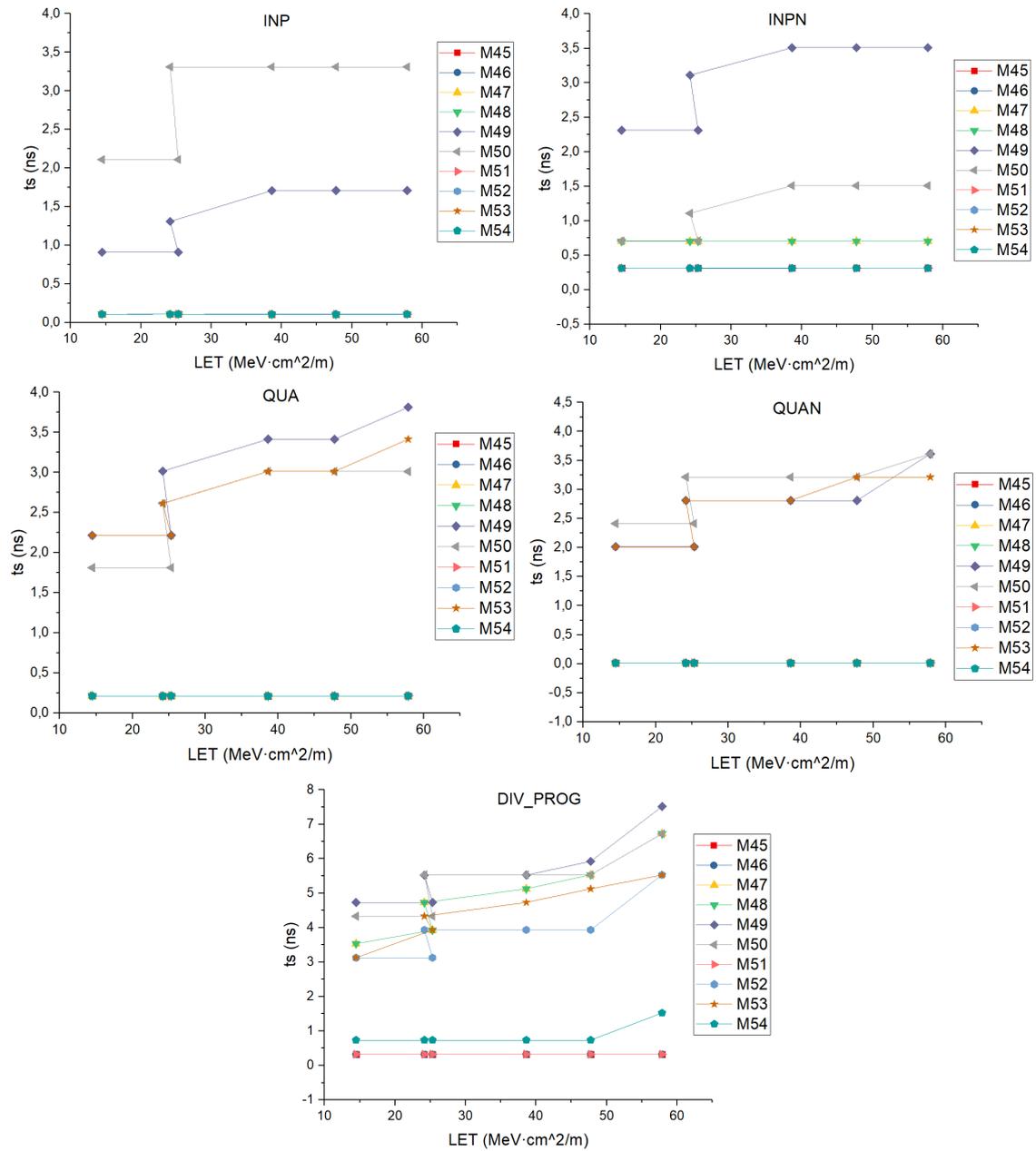


Figura D.7: Gráficas aplicando técnica RHBD del tiempo de establecimiento del buffer del divisor programable cuando la señal cruza por 0 con puerta OR.

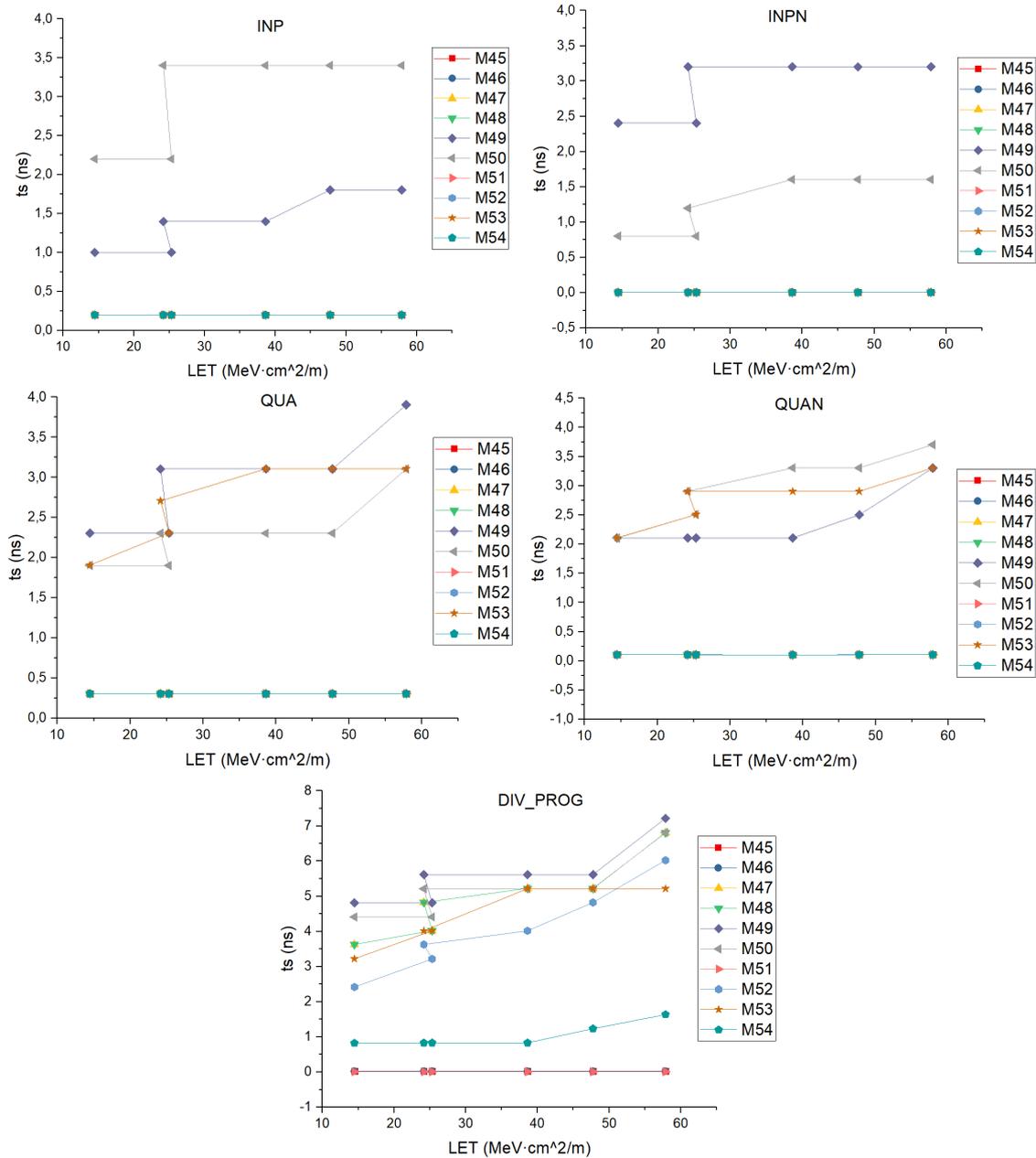


Figura D.8: Gráficas aplicando técnica RHBD del tiempo de establecimiento del *buffer* del divisor programable cuando la señal cruza por el pico máximo con puerta OR

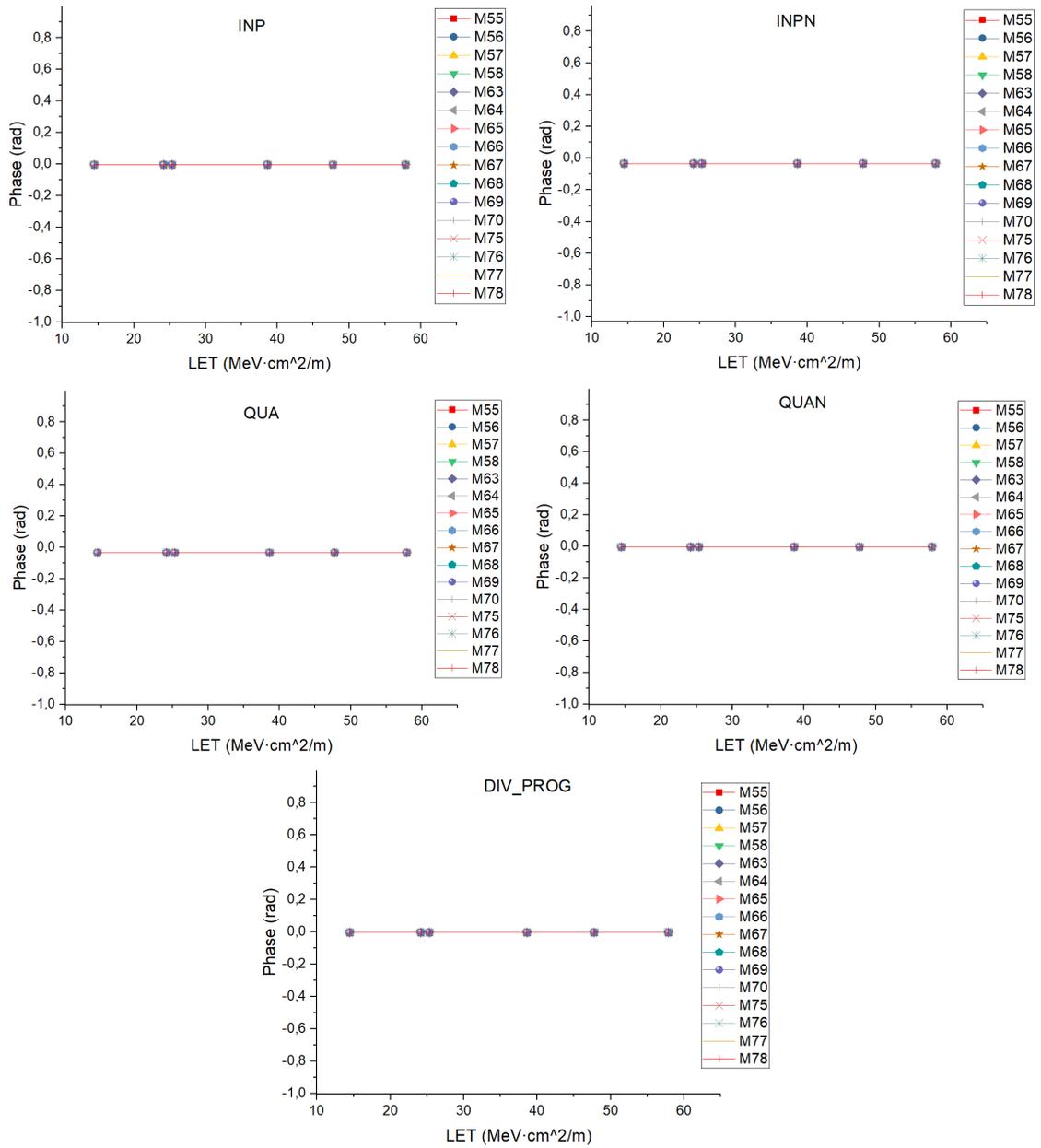


Figura D.9: Gráficas aplicando técnica RHBD del desfase del *buffer* del mezclador cuando la señal cruza por 0 con puerta OR

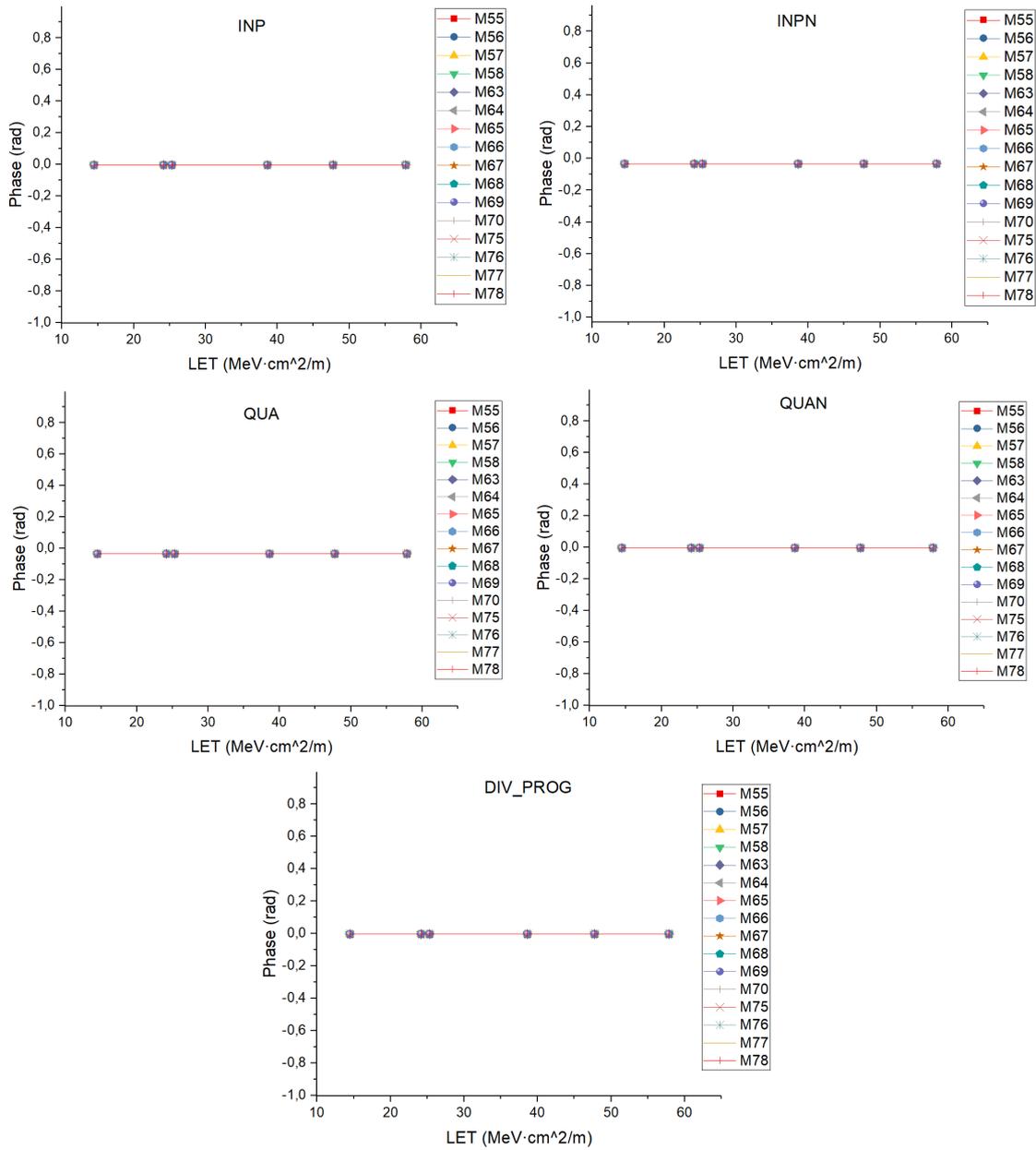


Figura D.10: Gráficas aplicando técnica RHBD del desfase *buffer* del mezclador cuando la señal cruza por el pico máximo con puerta OR

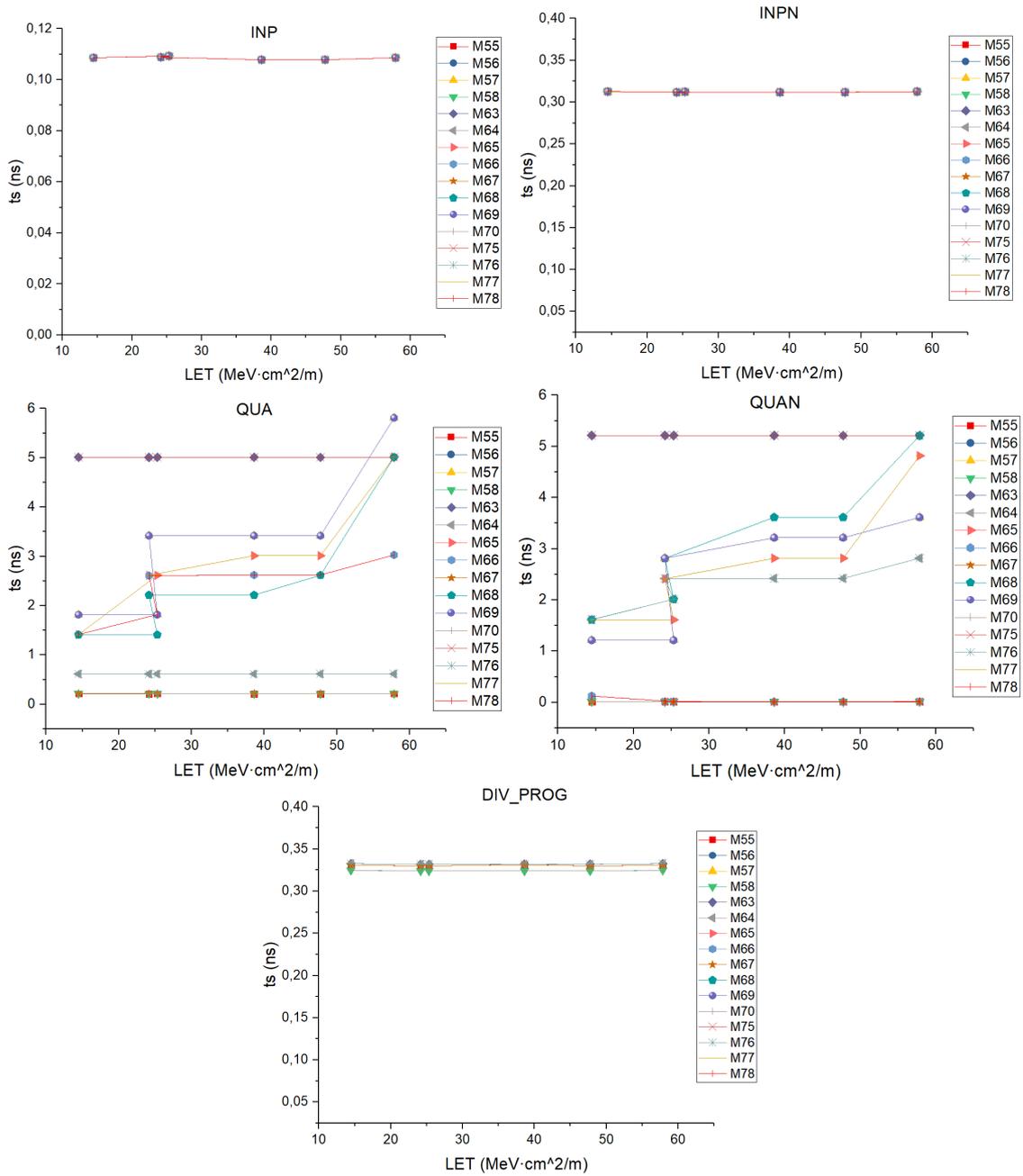


Figura D.11: Gráficas aplicando técnica RHBD del tiempo de establecimiento *buffer* del mezclador cuando la señal cruza por 0 con puerta OR

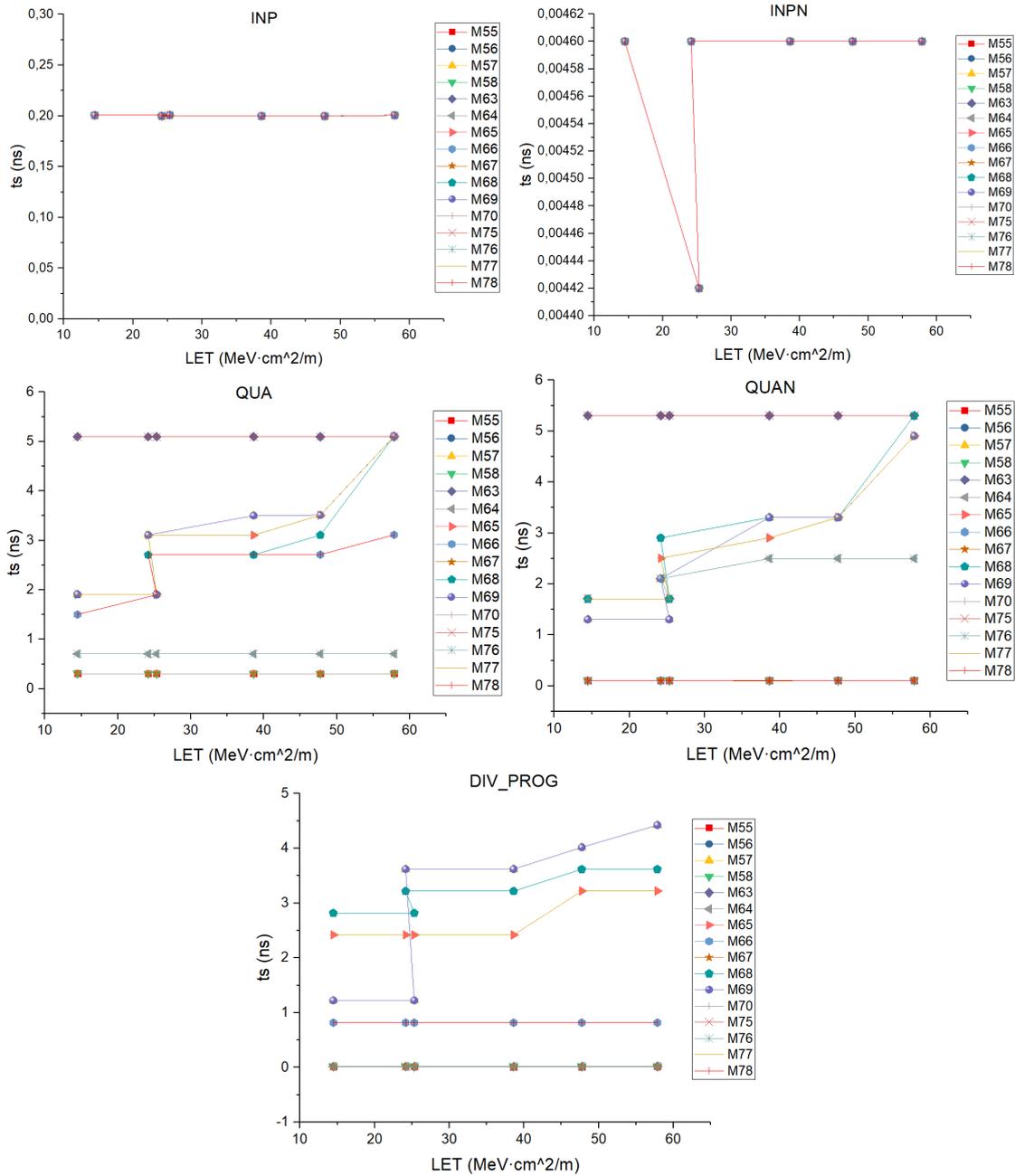


Figura D.12: Gráficas aplicando técnica RHBD del tiempo de establecimiento *buffer* del mezclador cuando la señal cruza por el pico máximo con puerta OR

# Apéndice E

## GRÁFICAS DEL DIVISOR RÁPIDO CON RHBD EMPLEANDO PUERTAS AND

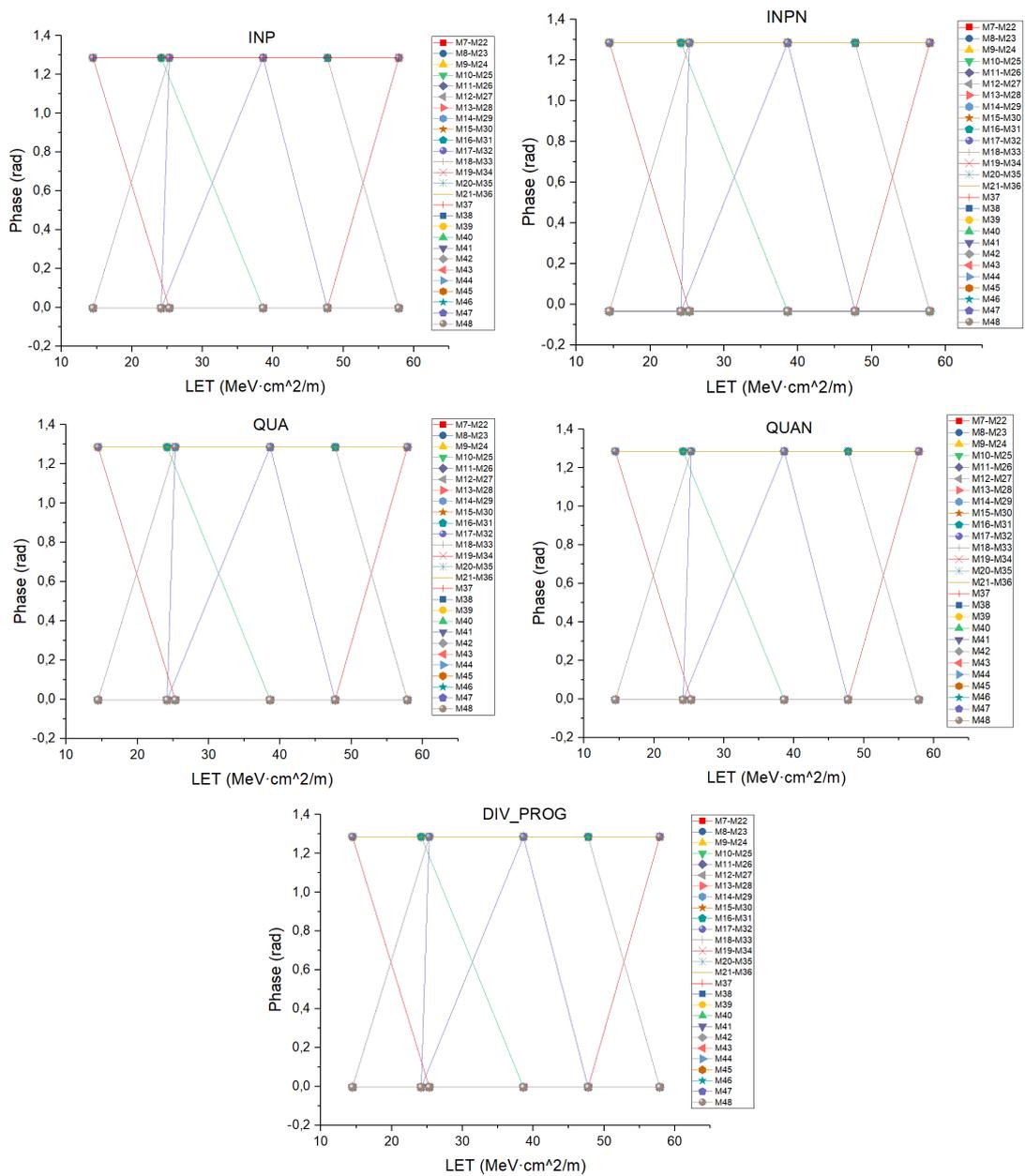


Figura E.1: Gráficas aplicando técnica RHBD del desfase del divisor rápido cuando la señal cruza por 0 con puerta AND

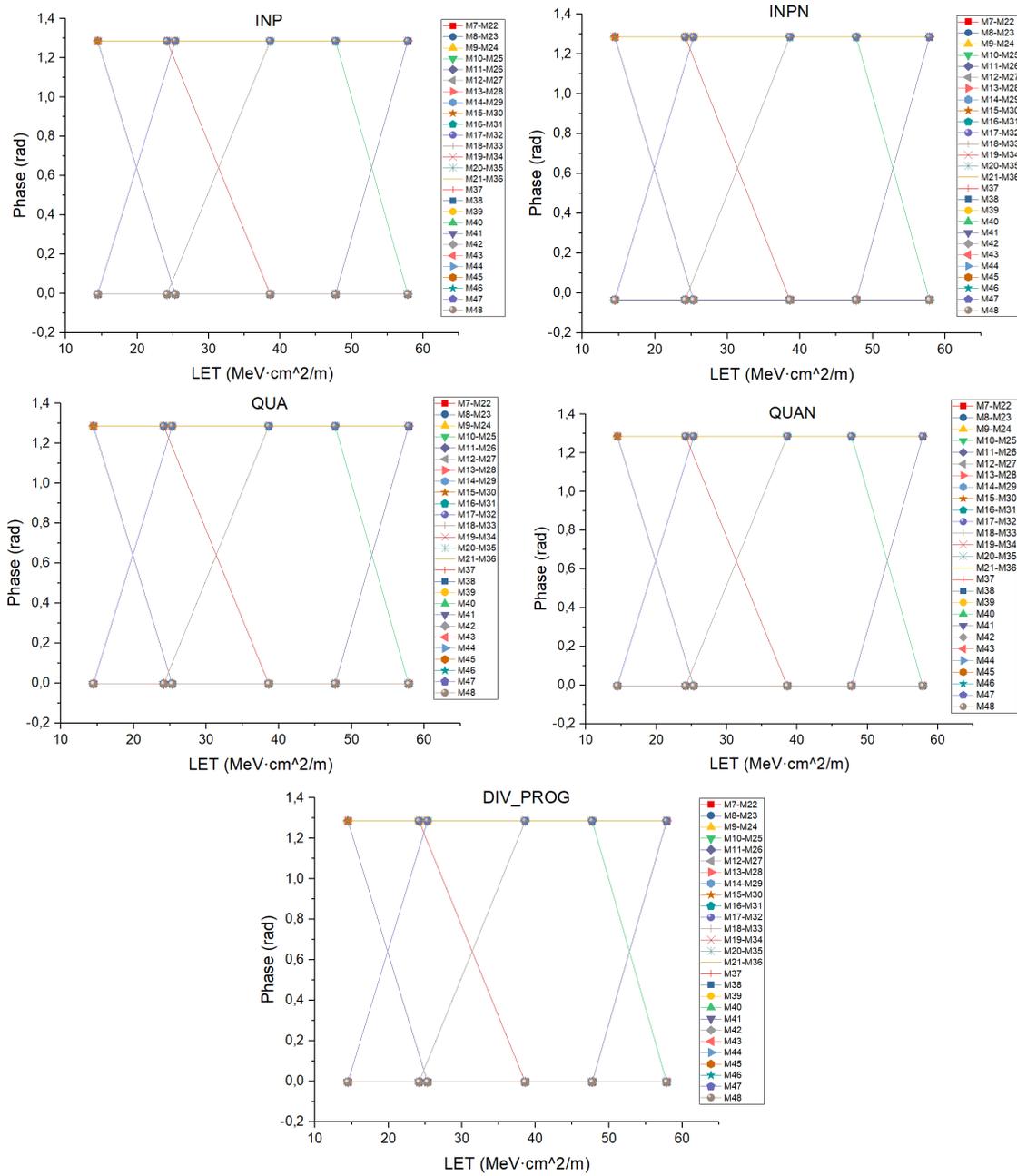


Figura E.2: Gráficas aplicando técnica RHBD del desfase del divisor rápido cuando la señal cruza por el pico máximo con puerta AND

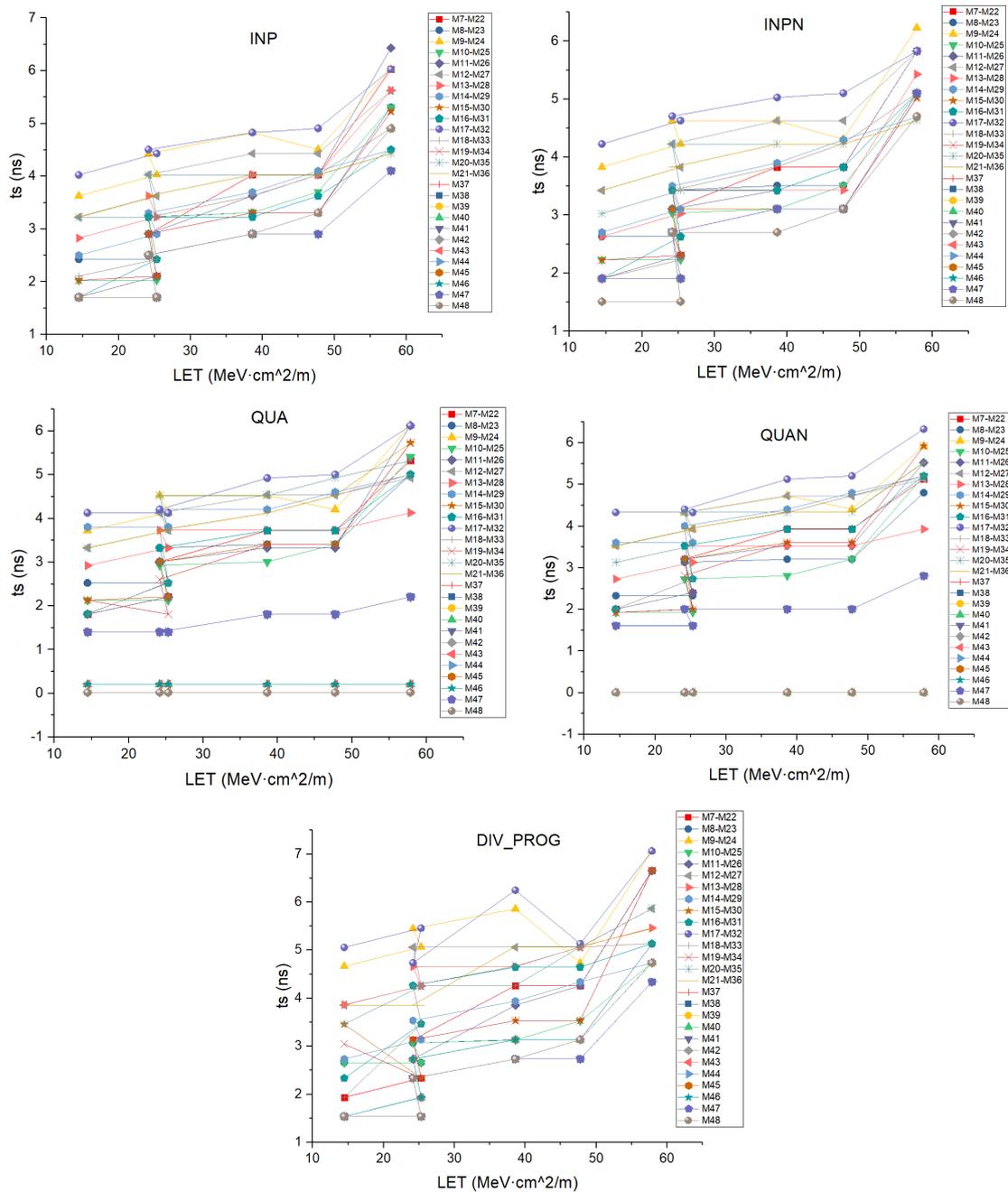


Figura E.3: Gráficas aplicando técnica RHBD del tiempo de establecimiento del divisor rápido cuando la señal cruza por 0 con puerta AND

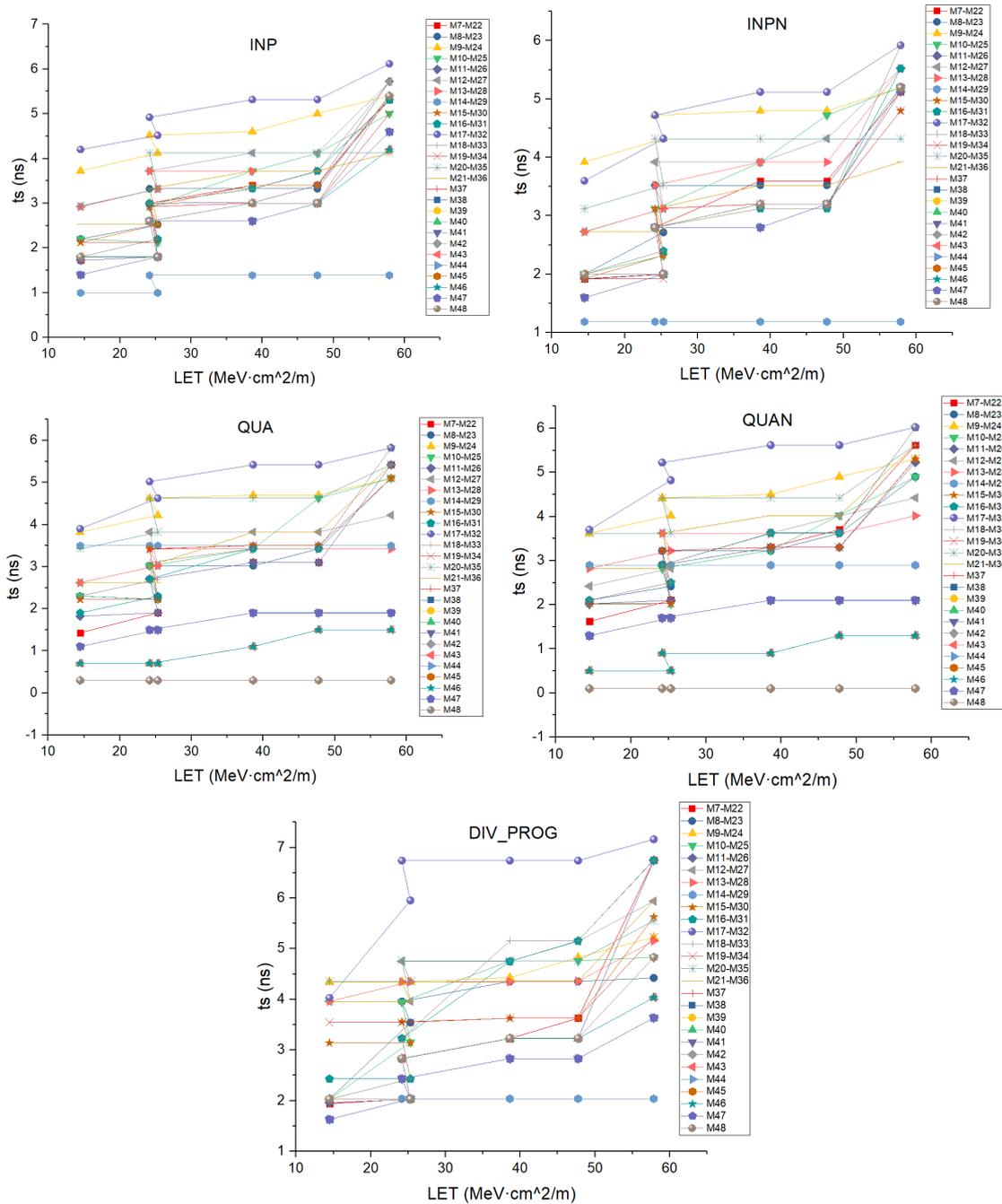


Figura E.4: Gráficas aplicando técnica RHBD del tiempo de establecimiento del divisor rápido cuando la señal cruza por el pico máximo con puerta AND

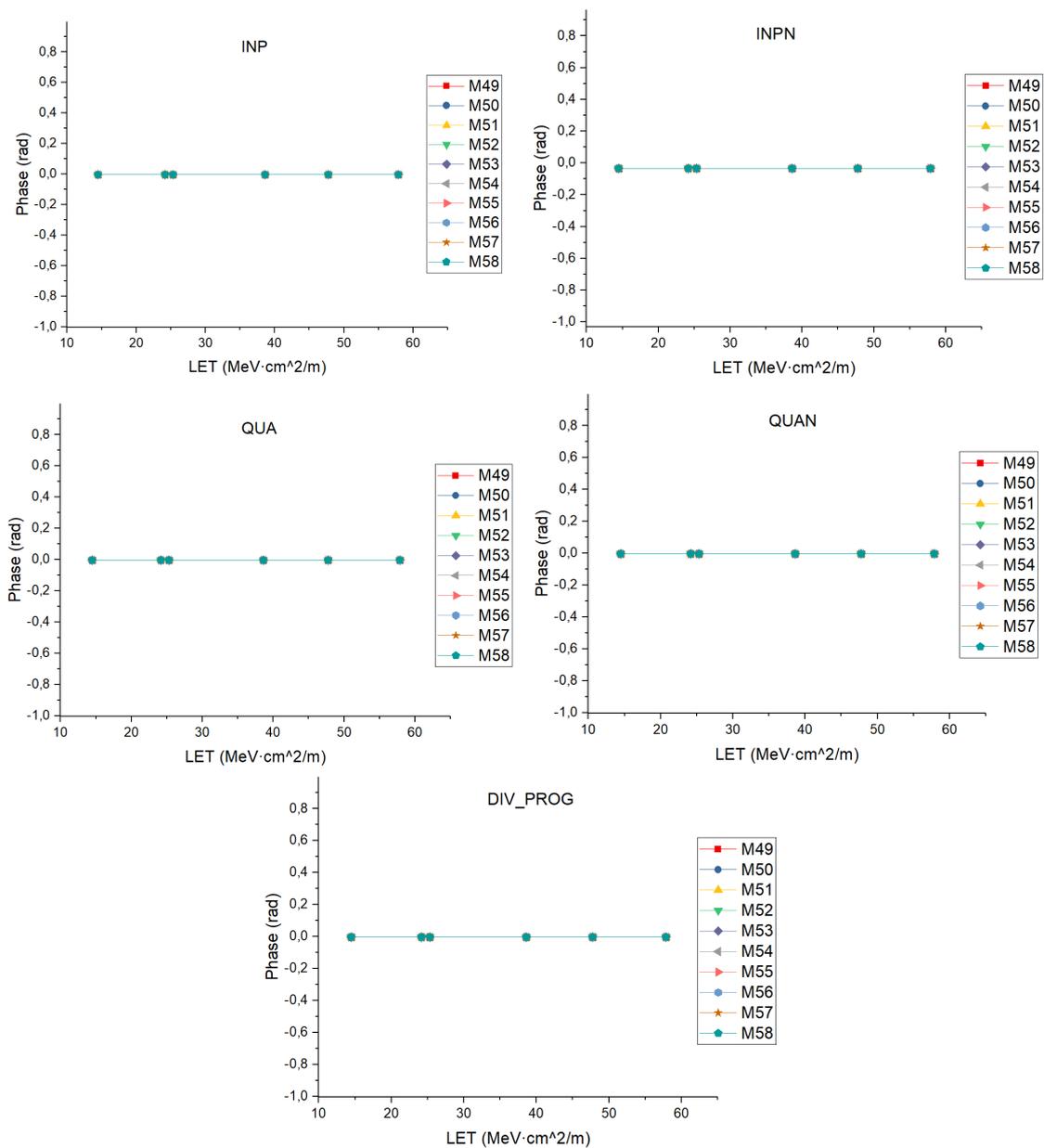


Figura E.5: Gráficas aplicando técnica RHBD del desfase del *buffer* del divisor programable cuando la señal cruza por 0 con puerta AND

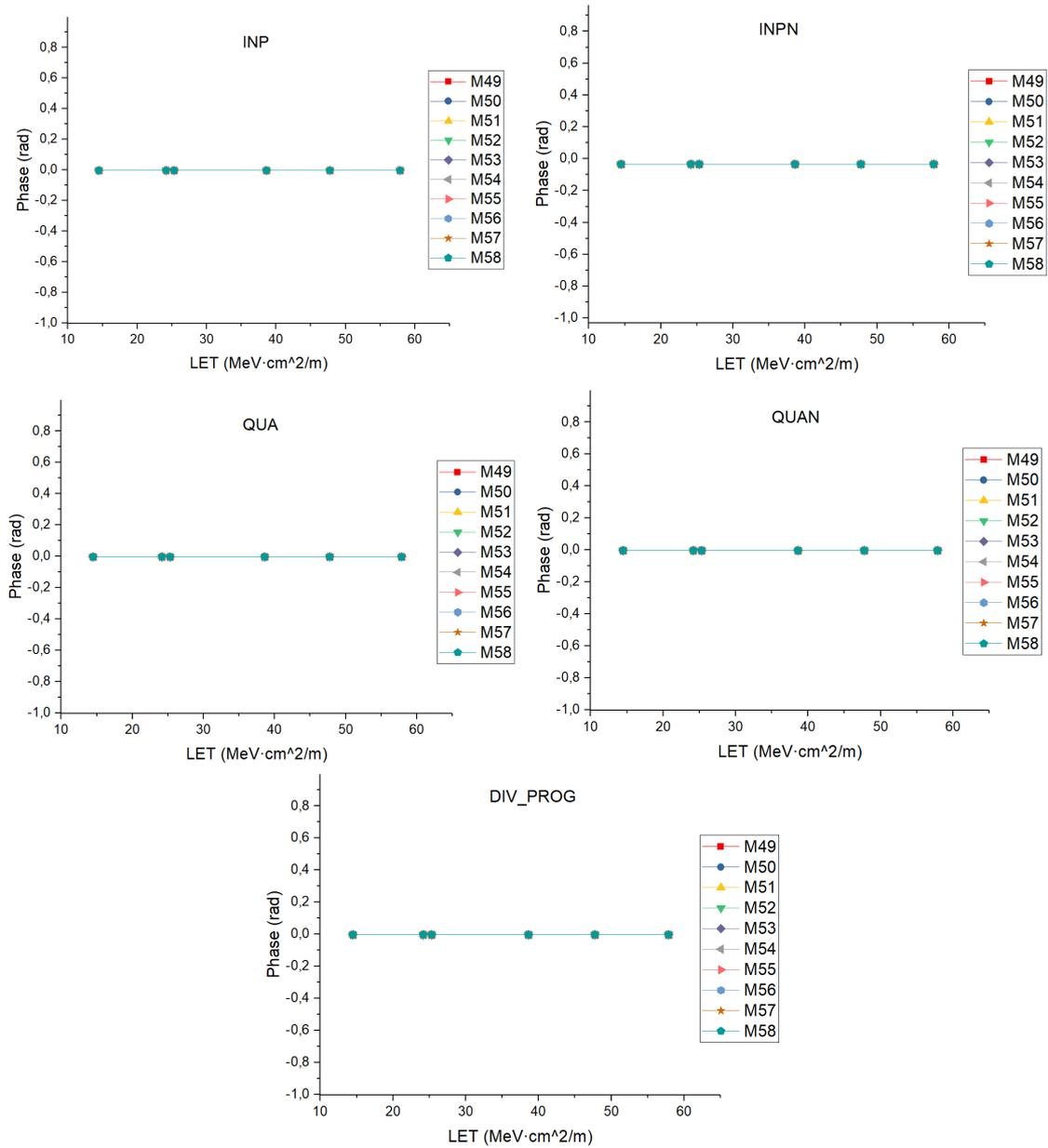


Figura E.6: Gráficas aplicando técnica RHBD del desfase del *buffer* del divisor programable cuando la señal cruza por el pico máximo con puerta AND

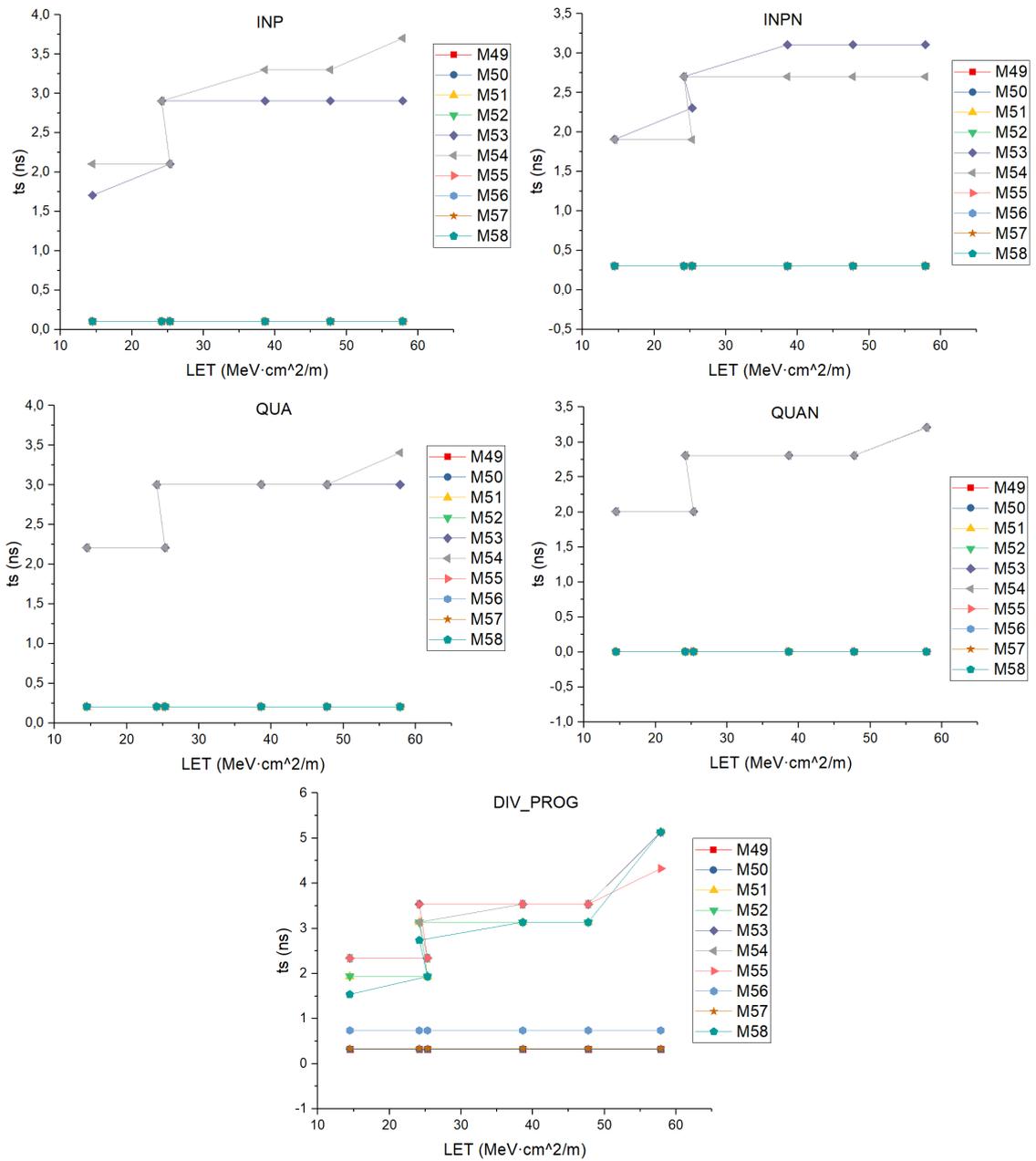


Figura E.7: Gráficas aplicando técnica RHBD del tiempo de establecimiento del *buffer* del divisor programable cuando la señal cruza por 0 con puerta AND

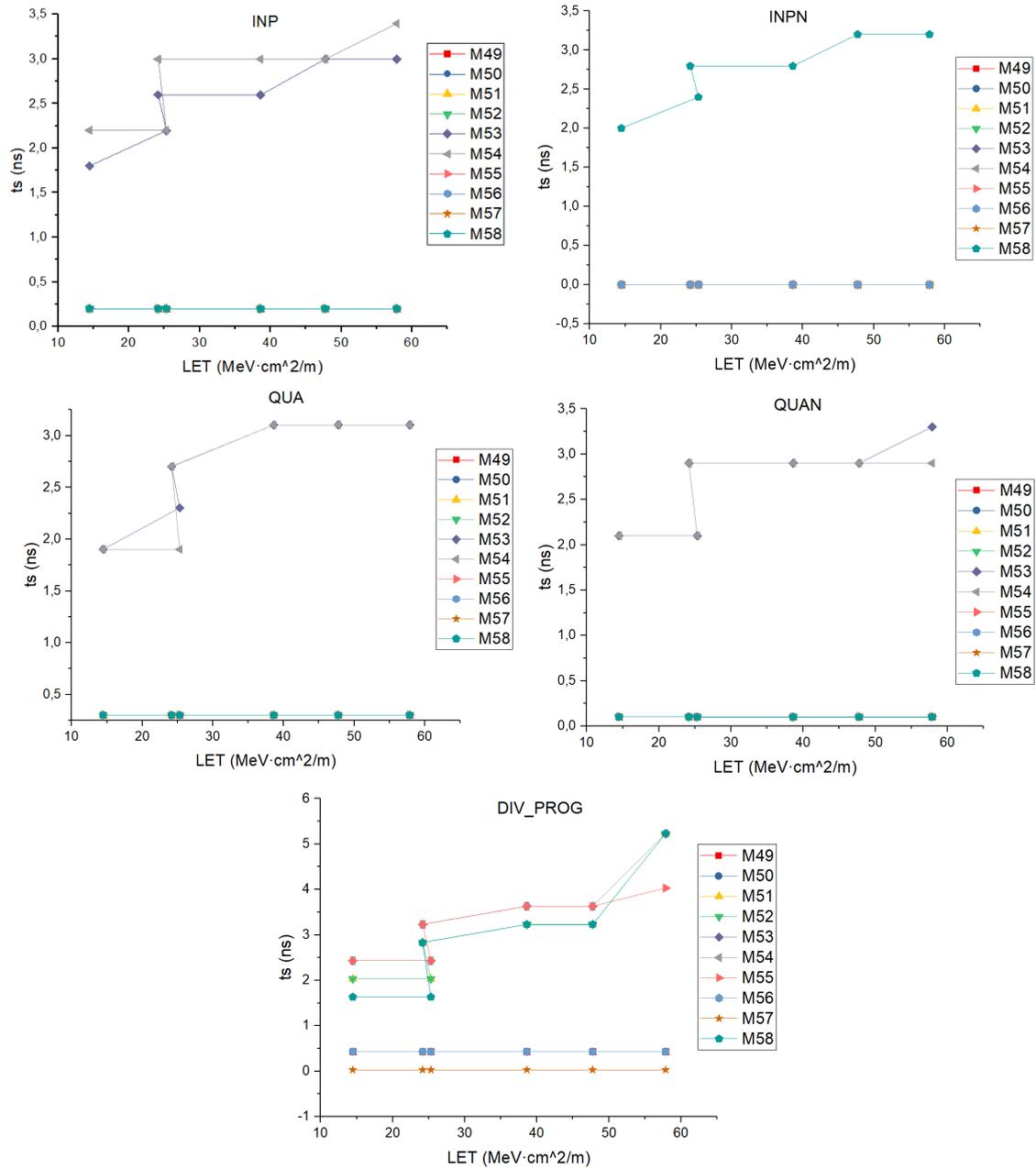


Figura E.8: Gráficas aplicando técnica RHBD del tiempo de establecimiento del *buffer* del divisor programable cuando la señal cruza por el pico máximo con puerta AND

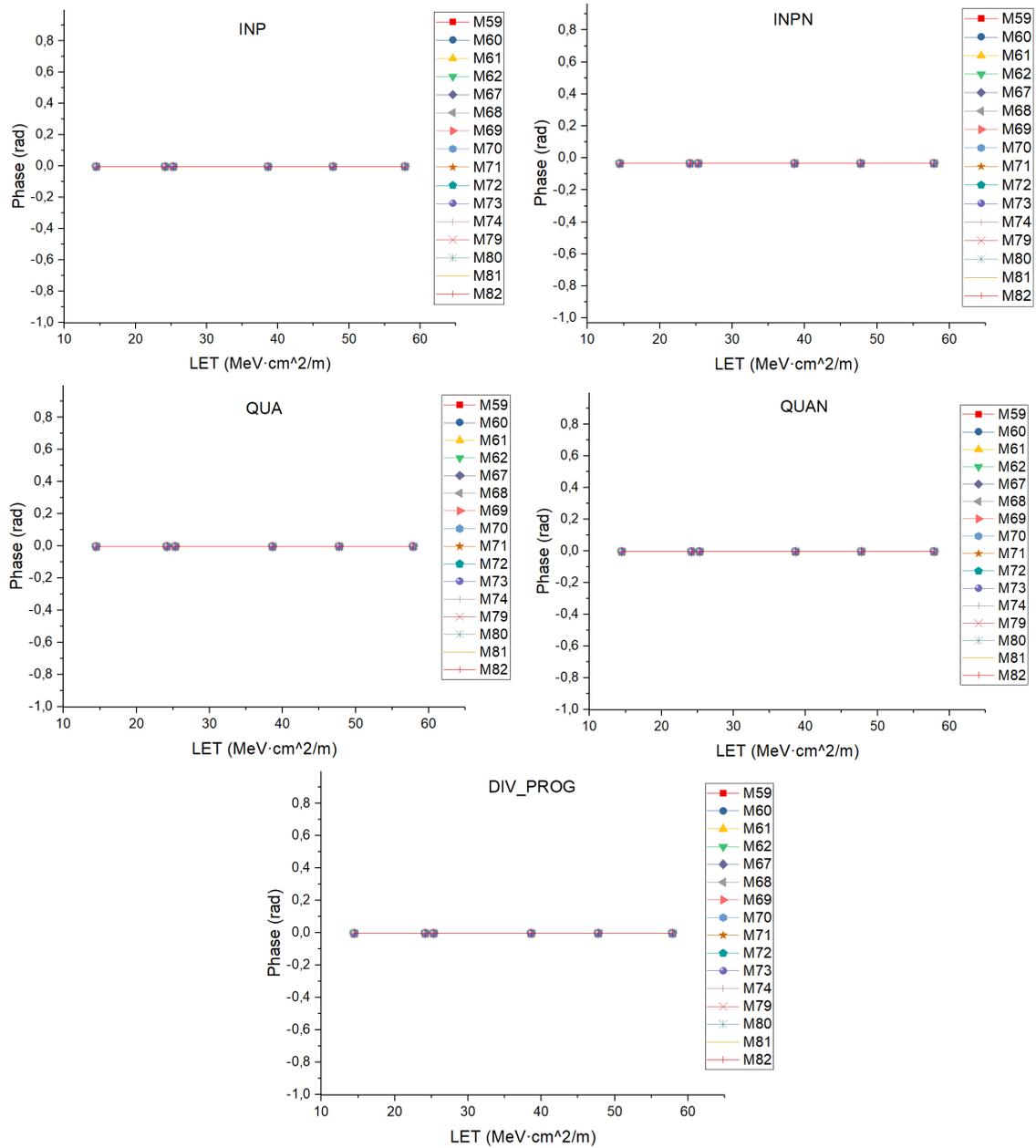


Figura E.9: Gráficas aplicando técnica RHBD del desfase del *buffer* del mezclador cuando la señal cruza por 0 con puerta AND

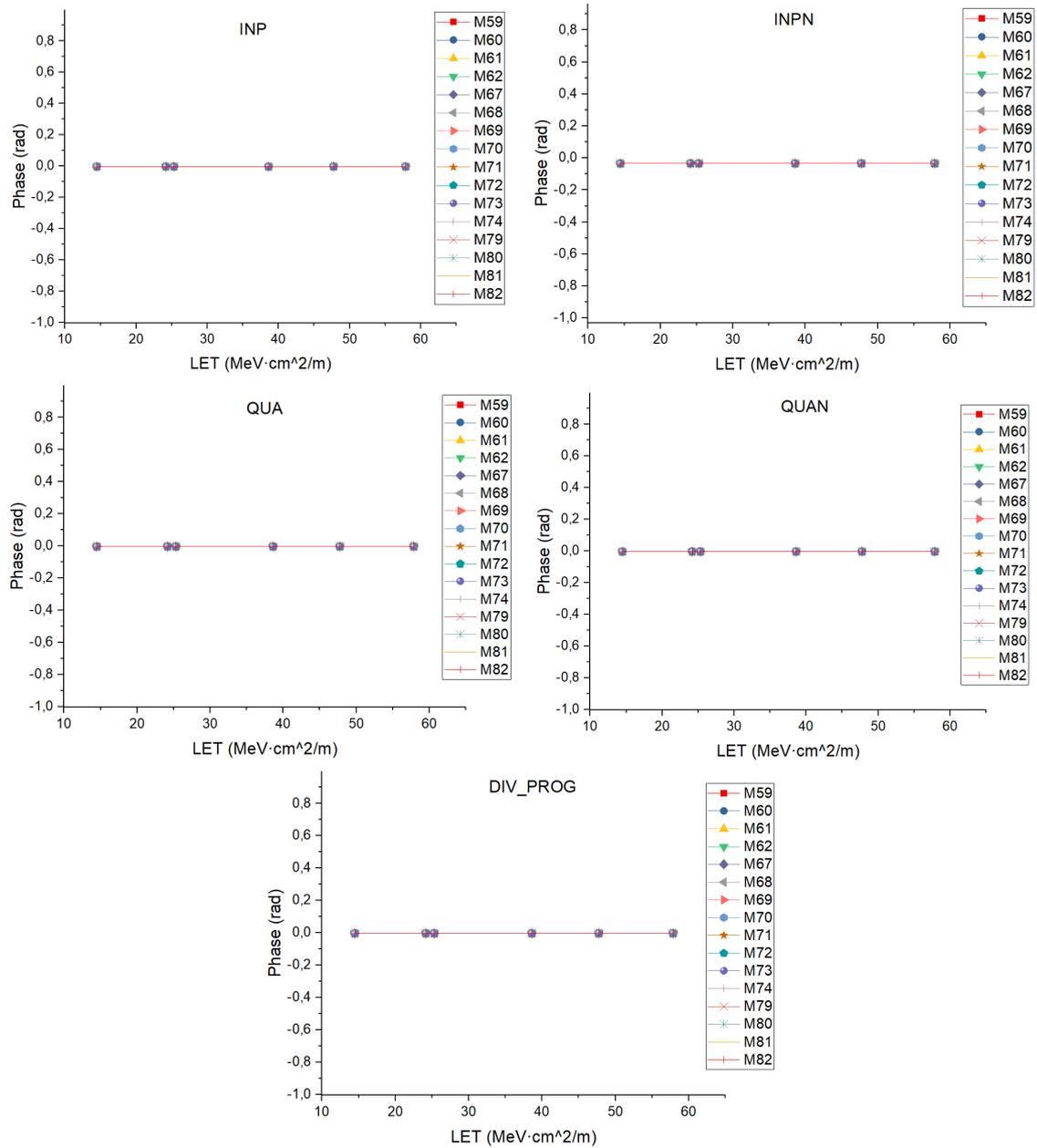


Figura E.10: Gráficas aplicando técnica RHBD del desfase *buffer* del mezclador cuando la señal cruza por el pico máximo con puerta AND

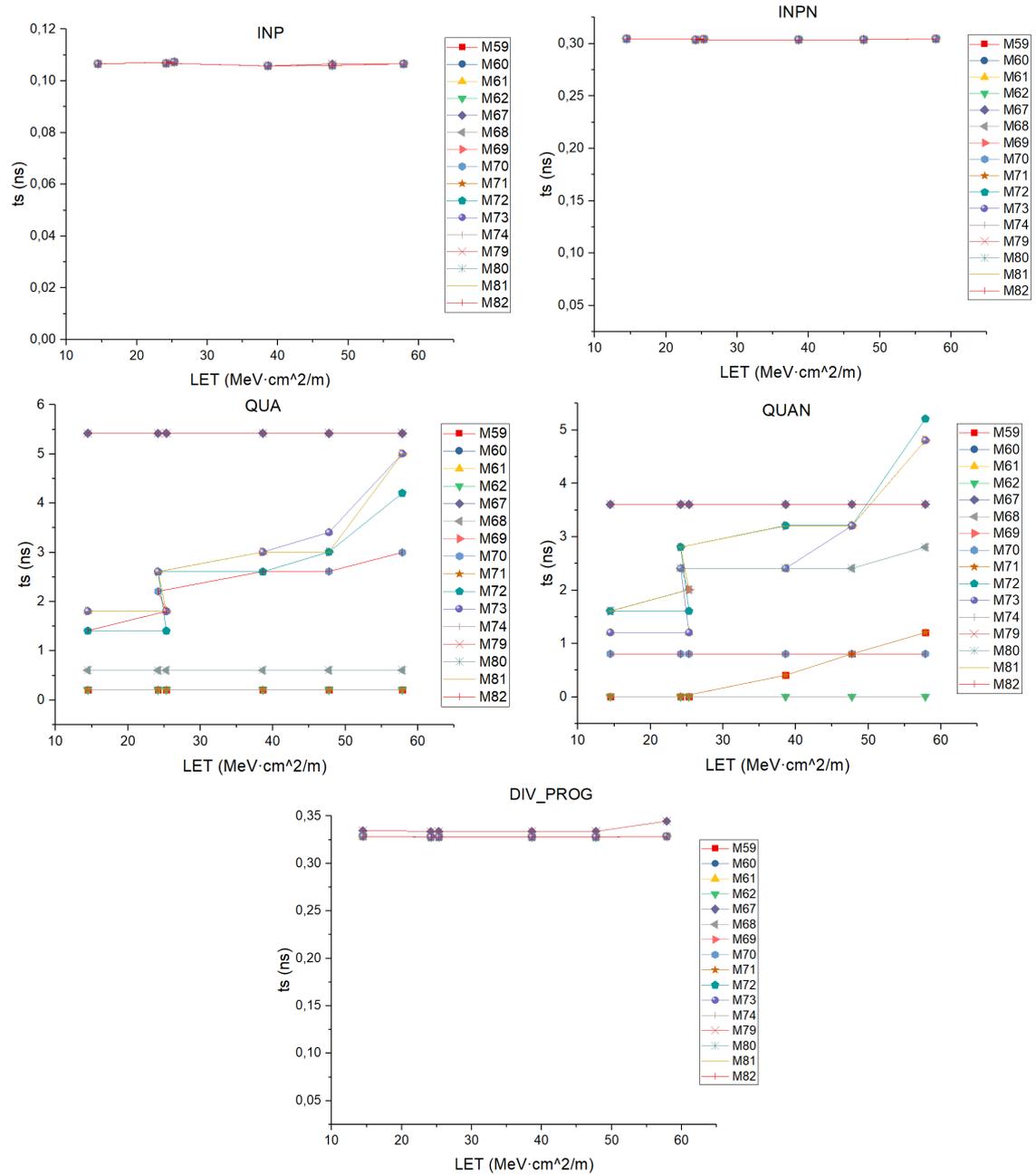


Figura E.11: Gráficas aplicando técnica RHBD del tiempo de establecimiento *buffer* del mezclador cuando la señal cruza por 0 con puerta AND

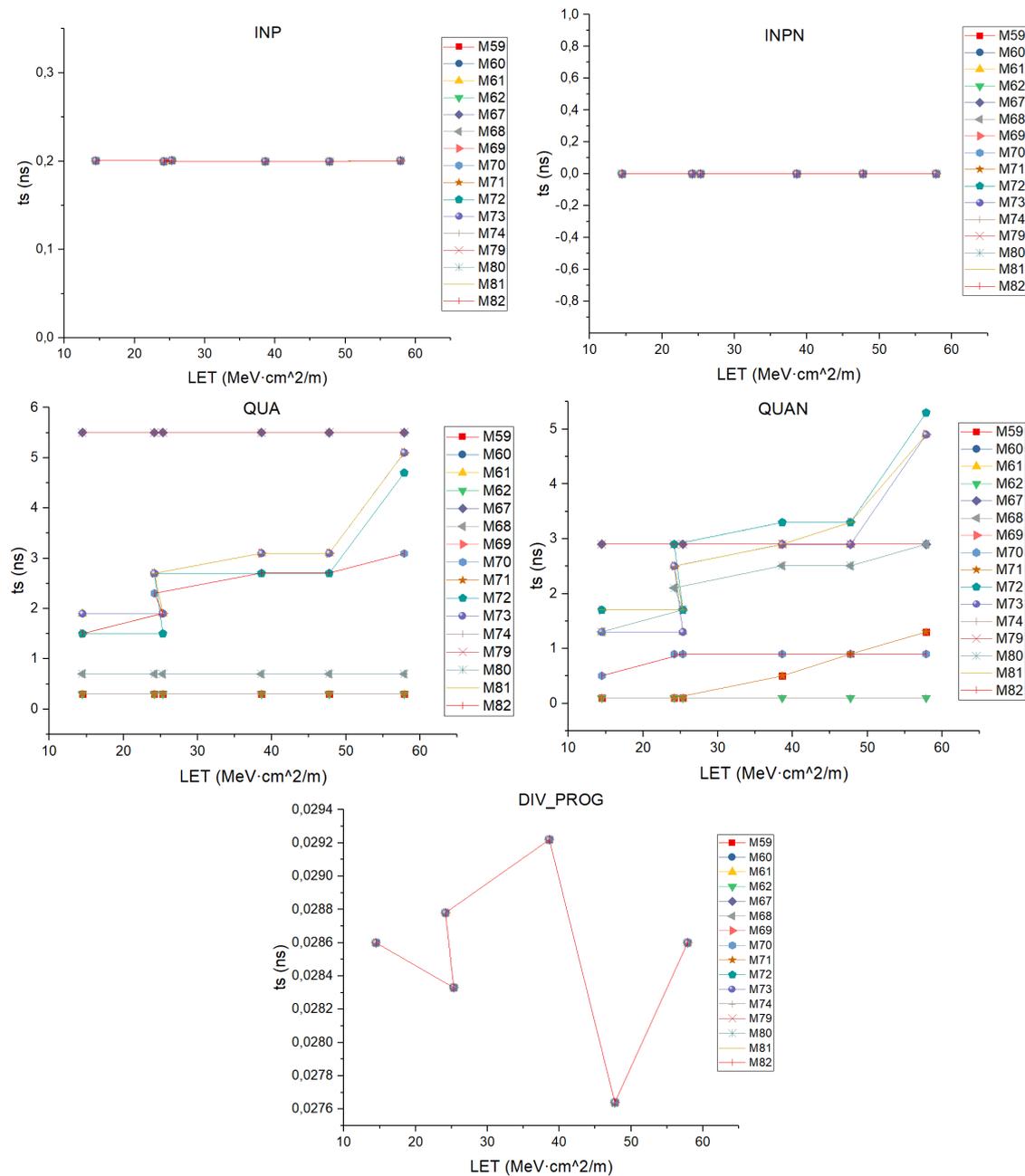


Figura E.12: Gráficas aplicando técnica RHBD del tiempo de establecimiento *buffer* del mezclador cuando la señal cruza por el pico máximo con puerta AND