

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

DISEÑO DE UN AMPLIFICADOR DE POTENCIA EN BANDA KA PARA ANTENAS PHASED ARRAY

Estudiante: Araceli Marrero Mendoza

Tutor/es: Dr. Sunil Lalchand Khemchandani

Dr. Francisco Javier del Pino Suárez

Las Palmas de Gran Canaria.

Junio de 2021



t +34 928 451 150 | e: iuma@iuma.ulpgc.es
+34 928 451 086 | w: www.iuma.ulpgc.es
f +34 928 451 083

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de Información y Comunicaciones



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de Información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

DISEÑO DE UN AMPLIFICADOR DE POTENCIA EN BANDA KA PARA ANTENAS PHASED ARRAY

HOJA DE FIRMAS

Alumna

Fdo. D^a. Araceli Marrero Mendoza

Tutor 1

Tutor 2

Fdo. Dr. Sunil Lalchand Khemchandani

Fdo. Dr. Francisco Javier del Pino Suárez

Fecha: Junio de 2021



t +34 928 451 150
+34 928 451 086
f +34 928 451 083

e: iuma@iuma.ulpgc.es
w: www.iuma.ulpgc.es

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de Información y Comunicaciones



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de Información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

**DISEÑO DE UN AMPLIFICADOR DE POTENCIA EN BANDA KA
PARA ANTENAS PHASED ARRAY**

HOJA DE EVALUACIÓN

Calificación: _____

PRESIDENTE

Fdo. _____

VOCAL

SECRETARIO

Fdo. _____

Fdo. _____

Fecha: Junio de 2021



t +34 928 451 150 | **e:** iuma@iuma.ulpgc.es
+34 928 451 086 | **w:** www.iuma.ulpgc.es
f +34 928 451 083

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



Índice general

Índice general	i
Índice de figuras	v
Índice de tablas.....	vii
Lista de acrónimos.....	ix
Parte I: Memoria.....	xi
Capítulo 1. Introducción	1
1.1 Antecedentes.....	1
1.2 Objetivos.....	4
1.3 Peticionario.....	4
1.4 Organización de la memoria.....	5
Capítulo 2. Marco Teórico	7
2.1 Amplificadores de Potencia.....	7
2.1.1. Ganancia	7
2.1.2. Estabilidad	7
2.1.3. Eficiencia.....	8
2.1.3.1. Eficiencia del drenador.....	8
2.1.3.2. PAE.....	8
2.1.4. Clases de PA.....	8
2.2 Antenas <i>Phased Array</i>	11
2.3 Tecnología de Nitruro de Galio (GaN)	13
2.4 <i>PathWave Advanced Design System (ADS)</i>	16
Capítulo 3. Diseño de un amplificador de potencia de una etapa con su <i>layout</i> y su símbolo.	19
3.1 Diseño y análisis de un amplificador de potencia de una etapa	19
3.2 Diseño de un amplificador para máxima potencia.....	24
3.3 <i>Layout</i> del amplificador para máxima potencia	28
3.4 Diseño del amplificador para máxima ganancia.....	32
3.5 Símbolo	36
3.6 Resultados obtenidos	38
Capítulo 4. Diseño de un amplificador de potencia multietapa en banda Ka.....	39



4.1 Tercera etapa del amplificador.....	40
4.2 Segunda etapa del amplificador	45
4.3 Red en externa al circuito en DC.....	48
4.4 Esquemático y <i>Layout</i> final.....	51
Capítulo 5. Conclusiones	53
5.1 Conclusiones y resultados	53
5.2 Líneas futuras.....	55
Bibliografía.....	57
Parte II: Pliego de Condiciones	59
Pliego de condiciones	61
PC.1 Condiciones <i>Hardware</i>	61
PC.2 Condiciones <i>Software</i>	61
PC.3 Condiciones <i>Firmware</i>	61
Parte III: Presupuesto	63
PRESUPUESTO.....	65
P.1 Trabajo tarifado por tiempo empleado.....	65
P.2 Amortización del inmovilizado material.....	66
P.2.1 Recursos <i>Hardware</i>	66
P.2.2 Recursos <i>Software</i>	67
P.3 Redacción del Trabajo Fin de Máster	67
P.4 Derechos de visado del COITT	68
P.5 Gastos de tramitación y envío.....	69
P.6 Material fungible	69
P.7 Aplicación de impuestos.....	69
P.7.1 Trabajo tarifado por tiempo empleado.....	70
P.7.2 Amortización del inmovilizado material.....	70
P.7.3 Redacción del Trabajo Fin de Máster	70
P.7.4 Derechos de visado del COITT	71
P.7.5 Gastos de tramitación y envío.....	71
P.7.6 Material fungible	71
P.7.7 Aplicación de impuestos.....	71
Parte IV: Anexo	73
Anexo I: Esquemático final de dos etapas.....	75



Anexo II: Esquemático final del diseño.....	76
Anexo III: Layout final del diseño.....	77



Índice de figuras

Figura 1. Antena <i>phased array</i> [1].	1
Figura 2. Ejemplos de antenas <i>phased array</i> [2].	2
Figura 3. Una comparación de la tecnología de proceso de la electrónica de potencia de rango de frecuencia de microondas [8].	3
Figura 4. Clases de amplificadores según el ángulo de conducción.	9
Figura 5. Teoría de las antenas <i>Phased Array</i> en serie [12].	12
Figura 6. Esquema del transistor fd01GHONIPA.	20
Figura 7. Curvas I-V del transistor de OMMIC (FET_IV_Gm_PowerCalcs).	21
Figura 8. Esquemático para el estudio de estabilidad del transistor.	21
Figura 9. Ecuaciones de cálculo de estabilidad y máxima ganancia.	22
Figura 10. Simulación de los parámetros S.	22
Figura 11. Tipos de circuitos de estabilización.	23
Figura 12. Esquemático del transistor con la red de estabilización.	23
Figura 13. Estabilidad y ganancia con la red de estabilización.	24
Figura 14. Esquemático del <i>Load-Pull</i> .	25
Figura 15. Esquemático del <i>Source-Pull</i> .	25
Figura 16. Resultados finales de las simulaciones de <i>Load-Pull</i> y <i>Source-Pull</i> .	26
Figura 17. Circuito de confirmación de las simulaciones de <i>Load-Pull</i> y <i>Source-Pull</i> .	27
Figura 18. Resultados finales de las simulaciones de <i>Load-Pull</i> y <i>Source-Pull</i> .	27
Figura 19. Esquemático del transistor con los componentes reales.	28
Figura 20. Valores de K y ganancia del circuito.	28
Figura 21. Esquemático del amplificador con las pistas.	29
Figura 22. Resultados del análisis con las pistas.	29
Figura 23. <i>Layout</i> del amplificados de una etapa.	29
Figura 24. Resultados finales de las simulaciones de <i>Load-Pull</i> y <i>Source-Pull</i> .	30
Figura 25. Resultados de comprobación de las simulaciones de <i>Load-Pull</i> y <i>Source-Pull</i> .	30
Figura 26. Amplificador con las adaptaciones de entrada y salida.	31
Figura 27. Resultados con las adaptaciones de entrada y salida.	31
Figura 28. Resultados finales de diferentes factores del amplificador para máxima potencia.	32
Figura 29. Teoría de cómo realizar una adaptación simultánea conjugada.	33
Figura 30. Esquemático para el estudio de coeficientes de reflexión.	34
Figura 31. Carta de Smith de los valores de Γ_L^* y Γ_S^* para máxima ganancia.	34
Figura 32. Amplificador con las adaptaciones de entrada y salida. ¡Error! Marcador no definido.	
Figura 33. Amplificador con las adaptaciones de entrada y salida corregidas.	35
Figura 34. Resultados de las adaptaciones de entrada y salida.	35
Figura 35. Resultados finales de diferentes factores del amplificador para máxima ganancia.	36
Figura 36. Esquemático contenido en el símbolo.	36



Figura 37. Símbolo del amplificador de potencia de una etapa.....	37
Figura 38. Circuito final de una etapa adaptado para máxima potencia.....	37
Figura 39. Circuito final de una etapa adaptado para máxima ganancia.....	37
Figura 40. Amplificador de dos etapas en cascada	39
Figura 41. Etapa 3 con su adaptación.....	40
Figura 42. Conversión de la línea de $\lambda/4$ a componentes discretos.	41
Figura 43. Circuito con las líneas de $\lambda/4$ convertidas a componentes discretos.	41
Figura 44. Esquemático con la reducción de componentes.....	42
Figura 45. Resultados de las simulaciones con la adaptación reducida.....	42
Figura 46. Esquemático final ideal de la 3ª etapa.	43
Figura 47. Esquemático con los componentes reales.	43
Figura 48. Circuito final de la etapa 3.....	44
Figura 49. <i>Layout</i> de la etapa 3.	44
Figura 50. Esquemático incorporando la segunda etapa.	45
Figura 51. Esquemático con la adaptación conjunta entre etapas	45
Figura 52. Resultado del análisis de los parámetros S del circuito con dos etapas.	46
Figura 53. Esquemático con los componentes reales de la segunda etapa.....	46
Figura 54. Esquemático final de las dos etapas diseñadas.....	47
Figura 55. Resultados obtenidos del análisis de dos etapas.	47
Figura 56. <i>Layout</i> referente a dos etapas diseñadas.....	48
Figura 57. Circuito básico de polarización DC.	49
Figura 58. Barrido de C1 para un cortocircuito y de L1 para un circuito abierto.....	49
Figura 59. Red de polarización en DC con la red de estabilización.	50
Figura 60. Resultados de la red completa de polarización en DC.	50
Figura 61. Esquemático de polarización en DC de drenador y puerta.....	50
Figura 62. Diseño final en esquemático.	51
Figura 63. Resultados del análisis de los parámetros S del circuito final.....	51
Figura 64. <i>Layout</i> final del diseño.....	52
Figura 65. Análisis de Monte Carlo en pequeña señal.	54

Índice de tablas

Tabla 2.1. Ángulo de conducción y eficiencia de las clases lineales.	9
Tabla 2.2. Distintas tecnologías de OMMIC.	15
Tabla 3.1. Amplificador de potencia a diseñar.	19
Tabla 3.2. Transistores presentes en la tecnología D01GH de ONMIC.	20
Tabla 3.3. Comparativa de los resultados de los dos tipos de redes analizados.	38
Tabla 4.1. Estimación de los valores para el diseño del amplificador multietapa.	39
Tabla 5.1. Comparativa entre especificaciones iniciales y resultados obtenidos (valores típicos)	54
Tabla PC.1. Equipos hardware.....	61
Tabla PC.2. Herramientas software.....	61
Tabla P.1. Coeficientes reductores para trabajo tarifado (COIT).	66
Tabla P.2. Recursos hardware.	67
Tabla P.3. Recursos software.....	67
Tabla P.4. Presupuesto.	68
Tabla P.5. Presupuesto, incluyendo trabajo tarifado, amortización y redacción del trabajo.	69
Tabla P.6. Presupuesto total del Trabajo Fin de Máster.	70
Tabla P.7. Presupuesto.	71
Tabla P.8. Presupuesto total del Trabajo Fin de Máster.	72



Lista de acrónimos

AC	<i>Alternating Current</i>
ADS	<i>PathWave Advanced Design System</i>
COITT	Colegio Oficial de Ingenieros Técnicos de Telecomunicación
dB	decibelio
DC	<i>Direct Current</i>
eV	Electronvoltio
FOM	<i>Figure of Merit</i>
G	Ganancia
GaAs	Arseniuro de Galio
GaN	Nitruro de Galio
HEMT	High-Electron-Mobility Transistor
IUMA	Instituto Universitario de Microelectrónica Aplicada
MMIC	<i>Monolithic Microwave Integrated Circuits</i>
MTT	Máster en Tecnologías de la Telecomunicación
PA	<i>Power Amplifier</i>
PAE	<i>Power-Added Efficiency</i>
P_{DC}	Potencia en corriente continua
P_{in}	Potencia de entrada
P_{out}	Potencia de salida
P_{sat}	<i>Power Saturation</i>
PWM	<i>Pulse-Width Modulation</i>
RF	Radiofrecuencia
SiGe	Silicio-Germanio
TFM	Trabajo Fin de Máster



ULPGC	Universidad de Las Palmas de Gran Canaria
V_{GS}	Tensión puerta-surtidor
η	Eficiencia de drenador
5G	Quinta Generación



Parte I: Memoria



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de Información y Comunicaciones

Capítulo 1. Introducción

1.1 Antecedentes

La constante evolución de las tecnologías que utilizan las redes inalámbricas está provocando que se tengan que estudiar y fabricar nuevos circuitos cada vez más rápidos y que ocupen menos área.

En la actualidad, las antenas parabólicas son las predominantes en las comunicaciones vía satélite tanto para la transmisión como para la recepción de las comunicaciones. No obstante, estas antenas poseen ciertas limitaciones como son su peso, dimensiones y apuntamiento mecánico.

En esa línea se propone como estructura radiante y receptora las antenas *phased array*, cuyo propósito es conseguir una amplificación de potencia de señal que consiga cumplir con los objetivos actuales y futuros de calidad de señal (Figura 1). Éstas son antenas planas que se caracterizan por poseer la capacidad de apuntar de forma electrónica al satélite y ajustar su dirección en tiempo real de tal forma que permite la comunicación entre los satélites constantemente y, elimina los problemas encontrados con las antenas parabólicas (Figura 2). Este tipo de antenas se pueden aplicar tanto para sistemas de comunicaciones fijos como móviles, además de aplicaciones en tiempo real. Con la llegada de la quinta generación (5G) se necesitan antenas de comunicaciones móviles cuyo direccionamiento sean dinámicas para así obtener máxima potencia en los dispositivos. Este tipo de *array* planos electrónicos también se pueden utilizar en radares de altas prestaciones por su capacidad de apuntamiento electrónicos a diferentes direcciones.



Figura 1. Antena *phased array* [1].

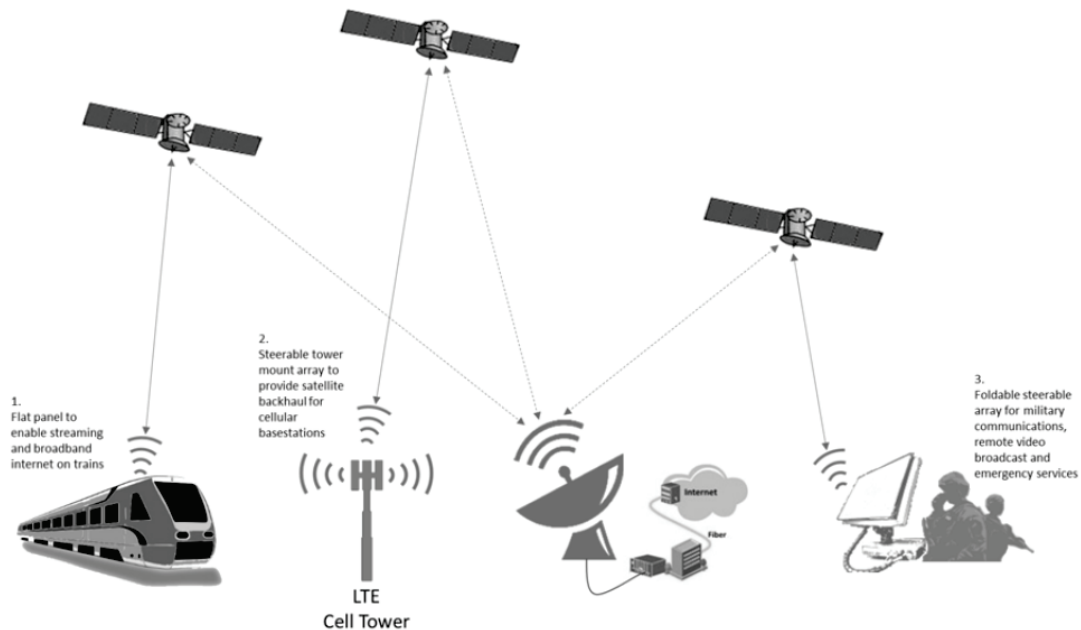


Figura 2. Ejemplos de antenas *phased array* [2].

No obstante, la implementación de este tipo de antenas es compleja y costosa ya que incluyen un gran número de elementos radiantes. Sin embargo, una posible solución es la implementación de la electrónica necesaria para el array mediante circuitos integrados de microondas o MMICs puesto que se logran las prestaciones necesarias en un área reducida.

Uno de los elementos encargados de incrementar la potencia de salida de la señal de radiofrecuencia son los amplificadores de potencia [3]. Estos elementos emplean una gran cantidad de energía para amplificar la señal y extender así el rango de cobertura de los dispositivos. Mejorar la eficiencia energética de estos elementos es crucial para el sistema de comunicación completo y puede traer asociado multitud de ventajas. Dado que la energía que no es aportada a la señal entrante es disipada en forma de calor, incrementar la eficiencia del dispositivo permite reducir la temperatura de operación de este, por lo que se mejora la operación del sistema.

Los amplificadores de potencia que se utilizarán para la realización de este Trabajo Fin de Máster (TFM) serán en Banda Ka [4] que ésta se utiliza para comunicaciones vía satélite. Ésta trabaja o utiliza la franja de frecuencias de 26,5 a 40 GHz del espectro electromagnético y sus longitudes de onda son entre 1,11 centímetros y los 7,5 milímetros.

Dicha banda es especialmente sensible a las interferencias y fenómenos atmosféricos, por suelen ser necesarios transmisores de mucha potencia. Aun así, se trata de una banda que es capaz de transportar mucha cantidad de datos y utiliza un gran ancho de banda.

Si se analizan las distintas tecnologías usadas para la fabricación de los amplificadores de potencia, se descubre que las tecnologías CMOS lideran en el ámbito de la fabricación de circuitos integrados, pero también se sabe que es posible obtener una mayor potencia y frecuencia de trabajo con tecnologías que emplean compuestos semiconductores del grupo III-V. Concretamente, el nitruro de galio (GaN), el silicio-germanio (SiGe) o el arseniuro de galio (GaAs), que presentan unas propiedades físicas muy superiores a las del silicio.

Entre los materiales semiconductores con mayor potencial futuro destacan los de banda prohibida ancha, particularmente el GaN [5] y el GaAs [6]. También se está estudiando la aleación SiGe [7], basada en compuestos elementales. Las excepcionales propiedades físicas de estos materiales hacen que sean especialmente adecuados para aplicaciones electrónicas de alta frecuencia y alta potencia, confiriéndoles además una elevada resistencia frente a las altas temperaturas, la radiación y los ambientes químicos extremos. En la Figura 3 se muestra una comparación de las distintas tecnologías en cuanto a potencia y rango de frecuencia de microondas.

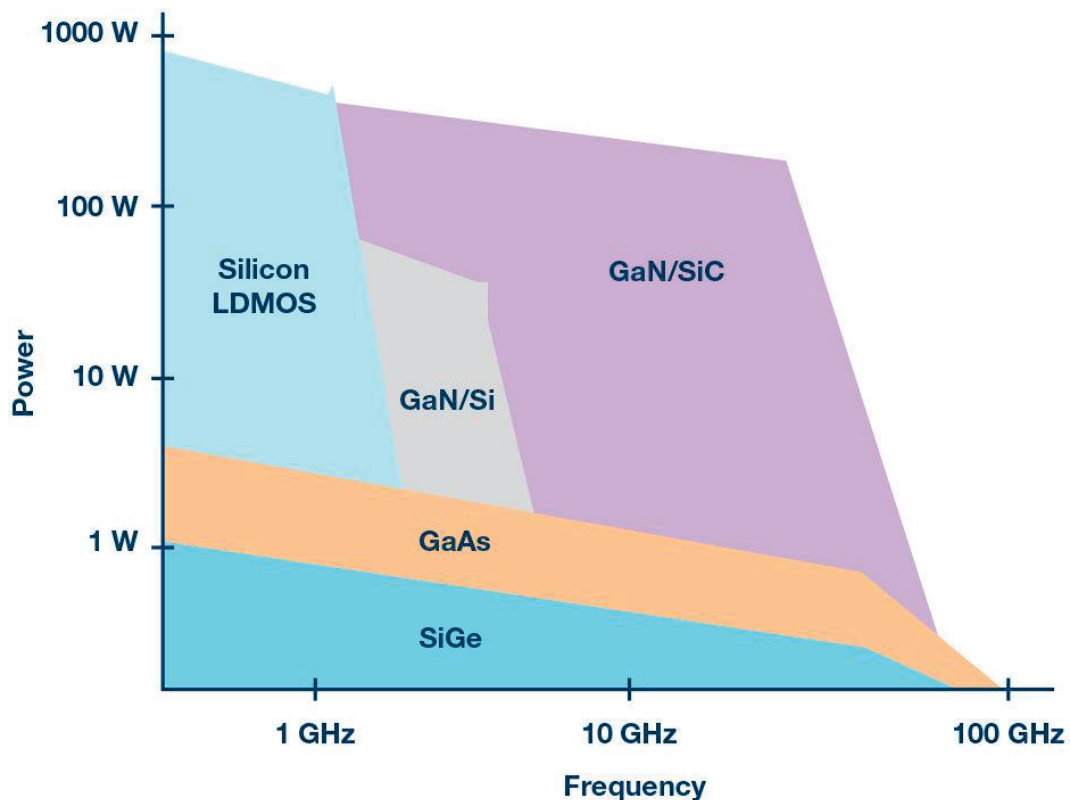


Figura 3. Una comparación de la tecnología de proceso de la electrónica de potencia de rango de frecuencia de microondas [8].

Este TFM está enmarcado en el proyecto de investigación “Desarrollo de los circuitos electrónicos basados en MMICs a medida para la conformación de haz en sistemas avanzados de radar y comunicaciones”. Éste estudia el diseño de una



antena *phased array* terrestre con un rango de recepción de señal de 17,8 a 20,2 GHz y un rango de transmisión entre 27,5 GHz y 30 GHz. Este proyecto tiene una fecha de inicio de investigación el 27/01/2020 y se calcula que esté finalizado en 26 meses.

En este TFM se trabaja en el diseño y simulación del último amplificador de potencia, que va justo antes de la antena *patch*, por el que pasa la señal que va a ser emitida. Se utiliza la tecnología GaN, ya que esta ofrece mayor potencia de salida. El amplificador que se va a diseñar tendrá las siguientes especificaciones:

- Frecuencia: 27,5 - 30 GHz
- Ganancia (tanto en pequeña señal como en gran señal): 20 dB
- Adaptaciones de entrada y salida menores de -10dB
- PAE (de sus siglas en inglés *Power-Added Efficiency* o Eficiencia de Potencia Añadida): máxima posible
- Psat (de sus siglas en inglés *Power Saturation* o Potencia de saturación) a 5 dB: 25 - 30 dBm, teniendo en cuenta que su consumo sea el menor posible

1.2 Objetivos

El principal objetivo de este trabajo fin de máster (TFM) es el diseño de un amplificador de potencia en banda Ka para antenas *phased array*. Teniendo como objetivos operativos los siguientes:

- O1: Estudio de los amplificadores de potencia: Existe una gran variedad de amplificadores de potencia MMICs. En este objetivo, se estudiarán los distintos tipos de amplificadores existentes tanto lineales como no lineales.
- O2: Selección de la tecnología más apropiada para la realización del amplificador de potencia: Realización de un estudio de las distintas tecnologías para el diseño del amplificador de potencia en la banda Ka. Se tendrá en cuenta la disponibilidad del kit de diseño, coste de fabricación del prototipo y prestaciones de la tecnología.
- O3: Diseño a nivel de esquemático del amplificador de potencia. Una vez seleccionada la tecnología se realizará el diseño del amplificador llegando a un compromiso entre potencia de salida, eficiencia, ganancia y potencia consumida.
- O4: Diseño físico de los amplificadores de potencia. Una vez obtenido el diseño a nivel de esquemático, se procederá al diseño del *layout* utilizando técnicas MMIC.

1.3 Peticionario

Actúa como petionario del presente Trabajo Fin de Máster (TFM) el Instituto Universitario de Microelectrónica Aplicada (IUMA) de la Universidad de Las Palmas de Gran Canaria (ULPGC) como requisito indispensable para la obtención de la titulación de Máster en Ingeniería en Tecnologías de la Telecomunicación, tras haber superado con éxito las asignaturas especificadas en el Plan de Estudios.

1.4 Organización de la memoria

El presente documento está distribuido en cuatro partes bien diferenciadas: Memoria, Pliego de condiciones, Presupuesto y Anexo.

La memoria comprende 5 capítulos, además de la bibliografía empleada. El contenido de estos capítulos es el que se resume a continuación:

Capítulo 1. Introducción. Este capítulo recoge los antecedentes que han dado lugar a la realización de este TFM, los documentos del mismo, el peticionario y la estructura del documento.

Capítulo 2. Estado del Arte. Este capítulo supone una introducción a todos los sistemas que comprenden este TFM, por ello se analizarán las antenas *phased array*, los amplificadores de potencia y el programa de diseño, el *PathWave Advanced Design System* (ADS).

Capítulo 3. Diseño de un amplificador de potencia de una etapa con su *layout* y su símbolo. Este capítulo analiza el kit de diseño de la empresa “OMMIC” y establece las posibilidades de un amplificador mono-etapa.

Capítulo 4. Diseño de un amplificador de potencia multietapa en banda Ka. Haciendo uso del software ADS, en este capítulo, se realiza un diseño del amplificador de salida de una antena *phased array*, utilizando el kit de diseño explorado en el capítulo anterior.

Capítulo 5. Conclusiones. Tras haber completado los objetivos propuestos para este TFM, en este capítulo se analizarán las conclusiones y los resultados obtenidos con el desarrollo del proyecto realizado.

El pliego de condiciones está compuesto de unas tablas en las que se detallan los sistemas *hardware* y las plataformas *software* utilizadas. En el presupuesto se detalla el coste asociado a la realización de este TFM. Por último, en el Anexo se incluirá diferente documentación referente a la memoria de TFM.



Capítulo 2. Marco Teórico

En este capítulo se muestran diferentes aspectos importantes a tener en cuenta en este TFM. Primero se explica que son los amplificadores de potencia y se elige el que más favorece al diseño que se desea implementar. El amplificador que se va a diseñar estará en una antena *phased array*, es por ello que se explica un poco el concepto y modo de trabajar de éstas. Para finalizar se analiza la tecnología y la herramienta de diseño que se ha decidido utilizar en este TFM.

2.1 Amplificadores de Potencia

Los amplificadores de potencia (del inglés *Power Amplifier* o PA) son unos dispositivos capaces de ofrecer una señal amplificada a la salida cuando se le aplica una señal de menor potencia a la entrada [9]. Este tipo de dispositivos pretende transmitir la señal sin ningún tipo de distorsión, administrando la máxima tensión requerida por una carga. Para poder estudiar los PA es necesario conocer algunos parámetros como la ganancia, la estabilidad y la eficiencia.

2.1.1. Ganancia

La ganancia (G) de un amplificador viene dada por el resultado de la potencia de salida (P_{out}) dividido por la potencia de entrada (P_{in}), tal como se ve en la ecuación (2.1).

$$G = \frac{P_{out}}{P_{in}} \quad (2.1)$$

2.1.2. Estabilidad

La estabilidad es un factor importante, el cual determina la capacidad de evitar oscilaciones en el amplificador, es decir, es el parámetro que hace que el PA sea capaz de establecer sus valores nominales de trabajo.

Para diferenciar si un amplificador es estable o no, existe un factor denominado *Rollett* (K) y cuya expresión se muestra en la ecuación (2.2). Este factor reúne una serie de condiciones en las cuales si su resultado es menos que uno ($K < 1$) el transistor es inestable; de la misma manera si su valor es superior a la unidad ($K > 1$) el transistor será estable.

$$K = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{21} S_{12}|} > 1 \quad (2.2)$$



2.1.3. Eficiencia

La eficiencia es un parámetro que permite medir la cantidad de la corriente continua de la señal de entrada que se transforma en potencia.

La *Power Added-Efficiency* (PAE) y la eficiencia del drenador son las dos formas existentes de analizar la eficiencia. A mayor sea este parámetro, menor sus pérdidas y el calor disipado, lo que se traduce en menores costes de operación del PA.

2.1.3.1. Eficiencia del drenador

La eficiencia de drenador (η), la cual se muestra en la ecuación (), se define como la fracción resultante entre las potencias de salida el amplificador (P_{out}) frente a la potencia en continua (P_{DC}) que recibe de la alimentación. Esta eficiencia se considera incompleta porque no contempla la potencia de la señal de entrada.

$$\eta = \frac{P_{out}}{P_{DC}} \quad (2.3)$$

2.1.3.2. PAE

Otra forma de medir la eficiencia del circuito es mediante el PAE la cual incluye la potencia de entrada del amplificador.

En las ecuaciones (2.4) y (2.5) muestran las fórmulas que se pueden realizar para calcular este parámetro.

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (2.4)$$

$$PAE = \eta \frac{G-1}{G} \quad (2.5)$$

Si se analiza un amplificador real, la eficiencia de drenador siempre será superior al PAE, a menos que la ganancia sea de 30 dB o más, donde la diferencia es tan ínfima que se desprecia.

2.1.4. Clases de PA

Existen muchos tipos de PA, como son los A, B, AB, C, D, E, F, G, etc. Cada uno de ellos se clasifica dependiendo de sus características de operación, de su fabricación [10].

Un amplificador ideal tiene como características principales la linealidad, la potencia de salida, la eficiencia y la ganancia de la señal. Dependiendo de estas características se puede diferenciar entre los distintos tipos de amplificadores, pues excitando la entrada con una señal senoidal, se puede medir la cantidad de señal de

un ciclo de funcionamiento a la salida. Existen principalmente dos grupos de clasificación de amplificadores:

- El primero son los tipos de amplificadores más utilizados, los de ángulo de conducción. Este tipo de amplificadores se puede clasificar por la cantidad de tiempo que trabajan tras recibir una señal senoidal a la entrada, es decir, en qué momento del ciclo de la señal de entrada, el transistor deja pasar la corriente. La tensión de polarización V_{GS} (puerta-surtidor) es capaz de controlar dicho ángulo.

Cada clase de este grupo está basada en un ángulo de conducción distinto. Este grupo está formado por las clases A, B, AB y C, y mostrado en la Figura 4 sus distintos ángulos de conducción.

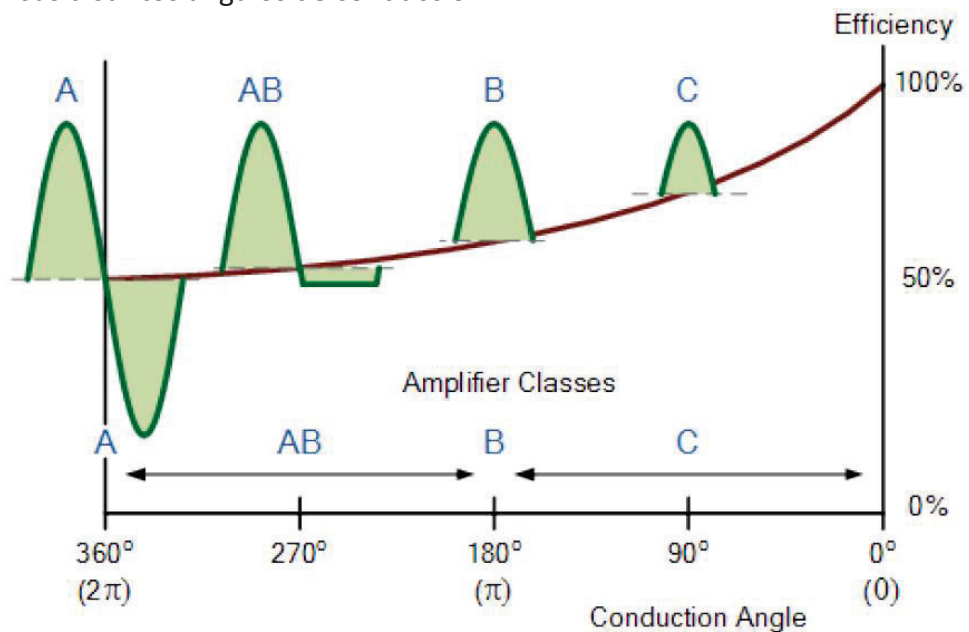


Figura 4. Clases de amplificadores según el ángulo de conducción.

Este ángulo de conducción es imprescindible si se quiere conocer la eficiencia y la linealidad de los PA (Tabla 2.1).

Tabla 2.1. Ángulo de conducción y eficiencia de las clases lineales.

Clase	Ángulo	Eficiencia
A	2π	50%
B	π	78,5%
AB	$\pi < \sigma < 2\pi$	$50\% < \eta < 78,5\%$
C	$< \pi$	$> 78,5\%$

A continuación, se detallan algunas características de ellos:



- ❖ Clase A: Estos amplificadores permiten pasar la corriente en el periodo entero de la señal. Para conseguir una conducción constante, se polarizan tanto el voltaje como la corriente en continua a mitad de los máximos y los mínimos de la señal senoidal. Los amplificadores que componen este grupo presentan una distorsión muy reducida y unos niveles altos de ganancia, pero tiene elevadas pérdidas de eficiencia causadas por el alto consumo de energía. Es capaz de mostrar una eficiencia máxima del 50%. Esta clase de amplificadores se utiliza cuando se necesita una buena linealidad en la señal de salida.
- ❖ Clase B: Los amplificadores de potencia de esta clase se diferencian del anterior porque conducen sólo un semiciclo de la señal de entrada, es decir, π radianes. Esto hace que la eficiencia en estos transistores mejore a un 78,5%, a coste de perder linealidad por la presencia de armónicos.
- ❖ Clase AB: Se trata de una combinación de los dos amplificadores anteriores. Reduce la distorsión de los amplificadores de clase B y aumenta la eficiencia de los de clase A. Con el diseño de esta clase de amplificadores se pretende coger lo mejor de las clases A y B, mejorando sus peores inconvenientes. El clase AB depende de la polarización que se realice a la tensión puerta-surtidor, de tal manera que, el rango de eficiencia está entre $50\% < \eta < 78,5\%$ y su linealidad se verá reflejada obedeciendo a cuál de las clases anteriores está más cerca.
- ❖ Clase C: El diseño de los amplificadores de clase C hace que se sacrifique la amplificación reduciendo la linealidad para obtener una mayor eficiencia. Estos amplificadores casi no disipan potencia, debido a que la corriente y el voltaje son pequeños y eso supone que la potencia consumida por el transistor es casi idéntica a la entregada a la carga. Éstos se suelen usar en amplificación de radio y en osciladores de alta frecuencia, donde la linealidad y la distorsión armónica no suponen problemas.
- El segundo grupo está formado por los nuevos amplificadores, los llamados como amplificadores de conmutación o *switch*. Típicamente son el resto de clases que existen, entre ellos están el D, E, F, S, T, etc. Este colectivo de amplificadores suele ser no lineales y utilizan distintos circuitos digitales o modulación de ancho de pulso (del inglés *Pulse-Width Modulation* o PWM) para modificar constantemente la señal, de tal manera que amplifica en demasía las regiones de saturación y corte de los transistores. En este caso

no se detallarán las diferentes clases existentes dado que depende de cada fabricante y no procede en este TFM.

Teniendo en cuenta que se quiere diseñar un amplificador de potencia con unas características determinadas para su utilización, se proyectará un amplificador de potencia clase AB por tener un buen compromiso entre eficiencia y linealidad.

2.2 Antenas *Phased Array*

Comprendiendo que el dispositivo que se pretende diseñar es el último amplificador de potencia de las antenas *Phased Array* que se quieren estudiar, es importante conocer al menos de manera superficial el funcionamiento de estas antenas. En las siguientes líneas se expondrán los datos más relevantes y necesarios para comprender el funcionamiento y las necesidades de dichas antenas.

En la actualidad es muy común la comunicación punto a punto, donde se suele disponer de antenas muy directivas [11]. Estas antenas suelen tener dos hándicaps, el primero es que entre más directividad es mayor su tamaño y el segundo es una disminución considerable de la potencia de emisión para las características del enlace. Para evitar estos problemas, en la segunda guerra mundial fue desarrollada, por el Premio Nobel Luis Walter Álvarez, una conjunción de antenas con la capacidad de modificar intencionadamente las fases relativas de las señales a razón de la alimentación de cada antena. El objetivo principal de este desarrollo era alterar el diagrama de conjunto de las antenas, de tal manera que se potenciara la radiación directiva y eliminar direcciones no deseadas o reflejos (Figura 5). Inicialmente y hasta hace poco tiempo, era imposible realizar estudios o intentar fabricar este tipo de antenas ya que sólo se utilizaban a nivel militar como radares de rápida detección, pero dados los avances en comunicaciones y electrónica, se está empezando a estudiar fuera de ese ámbito.

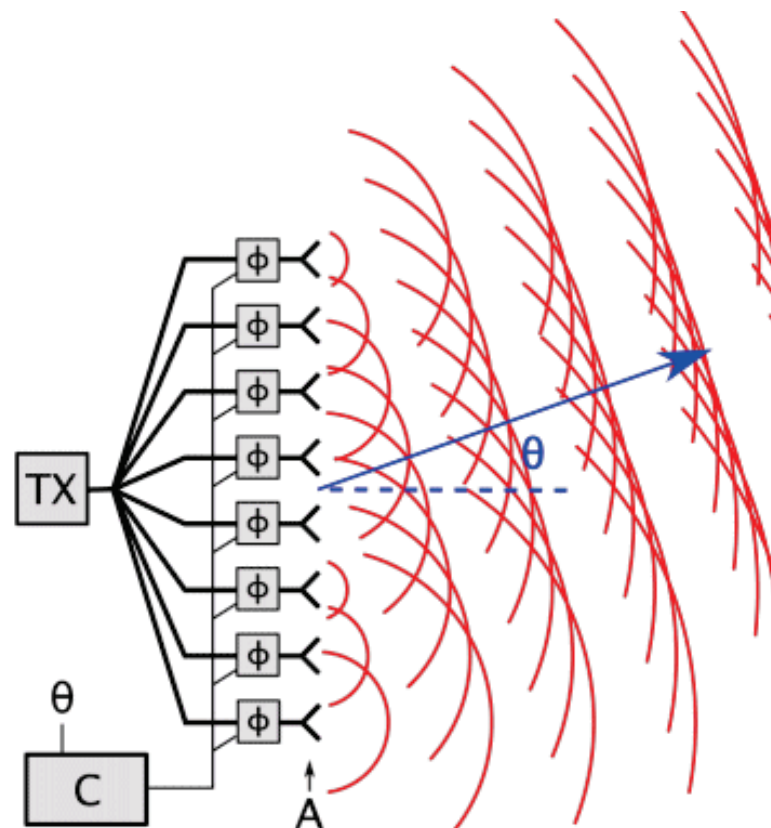


Figura 5. Teoría de las antenas *Phased Array* en serie [12].

Las antenas *Phased Array* son capaces de recibir y transmitir señales. Cuando son utilizadas para la recepción, este sistema amplifica las señales de una dirección determinada y atenúa el resto. En transmisión armoniza el patrón de radiación para emitir en una dirección determinada con mayor potencia evitando que se transmita en otras direcciones.

Los *arrays* de antenas son fabricados con la intención de generar interferencia tanto constructiva como destructiva de las ondas electromagnéticas que se están radiando o recibiendo por parte de cada una de las antenas que pertenecen a esta agrupación. Lo que se intenta es conseguir que cada elemento realice interferencia constructiva en la dirección que se desea emitir o recibir señales potenciando así el lóbulo principal de radiación, mientras que con el mismo criterio se utilizan las interferencias destructivas localizando los nulos de radiación en las direcciones menos necesarias o interesantes.

Existen dos tipos de clasificación de las agrupaciones de antenas [13], y es importante analizarlo porque de ello depende normalmente el tipo de directividad o de potencia alcanzada:

- Dependiendo de su estructura geométrica, se subdivide en:

- ❖ Agrupaciones lineales. Este tipo de array se caracteriza por disponer todas las antenas en una línea recta.
- ❖ Agrupaciones planas. Este tipo, como su nombre indica, tiene todas las antenas están sobre el mismo plano, aunque pueden ser distribuidas de diferentes maneras (Reticulares, circulares y aleatorias).
- ❖ Agrupaciones conformadas. Están diseñadas para ser colocados en una superficie determinada y ser de una manera específica.
- Dependiendo de la red de alimentación, se tienen los siguientes *arrays*:
 - ❖ Agrupaciones pasivas, conformadas por las monohaz (diagrama y polarización única) y las multihaz (cada haz posee un puerto de entrada de la red de alimentación y pueden tener diferentes tipos de polarización). Estos usan elementos pasivos en la red de distribución.
 - ❖ Agrupaciones activas. Usan elementos activos en la red de distribución
 - ❖ Agrupaciones adaptativas. Son agrupaciones que se amoldan al entorno radioeléctrico, bajo el conocimiento de la dirección de radiación de la señal deseada y alguna propiedad que le ayuda a identificarla.

Las antenas *phased array* son agrupaciones activas, donde el ángulo de apuntamiento se consigue modificando la fase de forma progresiva, $A_i = e^{j(i*\alpha)}$ (dónde se puede hacer un barrido de todo el plano haciendo variar el desfase α en antenas lineales y los dos planos en agrupaciones planas). Este tipo de antenas también son geoméricamente reticulares con la alimentación permanente e idéntica para todas las antenas o lineales con las antenas equidistantes.

2.3 Tecnología de Nitruro de Galio (GaN)

Tras el estudio de varias tecnologías como pueden ser SiGe (Silicio-Germanio), GaAs (Arseniuro de Galio) o GaN (Nitruro de Galio), se ha decidido que la mejor opción actualmente para hacer un amplificador de potencia en banda Ka sea el último mencionado. Las razones de esta elección se exponen a continuación [14]:

- Se trata de un semiconductor de alta potencia.
- Debido a su capacidad de soportar grandes tensiones, se utiliza para fabricar distintos tipos de amplificadores de potencia.
- Este compuesto posee una banda prohibida de 3,4 EV (electronvoltio). Sabiendo que para que un electrón salte de la banda de valencia a la de conducción, depende de la energía que necesite para cruzar la banda prohibida y que ésta es mayor que en otros semiconductores.
- El punto anterior genera que el GaN para llegar a estados de alta energía sea mucho más potente, veloz y enérgico.

En Europa existe una empresa francesa, OMMIC [15], que compite con el resto de las compañías en el sector de las MMIC (*Monolithic Microwave Integrated Circuits*)



tanto a nivel de diseño, fabricación y provisión de materiales y compuestos semiconductores del grupo III-V. OMMIC está especializado en tecnologías GaAs y está proyectando y fabricando también en GaN. Su tecnología está siendo usada para aplicaciones espaciales, de telecomunicaciones y de defensa. En la Tabla 2.2 se encuentra una comparativa las distintas tecnologías que proporciona la empresa OMMIC:

Tabla 2.2. Distintas tecnologías de OMMIC.

Process	D01GH	D006GH	D0041H	D0071H	D01MH	D01PH (S)	ED02AH
gm (mS/mm)	800	900	2000	1600	700	650	450
Power density (mW/mm)	3300	3300	NA	NA	300	640	330
Noise figure (dB)	1,5 @ 40GHz	1 @ 40GHz	0,4 @ 30GHz	0,5 @ 30GHz	0,8 @ 30GHz	1,1 @ GHz	0,8 @ 18GHz
MIM Capacitors (pF/mm ²)	50 & 400	50 & 400	50 & 400	50 & 400	50 & 400	50 & 400	50 & 400
Idss max (mA/mm)	1700	1700	400	400	500	700	400(on) 180(off)
Idss (mA/mm)	1200	1200	200	200	300	500	250(on) 140(off)
Vb _{gd} (V)	36	36	4	4	8	12	8
F max (GHz)	160	190	600	450	250	180	110
F _t (GHz)	110	150	400	300	150	100	60
Gate write	eBeam	eBeam	eBeam	eBeam	eBeam	eBeam	eBeam
Thikness (μm)	100	100	100	70 100	70 100	70 100	100
Gate Length (nm)	100	60	40	70	130	130	180
Space grade	In 2020	-	-	In 2020	Yes	Yes	Yes
Status	Market Introdu- ction	Market Introduc- tion	Develop- ment	Producti- on	Produc- tion	Producti- on	Producti- on
Technology	GaN on Si	GaN on Si	GaAs m- Hemt	GaAs m- Hemt	GaAs m- Hemt	GaAs p- Hemt	GaAs p- Hemt



Como ya se menciona anteriormente, la tecnología escogida es sobre GaN. Esto reduce la tabla mostrada a dos posibilidades D01GH y D006GH. Finalmente, se ha escogido la D01GH, porque se considera que no hay necesidad de una Ft tan grande como la D006GH, además de ser más económica y estar cualificada para el espacio desde el 2020.

Las siglas de la tecnología escogida significan:

- D: Transistores de deplexión.
- 01: Longitud de puerta de 100nm (0,1 μ m).
- GH: De las siglas de GaN HEMTs (High-Electron-Mobility Transistor), es decir, HEMTs elaborados sobre una lámina de GaN.

2.4 *PathWave Advanced Design System (ADS)*

ADS [16] es un programa de *Keysight Technologies* para la simulación y diseño de una gran variedad de dispositivos electrónicos tales como osciladores, redes de banda ancha, amplificadores, sistemas de radiofrecuencia, etc. Se ha usado el ADS como herramienta de diseño debido a que OMMIC proporciona el kit de diseño para este programa.

Se trata de un software diseñado para realizar simulaciones avanzadas con una elevada precisión sobre los distintos modelos de circuitos. Las extensas librerías que soporta ADS contienen todo tipo de componentes. ADS implementa algoritmos de simulación y rutinas de convergencia que disminuyen notoriamente los tiempos de simulación.

Este programa trabaja con dos tipos de ventanas para el diseño y simulación de los distintos circuitos. Una es el esquemático, lugar donde se conectan los diferentes componentes y en la cual se realizan los análisis y simulaciones. La otra es el *Layout*, con la cual se comprueba el diseño físico. Dichas ventanas están conectadas, de tal manera que cualquier modificación en alguna de ellas supone cambios en la otra.

El ADS dispone de unas guías completas de diseño orientadas para los usuarios que utilizan el programa por primera vez, mostrando los prototipos de diseño de sistemas de Radio Frecuencia (RF) y microondas, entre otros sistemas de telecomunicación.

ADS tiene diversos controles de simulación para analizar el circuito desde distintos marcos. A continuación, se mencionan algunos de ellos:

- DC: Se trata del análisis más habitual, es imprescindible en simulaciones analógicas. Éste realiza una comprobación de la topología del circuito y determina diferentes puntos de operación en continua. Este controlador determina las características de operación en tensión continua, el consumo de potencia de los circuitos representa tensiones y corrientes tras la simulación, y comprueba los parámetros del modelo, comparándolos con las

características de transferencia (curvas I-V). Este análisis normalmente es el primero que se ejecuta. Encuentra el punto de equilibrio utilizando un sistema de ecuaciones diferenciales ordinarias no lineales.

- AC: Éste hace un estudio en pequeña señal, buscando primero el punto de polarización e introduciendo una señal senoidal de pequeña amplitud. Esta simulación muestra entre otros resultados las ganancias de corriente o de tensión. También es capaz de representar las fuentes tanto de corriente como de tensión del ruido equivalente, siendo las de dispositivos no lineales dependientes de la corriente, temperatura o del ruido de dispositivos activos lineales.
- S-PARAMETERS: Análisis de los parámetros S o parámetros de reflexión o transmisión que caracterizan a los dispositivos. Se usa principalmente en la caracterización de los componentes en RF. Realiza un análisis en pequeña señal con unas condiciones predeterminadas de polarización y temperatura, trabajando a una alta frecuencia y con microondas. Además de la obtención de los parámetros S, también obtiene la figura de ruido, el retraso de grupo, la impedancia/admitancia, etc. Este controlador normalmente se utiliza junto con el controlador OPTIONS, encargado de establecer la temperatura del entorno, entre otras funciones.
- OPTIM: Es el controlador para la optimización. Éste ejecuta sucesivas simulaciones con el objetivo de cumplir con las especificaciones marcadas en el controlador GOAL. En los componentes que se pretenda optimizar se determina un rango de variación dentro del cual trabajará el controlador de optimización para conseguir llegar al objetivo marcado, que puede ser de cualquier tipo, y este controlador permite también determinar un rango de frecuencias en el que trabajar y configurar múltiples objetivos con diferentes pesos entre sí.



Capítulo 3. Diseño de un amplificador de potencia de una etapa

Antes de comenzar con este estudio del amplificador de potencia, se van a volver a añadir las especificaciones necesarias para que cumpla con su propósito (Tabla 3.1). Hay que recordar que se trata del amplificador de potencia que está justo antes a la antena patch.

Tabla 3.1. Amplificador de potencia a diseñar.

Especificaciones iniciales	
Frecuencia	27,5 – 30 GHz
Ganancia en pequeña señal	20 dB
Ganancia en gran señal	20 dB
Adaptación de entrada (S11)	< –10 dB
Adaptación de salida (S22)	< –10 dB
PAE máxima	Máxima
Potencia de saturación a 5 dB de compresión	25 – 30 dBm
Consumo de potencia en P_{sat} a 5 dB	Menor posible

Una vez analizado el marco teórico y recordado las necesidades de diseño del amplificador de potencia por el que se realiza este proyecto, se elige transistor dentro de los ofrecidos por la tecnología de OMMIC.

3.1 Diseño y análisis de un amplificador de potencia de una etapa

Cumpliendo inicialmente las especificaciones fijadas, se elige el transistor FD01GHONLPA, mostrado en la Tabla 3.2, debido a que sus características que se suponen las más adecuadas para este proyecto. También se puede ver el esquemático de dicho transistor en la Figura 6.



Tabla 3.2. Transistores presentes en la tecnología D01GH de ONMIC.

Elements	Brief description	Linear	Non linear	Noise	Transient
FD01GHONSS_SW	P-HEMT in U, 1 gate access, 100nm gate length small signal transistor for switch application, extract @Vds=0V only	Yes	No (but GS and GD breakdown voltajes)	Yes	No
FD01GHONLPA	P-HEMT in U (L S), 2 source accesses, 100nm gate length non-linear transistor for power application, low noise application...	Yes	Yes	No	Yes
FD01GHONSS	P-HEMT in U (L S), 2 source accesses, 100nm gate length small signal transistor including noise model for power application, low noise application	Yes	No	Yes	No
FD006GHONLPA	P-HEMT in U (L S), 2 source accesses, 60nm gate length non-linear transistor for power application, low noise application...	Yes	Yes	No	Yes

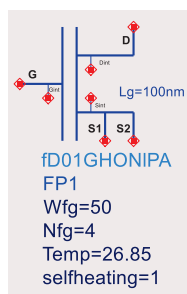


Figura 6. Esquema del transistor fD01GHONIPA.

Se procede a realizar el estudio del transistor para averiguar sus características. Se comienza con la extracción de las curvas I-V en el programa de aplicación ADS (Figura 7).

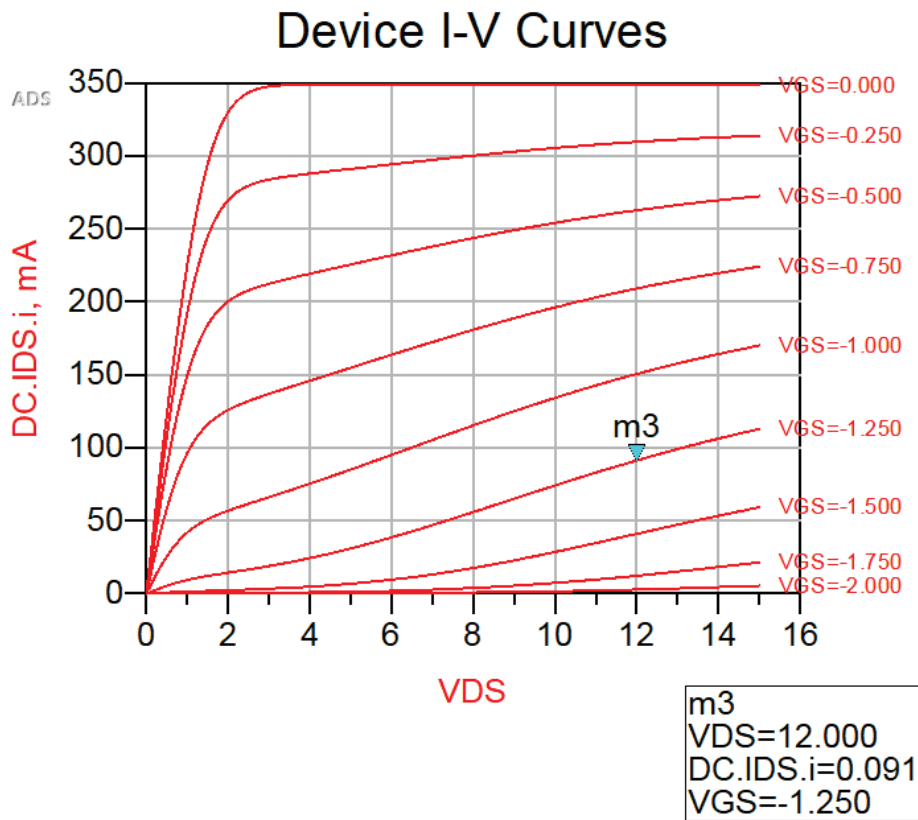


Figura 7. Curvas I-V del transistor de OMMIC (FET_IV_Gm_PowerCalcs).

Se ha decidido atender a las recomendaciones del fabricante en cuanto a que sugiere que la tensión $V_{DS} = 12$ V. También se determina trabajar con una tensión de puerta $V_{GS} = -1,25$ V para que el diseño esté basado en un clase AB.

Se procede a realizar el estudio de estabilidad del transistor. Para ello es necesario estudiar los parámetros S del transistor. En la Figura 12 se muestra el esquemático para el análisis de los parámetros S.

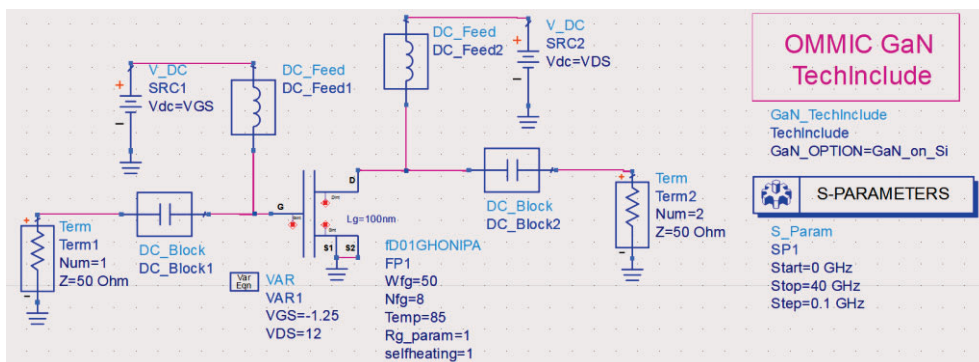


Figura 8. Esquemático para el estudio de estabilidad del transistor.



Para garantizar la estabilidad en el rango propuesto en el diseño, el estudio de los parámetros S se ejecutará en el rango entre 0 y 40 GHz. A parte de eso, se han añadido bobinas de *choke* (DC_Feed) y condensadores de bloqueo de continua (DC_Block). Simulando el esquemático anterior, hay que añadir dos ecuaciones (Figura 9) completamente necesarias para obtener la máxima ganancia en pequeña señal (Maxgain) y el factor de estabilidad (*K Rollet*), que luego se verán reflejados en la Figura 10.

$$\text{Eqn } K = \text{stab_fact}(S)$$

$$\text{Eqn } \text{MaxGain} = \text{max_gain}(S)$$

Figura 9. Ecuaciones de cálculo de estabilidad y máxima ganancia.

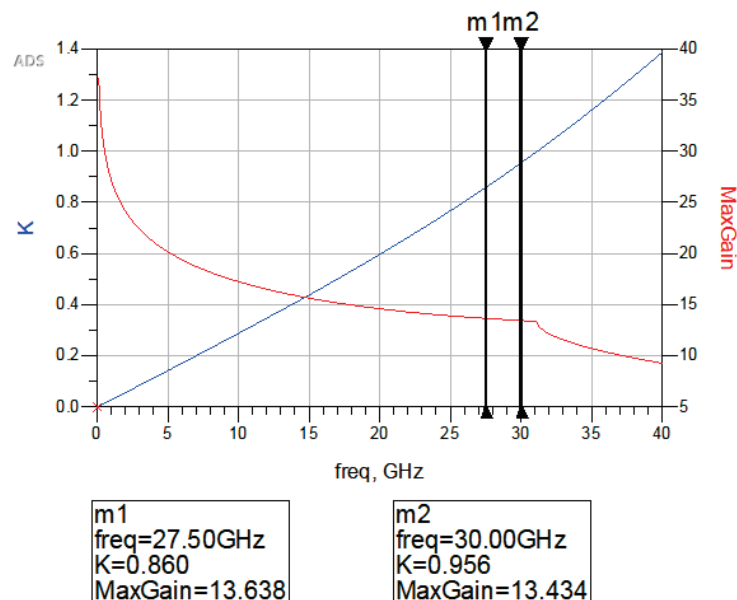


Figura 10. Simulación de los parámetros S.

Tanto para la mínima frecuencia (27,5 GHz) como para la máxima frecuencia (30 GHz), en la Figura 10 se muestra como el valor del *K (Rollet)* es < 1 , y este valor indica que el circuito es inestable. Para solucionar este inconveniente se tiene que añadir una etapa de estabilización, de tal manera que se fuerce que $K > 1$. En la Figura 11 se muestran tres tipos de redes de estabilización.

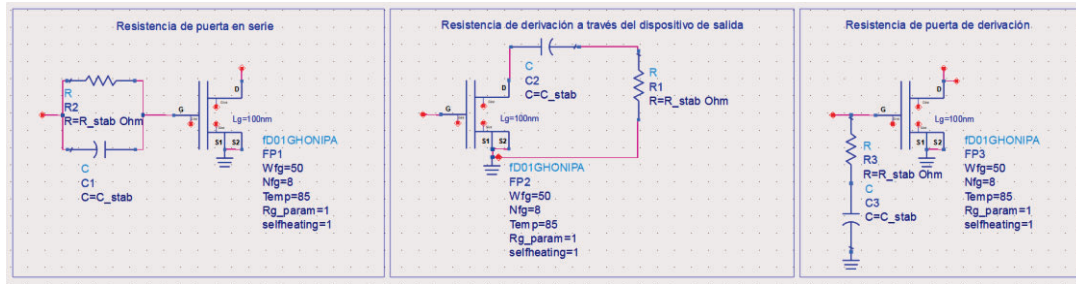


Figura 11. Tipos de circuitos de estabilización.

En este caso se decide añadir una red RC en serie a la entrada del transistor, de tal manera que reduzca la ganancia del circuito, logrando estabilizarlo (Figura 12).

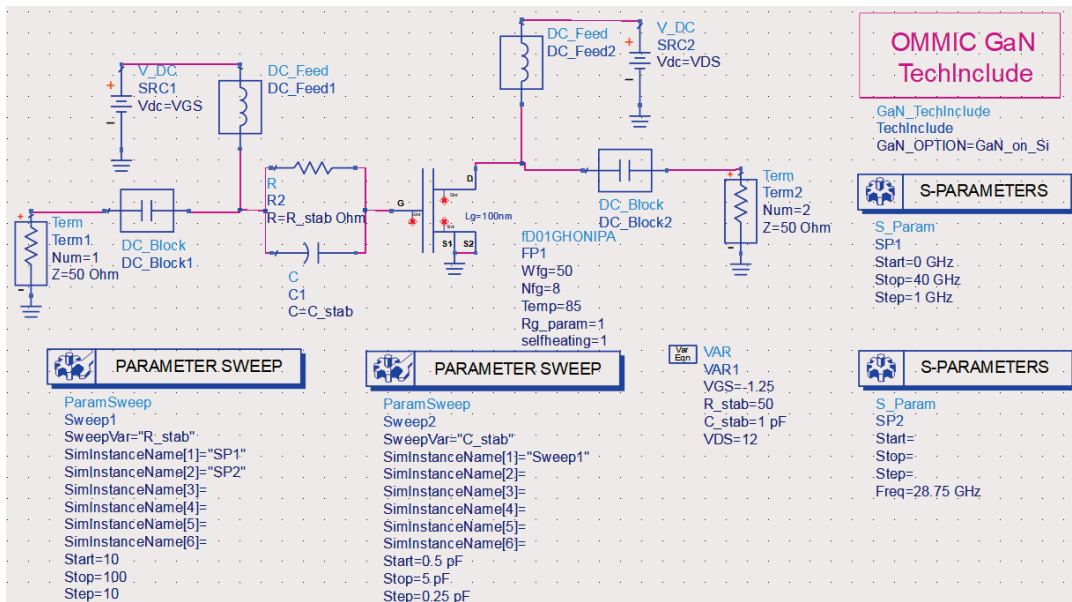
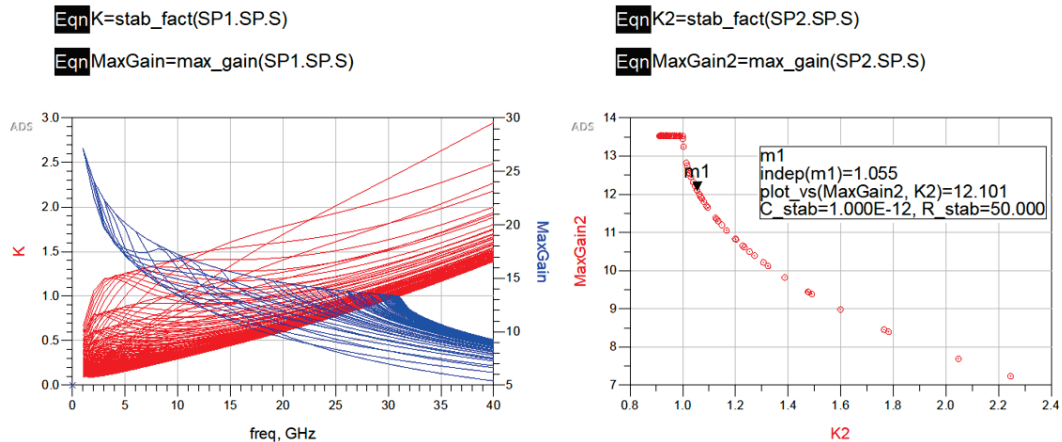


Figura 12. Esquemático del transistor con la red de estabilización.

Se realiza un barrido de los valores que proporciona la red RC. En la Figura 13 se muestran los barridos de los parámetros S con la red de estabilización. Se ha de escoger un punto en el barrido donde la K sea lo suficientemente mayor a uno, pero que no merme demasiado la ganancia máxima del transistor. Para la red de estabilización se ha elegido una resistencia de 50 Ω y un condensador de 1 pF.



3.2 Diseño de un amplificador para máxima potencia

El siguiente procedimiento a tener en cuenta para el diseño del amplificador es encontrar la impedancia de carga de este transistor, de tal manera que al adaptarlo éste sea capaz de ofrecer la máxima potencia. Una vez alcanzado este objetivo, se podrá comenzar a diseñar el amplificador de potencia al que se refiere este TFM.

Para encontrar dicha resistencia de carga es necesario realizar un procedimiento iterativo de *Load-Pull* y *Source-Pull*, donde inicialmente se establecen los valores de potencia de entrada, frecuencia, etc.

Load-Pull es una técnica de búsqueda en la cual se va variando la impedancia de carga y obteniendo distintos valores, de tal manera que se va reajustando el valor de la impedancia de entrada con respecto a la de carga. Esto hace que se obtenga una serie de curvas que ofrecen como resultado la potencia de salida máxima, que estará localizada en el centro de dichas curvas o círculos de potencia de salida constante.

Source-Pull es una técnica similar a la mencionada que consiste en encontrar la mejor impedancia de la fuente para la máxima transferencia de potencia.

El procedimiento para obtener la mayor potencia y las distintas impedancias en su valor óptimo consiste en realizar una simulación *de Load-Pull*, obteniendo una impedancia que será modificada antes de simular el *Source-Pull*. Tras la segunda simulación se obtiene otro valor de impedancia que se sustituye en el *Load-Pull*. Este proceso se repite hasta que dejen de variar los valores obtenidos en las simulaciones, es decir, se hayan conseguido los valores óptimos de las impedancias de fuente y carga, maximizando la potencia de salida.

En las Figura 14 y Figura 15 se pueden ver los dos circuitos a simular para el *Load-Pull* y el *Source-Pull*.

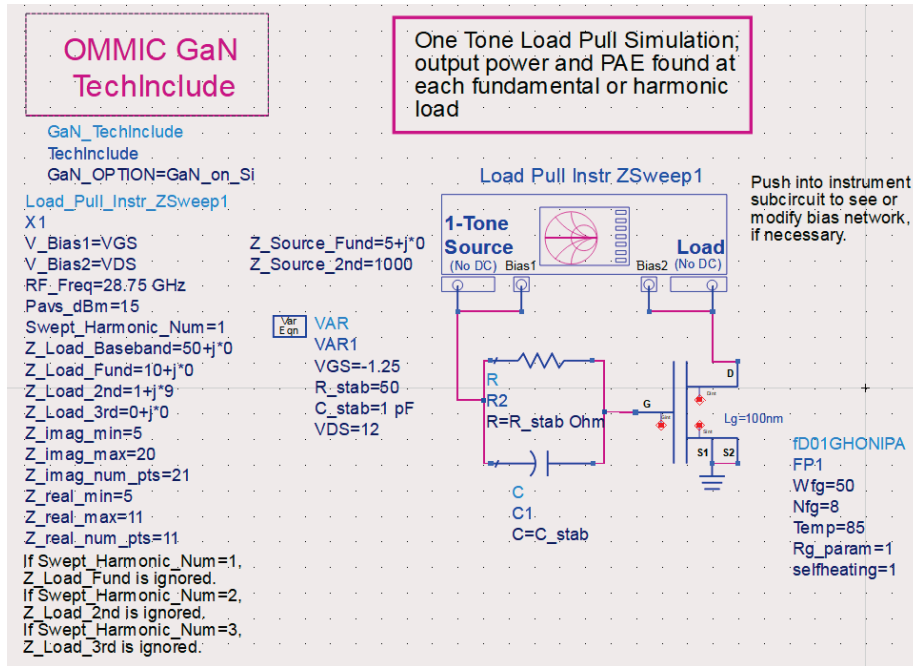


Figura 14. Esquemático del *Load-Pull*.

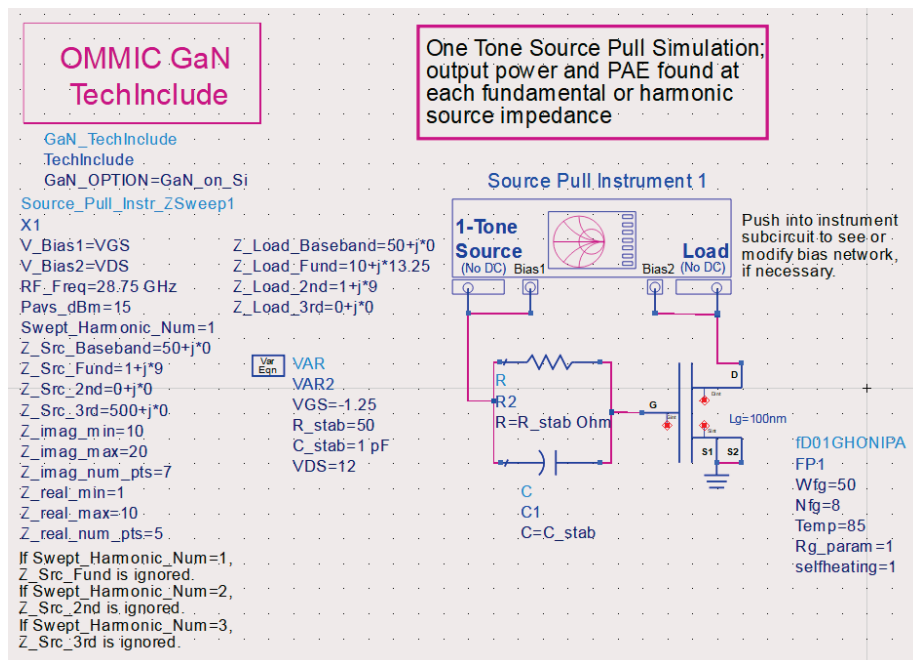


Figura 15. Esquemático del *Source-Pull*.

Tras varias iteraciones, se estabiliza el circuito en los valores mostrados en la Figura 16. Hay dos cuadros, el (a) pertenece a la simulación del *Load-Pull* y el (b) a la simulación del *Source-Pull* para la obtención de las impedancias de fuente y de carga con la obtención de la máxima potencia de salida.

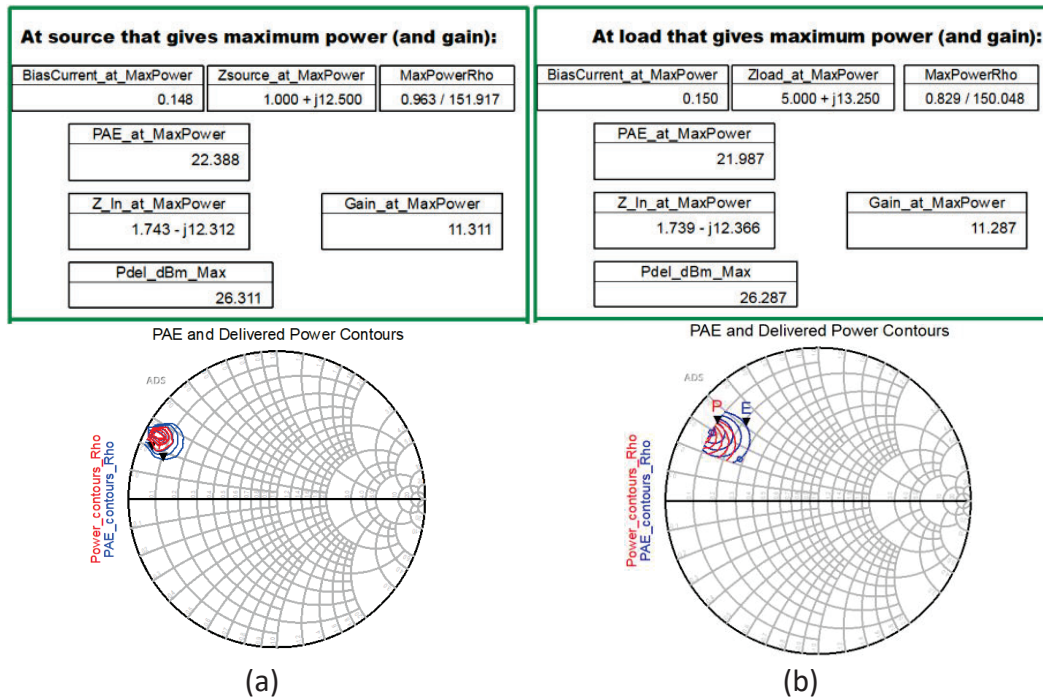


Figura 16. Resultados finales de las simulaciones de *Load-Pull* y *Source-Pull*.

Si se analizan los datos ofrecidos por la Figura 19, se puede ver que este circuito necesita una $Z_{Source} = 1 + j12,5 \, \Omega$ y $Z_{Load} = 5 + j13,25 \, \Omega$ para conseguir la máxima potencia de salida de 26,3 dBm y la ganancia de 11,3 dB que registra el transistor con una entrada de 15 dBm. A su vez, se ha obtenido un PAE de aproximadamente el 22%.

Para comprobar si se las simulaciones anteriores son correctas se realiza un nuevo esquemático (Figura 17) colocando en la fuente y en la carga las impedancias Z_{Source} y Z_{Load} respectivamente y simulando para comprobar que se logran los mismos resultados (Figura 18).

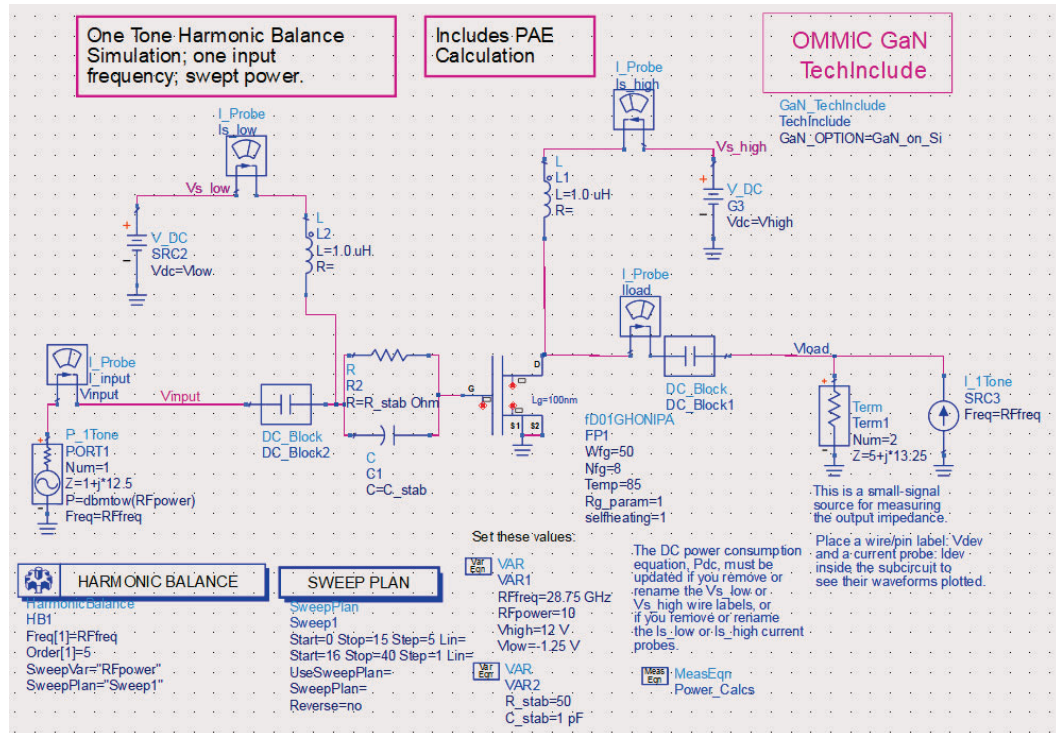


Figura 17. Circuito de confirmación de las simulaciones de *Load-Pull* y *Source-Pull*.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power- Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
0.000	10.741	10.741	1.005	1.103	0.092	1.092
5.000	15.803	10.803	3.169	1.123	0.094	1.087
10.000	20.996	10.996	9.715	1.211	0.101	1.093
15.000	26.515	11.515	24.130	1.737	0.145	1.314
16.000	27.619	11.619	27.905	1.938	0.161	1.392
17.000	28.696	11.696	32.025	2.165	0.180	1.464
18.000	29.603	11.603	35.977	2.373	0.198	1.507
19.000	30.104	11.104	38.535	2.479	0.207	1.507
20.000	30.401	10.401	40.232	2.532	0.211	1.492
21.000	30.467	9.467	40.459	2.529	0.211	1.482
22.000	30.448	8.448	40.008	2.505	0.209	1.477
23.000	30.548	7.548	40.142	2.509	0.210	1.473

Figura 18. Resultados finales de las simulaciones de *Load-Pull* y *Source-Pull*.

Una vez realizada la última simulación, se demuestra que los resultados son semejantes y hasta un poco mejores de lo esperado. Con esto se finaliza la estabilización y análisis del transistor de manera ideal.

Seguidamente, vamos a sustituir la resistencia y el condensador de la red de estabilización por los componentes propios de la *foundry*. En la Figura 19 se puede observar el circuito resultante.

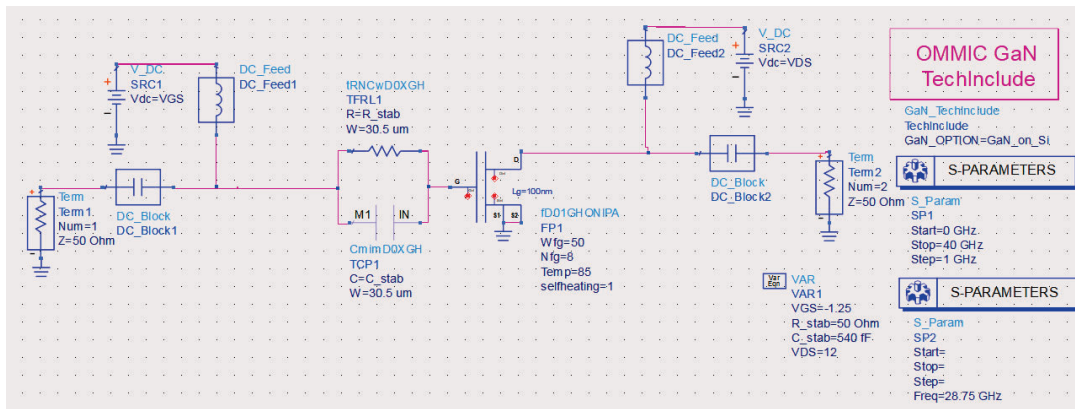


Figura 19. Esquemático del transistor con los componentes reales.

A continuación, se simula el esquemático y se comprueban los valores obtenidos con respecto a los ideales (Figura 20).

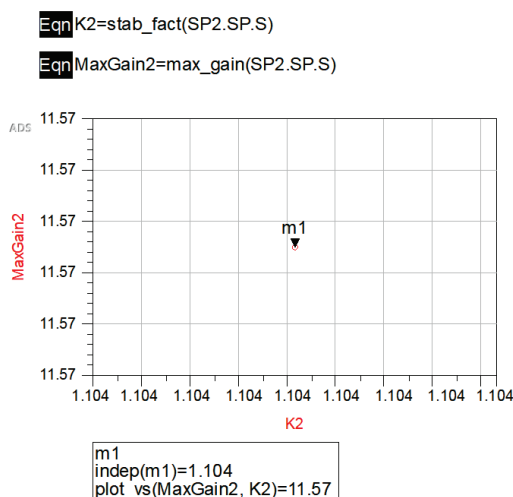


Figura 20. Valores de K y ganancia del circuito.

Si se comparan los valores registrados con los de la Figura 13, se puede comprobar que, al poner los componentes reales disminuye el valor de la ganancia debido a las pérdidas ocasionadas en los componentes. En este la ganancia ha decrecido de 12,101 a 11,57 dB.

3.3 Layout del amplificador para máxima potencia

Antes de realizar el layout se realiza un esquemático donde los cables se sustituyen por líneas (TLINES) y las masas por vías a tierra (Figura 21). Esto va a suponer otro decremento en las prestaciones (Figura 22).

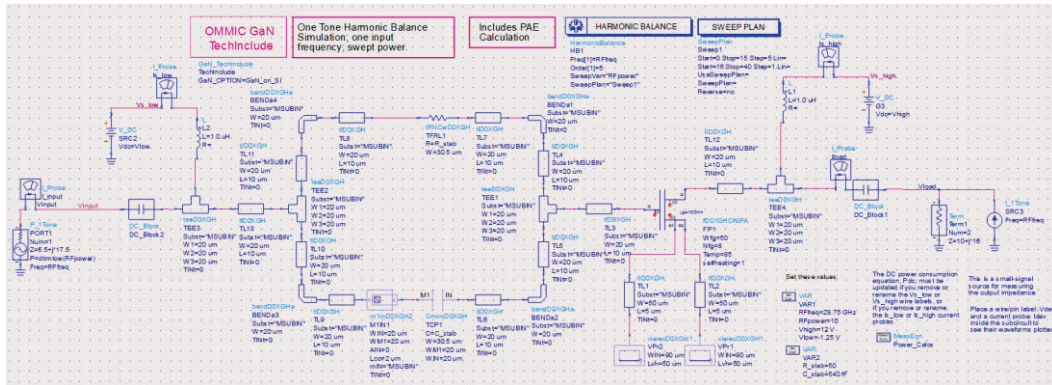


Figura 21. Esquemático del amplificador con las pistas.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power-Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
0.000	8.500	8.500	0.557	1.095	0.091	1.089
5.000	13.506	8.506	1.754	1.100	0.092	1.081
10.000	18.516	8.516	5.460	1.121	0.093	1.059
15.000	23.494	8.494	15.808	1.216	0.101	1.024
16.000	24.471	8.471	19.050	1.263	0.105	1.022
17.000	25.439	8.439	22.657	1.325	0.110	1.024
18.000	26.399	8.399	26.605	1.405	0.117	1.031
19.000	27.354	8.354	30.905	1.505	0.125	1.039
20.000	28.306	8.306	35.596	1.623	0.135	1.045
21.000	29.251	8.251	40.708	1.760	0.147	1.043
22.000	30.125	8.125	46.033	1.894	0.158	1.021
23.000	30.808	7.808	50.801	1.981	0.165	0.973

Figura 22. Resultados del análisis con las pistas.

A continuación, se muestra el *layout* de este amplificador mono-etapa (Figura 23), que servirá como precedente para realizar el amplificador que se necesita diseñar.

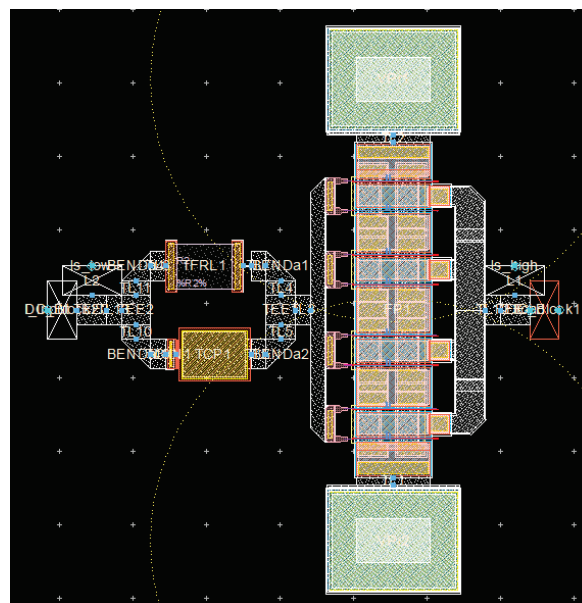


Figura 23. *Layout* del amplificados de una etapa.



Tras finalizar el *layout*, se realiza de nuevo el Load-Pull y el Source-Pull para volver a encontrar las mejores impedancias de carga para el circuito y que éste pueda ofrecer los mejores valores a la salida. En la Figura 24 se muestran los resultados obtenidos en este análisis por iteración. En el (a) están los valores obtenidos para el Load-Pull y en el (b) los del Source-Pull.

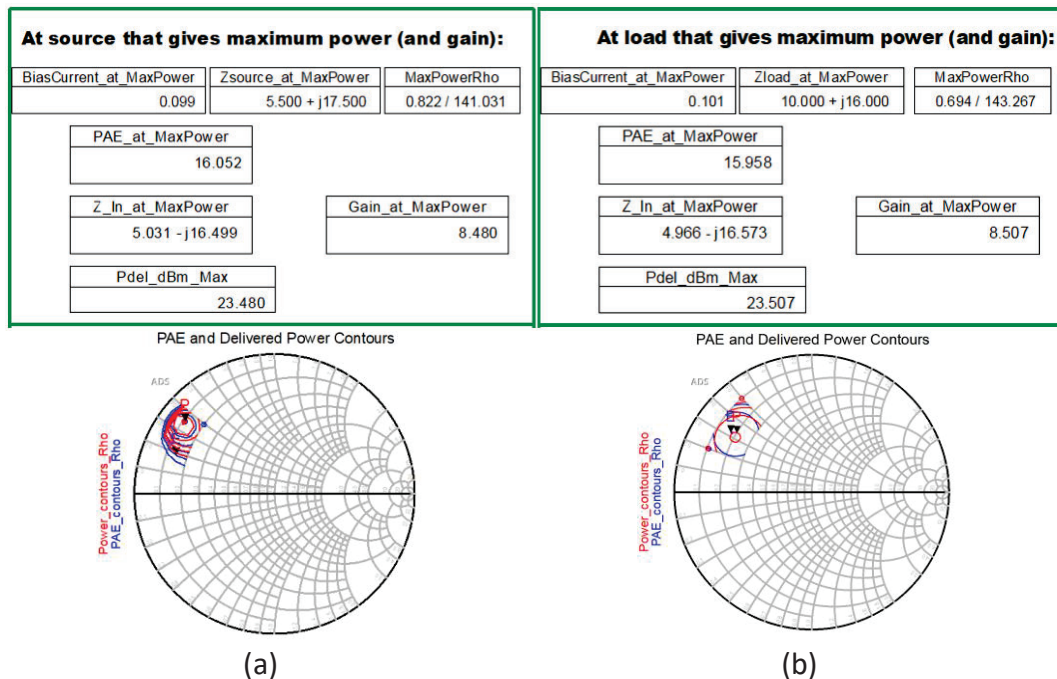


Figura 24. Resultados finales de las simulaciones de Load-Pull y Source-Pull.

Tras esto, se modifican los datos a la entrada y salida y se comprueban si los resultados son los obtenidos con el Load-Pull y el Source-Pull (Figura 25).

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power- Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
0.000	10.058	10.058	0.854	1.102	0.092	1.092
5.000	15.111	10.111	2.694	1.118	0.093	1.088
10.000	20.285	10.285	8.342	1.189	0.099	1.090
15.000	25.871	10.871	22.002	1.632	0.136	1.270
16.000	27.018	11.018	25.731	1.818	0.151	1.345
17.000	28.156	11.156	29.889	2.035	0.170	1.419
18.000	29.257	11.257	34.494	2.272	0.189	1.476
19.000	30.035	11.035	38.377	2.434	0.203	1.482
20.000	30.457	10.457	40.819	2.510	0.209	1.460
21.000	30.532	9.532	41.220	2.498	0.208	1.438
22.000	30.561	8.561	41.184	2.475	0.207	1.421
23.000	30.479	7.479	40.244	2.426	0.203	1.411

Figura 25. Resultados de comprobación de las simulaciones de Load-Pull y Source-Pull.

Como era previsible, los resultados se han visto influenciados por las pérdidas que generan los componentes reales. Aun así, los datos no son malos dado que eso sólo ha supuesto en la ganancia la pérdida de aproximadamente 1dB.

Es importante que se analice como serán las etapas de estabilización que se estudiaron con el análisis iterativo de *Load-Pull* y *Source-Pull*, puesto que se espera que a la entrada y a la salida sólo existan puertos adaptados a 50 ohmios. Para ello se ha utilizado una página web [17], donde se añaden los datos de entrada y de salida respectivamente y ofrece varias opciones para la adaptación.

En este caso, en la Figura 26 se muestra ya el circuito adaptado tanto a la entrada como a la salida del mismo. Seguido, en la Figura 27, se ven los resultados obtenidos con este nuevo cambio, aunque se prevé que los valores no varíen mucho.

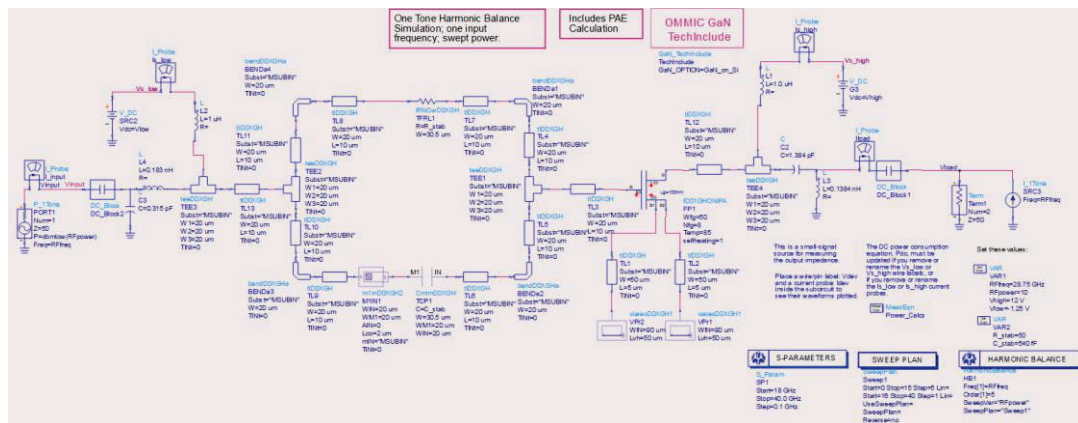


Figura 26. Amplificador con las adaptaciones de entrada y salida.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power-Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
0.000	8.508	8.508	0.558	1.095	0.091	1.089
5.000	13.512	8.512	1.757	1.100	0.092	1.081
10.000	18.522	8.522	5.468	1.121	0.093	1.059
15.000	23.503	8.503	15.872	1.214	0.101	1.021
16.000	24.462	8.462	19.138	1.259	0.105	1.018
17.000	25.452	8.452	22.826	1.320	0.110	1.018
18.000	26.414	8.414	26.850	1.398	0.116	1.022
19.000	27.371	8.371	31.236	1.495	0.125	1.028
20.000	28.324	8.324	36.020	1.612	0.134	1.031
21.000	29.265	8.265	41.218	1.745	0.145	1.025
22.000	30.124	8.124	46.492	1.874	0.156	1.002
23.000	30.787	7.787	50.879	1.967	0.164	0.964

Figura 27. Resultados con las adaptaciones de entrada y salida.

Si se comparan los últimos resultados con los anteriores se puede ver una mínima mejora en la ganancia. Se deciden añadir otros mecanismos de estudio en los cuales se analizarán diferentes gráficas que entre otras cosas muestran la K, el PAE y la ganancia (Figura 28).

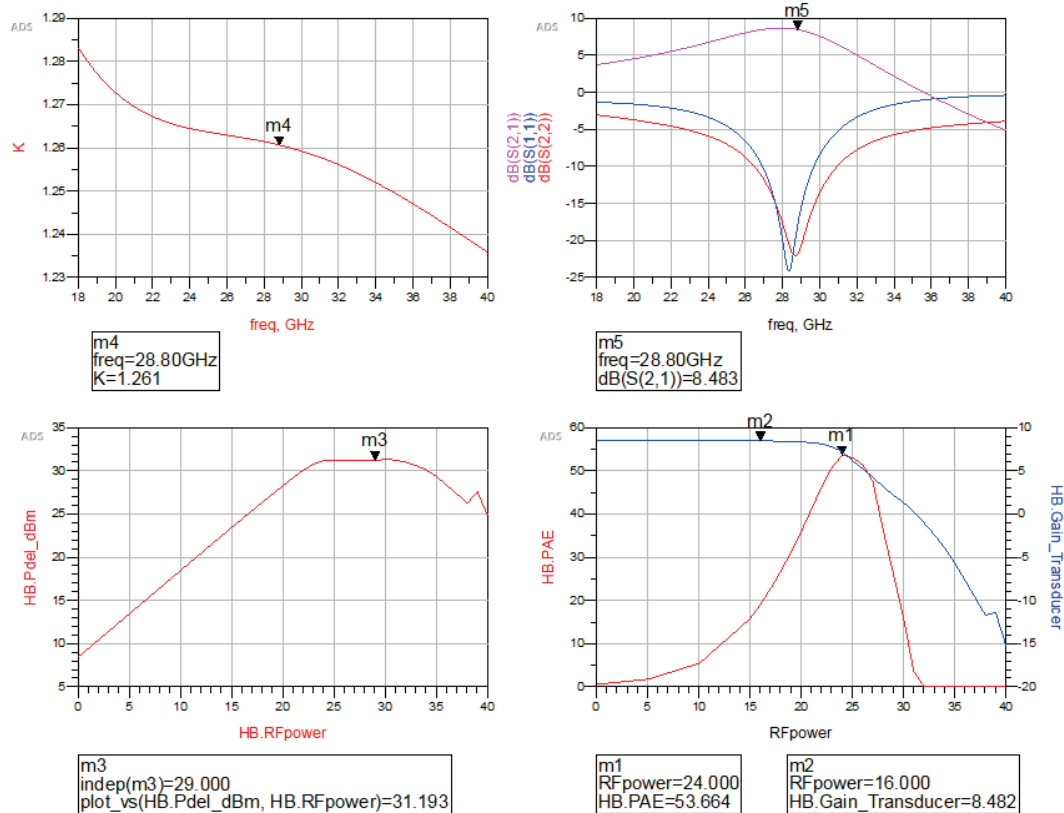


Figura 28. Resultados finales de diferentes factores del amplificador para máxima potencia.

En las gráficas anteriores se puede analizar que la $K > 1$, lo que indica que el circuito es estable. Que la ganancia es de 8,483 dB, que el $P_{sat} = 31,193$ dBm y que se cuenta con un $PAE = 53,664$ %. Estos resultados son los mejores que puede mostrar esta tecnología a la frecuencia analizada (28,75 GHz) y por lo tanto en base a esto hay que diseñar el amplificador de potencia que se intenta exponer en este TFM.

3.4 Diseño del amplificador para máxima ganancia

A continuación, vamos a describir el diseño del amplificador adaptado para máxima ganancia. En el capítulo siguiente se va a realizar el amplificador multietapa y se utilizarán amplificadores mono-etapa adaptados tanto para máxima potencia, como para máxima ganancia.

Para realizar un modelo de amplificador para máxima ganancia, se realiza la adaptación conjugada en pequeña señal. Para hacer esto, es necesario calcular los coeficientes de reflexión (Γ_S y Γ_L), a partir de los cuales, se realiza la adaptación del circuito (Γ_S^* y Γ_L^*).

Todo esto se realiza en pequeña señal. En la Figura 29 se puede ver las ecuaciones, las funciones del ADS y el diagrama necesario para calcular Γ_L y Γ_S a partir de los parámetros S y, por lo tanto, realizar la adaptación simultánea conjugada.

$$\Gamma_s^* = \Gamma_{in} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \rightarrow \Gamma_L = \frac{B_2 - \sqrt{B_2^2 - 4|C_2|^2}}{2C_2}$$

$$\Gamma_L^* = \Gamma_{out} = S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{11}\Gamma_s} \rightarrow \Gamma_s = \frac{B_1 - \sqrt{B_1^2 - 4|C_1|^2}}{2C_1}$$

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2, B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2$$

$$C_1 = S_{11} - \Delta S_{22}^*, C_2 = S_{22} - \Delta S_{11}^*$$

sm_gamma1() Returns the simultaneous-match input-reflection coefficient Syntax <code>y = sm_gamma1(S)</code>	sm_gamma2() Returns the simultaneous-match output-reflection coefficient Syntax <code>y = sm_gamma2(S)</code>
---	--

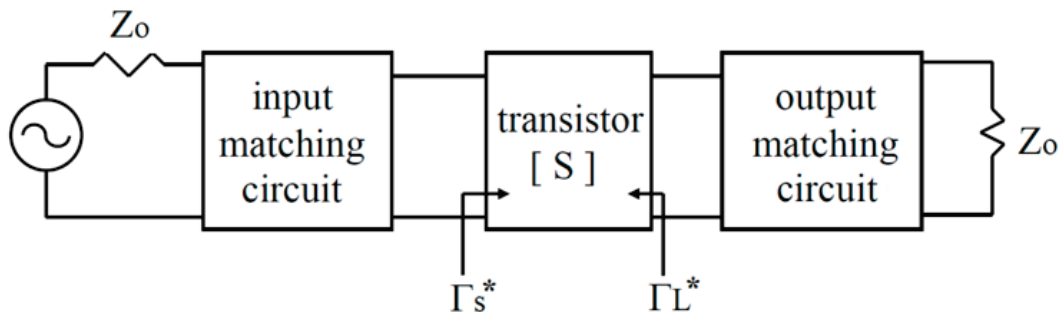


Figura 29. Teoría de cómo realizar una adaptación simultánea conjugada.

Se inicia con el esquemático que se muestra en la Figura 30, en el que se ejecuta un análisis de los parámetros S del circuito. Utilizando las funciones `sm_gamma1` y `sm_gamma2` se puede hallar los coeficientes de reflexión. De tal manera que al finalizar esto último, se conjugan para obtener la impedancia que el transistor necesita para entregar la máxima ganancia (Figura 31).

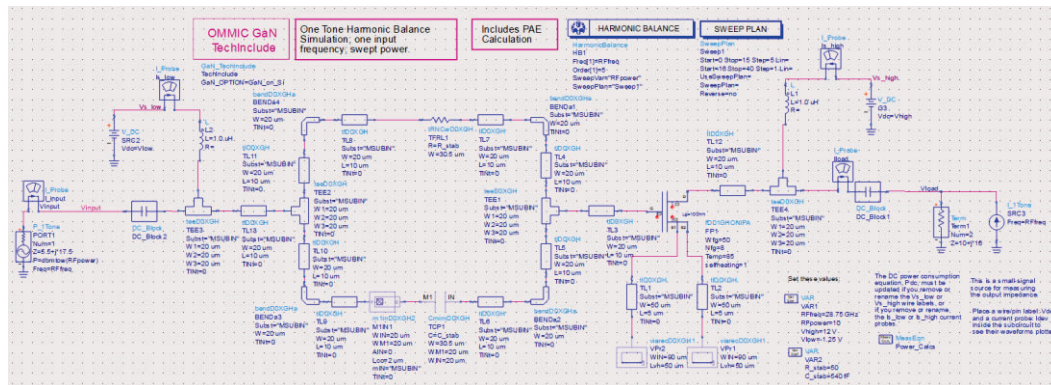


Figura 30. Esquemático para el estudio de coeficientes de reflexión.

$$\text{Eqn } \gamma_S = \text{sm_gamma1}(S)$$

$$\text{Eqn } \gamma_L = \text{sm_gamma2}(S)$$

$\begin{aligned} m1 \\ \text{indep}(m1) &= 0 \\ \text{conj}(\gamma_S) &= 932.0m \angle -153.8 \\ \text{impedance} &= 1.856 - j11.62 \end{aligned}$
--

$\begin{aligned} m2 \\ \text{indep}(m2) &= 0 \\ \text{conj}(\gamma_L) &= 861.2m \angle -153.8 \\ \text{impedance} &= 3.929 - j11.57 \end{aligned}$
--

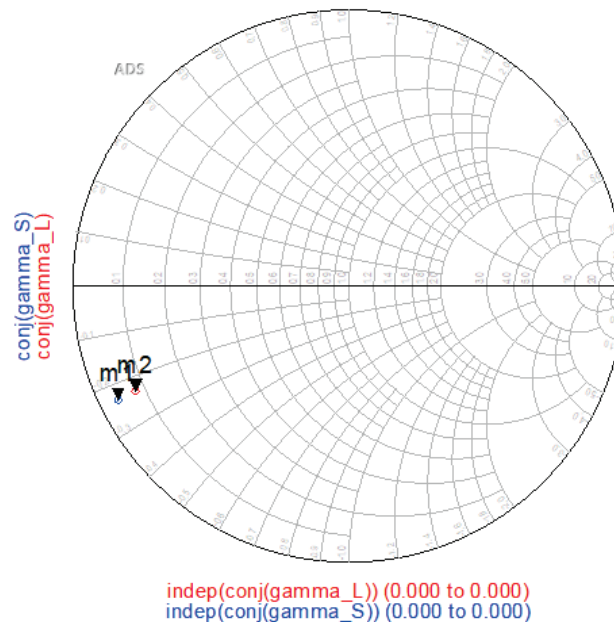


Figura 31. Carta de Smith de los valores de Γ_L^* y Γ_S^* para máxima ganancia.

Ahora se realizan las redes de adaptación ideales y se consigue el esquemático de la Figura 32.

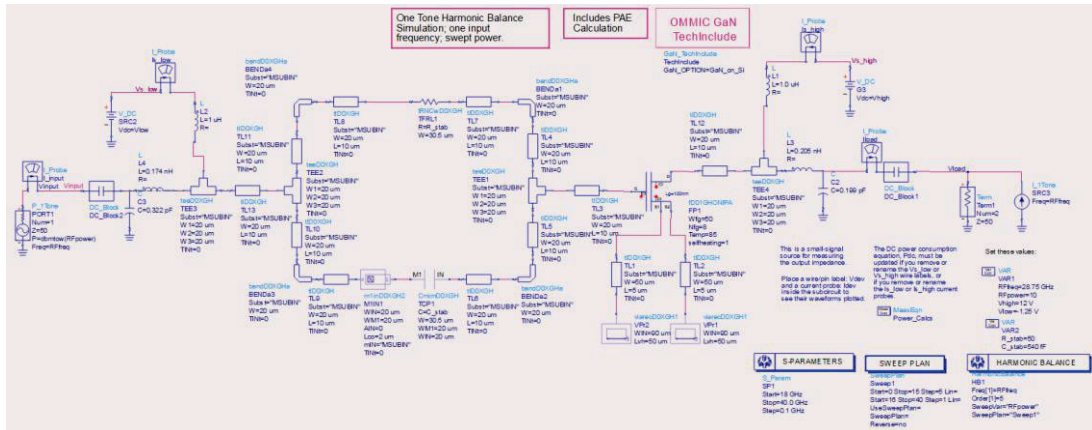


Figura 32. Amplificador con las adaptaciones de entrada y salida corregidas.

En la Figura 33 se muestran los resultados finales para la adaptación para máxima ganancia y en la Figura 34 se ven el resto de los factores que afectan al PA adaptado para máxima ganancia.

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power-Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
0.000	8.588	8.588	0.568	1.095	0.091	1.089
5.000	13.588	8.588	1.786	1.102	0.092	1.082
10.000	18.584	8.584	5.510	1.127	0.094	1.065
15.000	23.527	8.527	15.647	1.238	0.103	1.044
16.000	24.496	8.496	18.750	1.289	0.107	1.048
17.000	25.456	8.456	22.185	1.358	0.113	1.056
18.000	26.410	8.410	25.942	1.444	0.120	1.069
19.000	27.359	8.359	30.045	1.548	0.129	1.083
20.000	28.307	8.307	34.544	1.672	0.139	1.094
21.000	29.248	8.248	39.487	1.812	0.151	1.097
22.000	30.144	8.144	44.693	1.960	0.163	1.084
23.000	30.862	7.862	49.167	2.080	0.173	1.057

Figura 33. Resultados de las adaptaciones de entrada y salida.

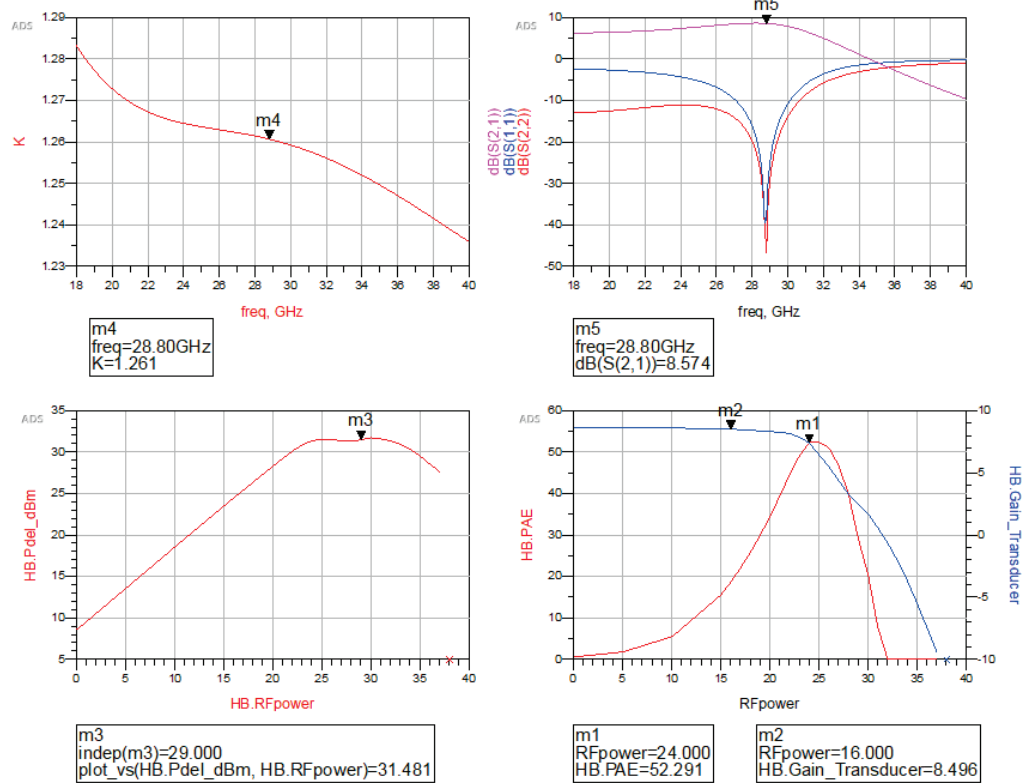


Figura 34. Resultados finales de diferentes factores del amplificador para máxima ganancia.

3.5 Símbolo

Para poder trabajar de manera más sencilla se realiza el símbolo de los anteriores amplificadores, estableciendo un nuevo esquemático (Figura 35) dejando fuera las redes de adaptación.

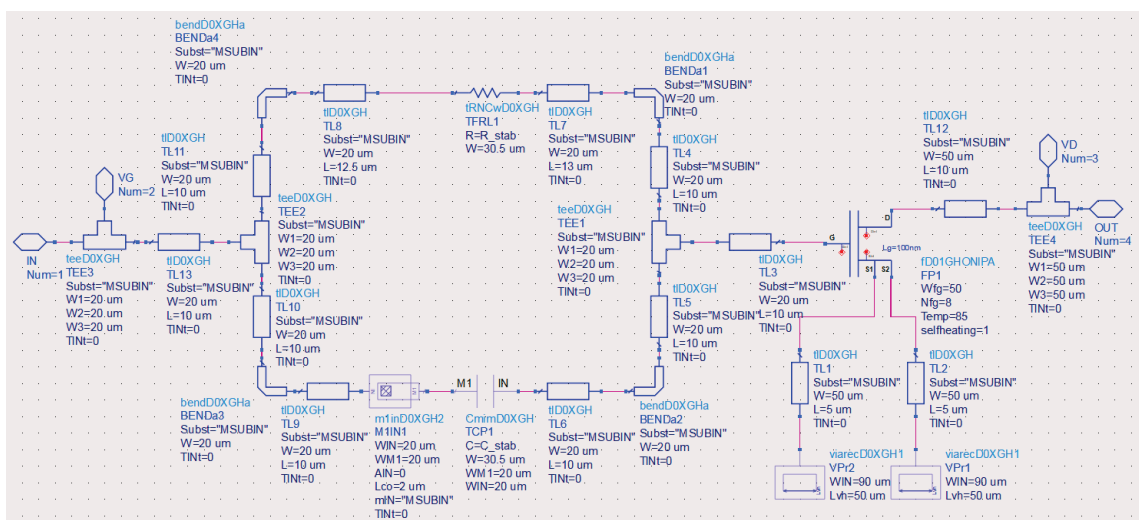


Figura 35. Esquemático contenido en el símbolo.

Como ya se expuso, este esquemático será sustituido para mayor comodidad por un símbolo (Figura 36) en próximos circuitos, para evitar complejidad en los mismos.

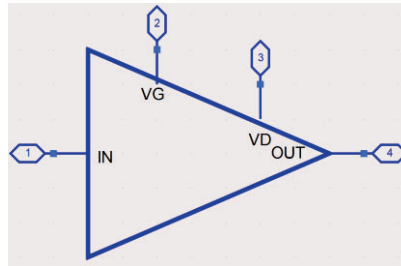


Figura 36. Símbolo del amplificador de potencia de una etapa.

Con este símbolo el esquemático del amplificador quedaría como en la Figura 37, adaptado para máxima potencia y en la Figura 38 adaptado para máxima ganancia.

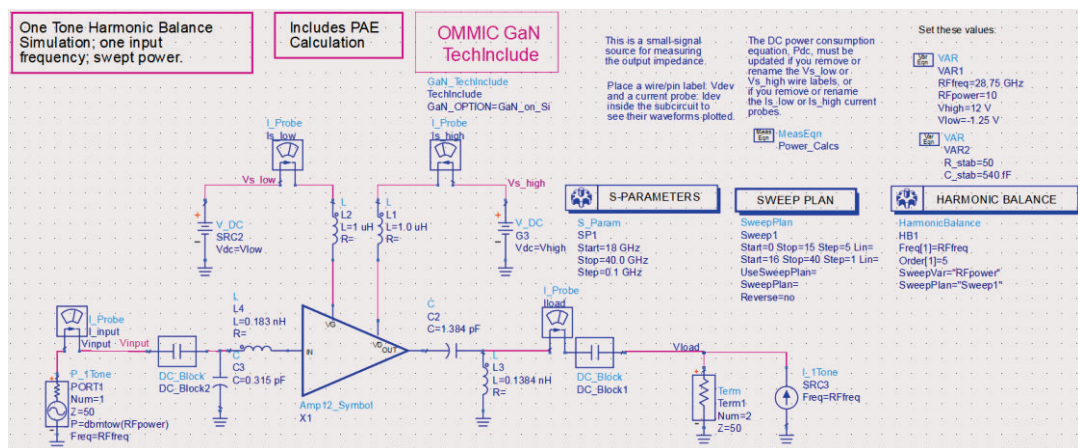


Figura 37. Circuito final de una etapa adaptado para máxima potencia.

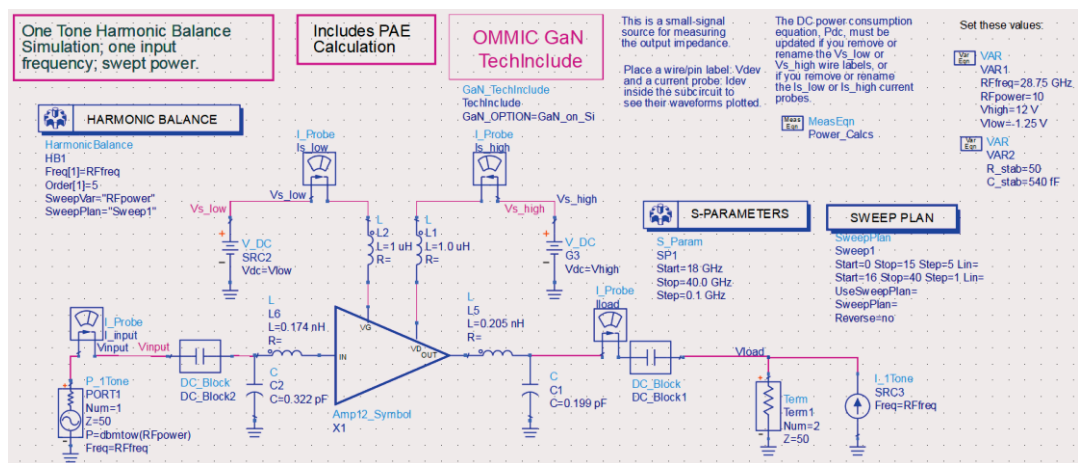


Figura 38. Circuito final de una etapa adaptado para máxima ganancia.



3.6 Resultados obtenidos

Tras los estudios anteriores con diferentes redes de adaptación, en la Tabla 3.3 se puede ver una comparativa según la red de adaptación utilizada.

Tabla 3.3. Comparativa de los resultados de los dos tipos de redes analizados.

Diseño del amplificador para:	Ganancia	PAE máxima	P _{SAT} a 5 dB
Máxima potencia	8,483 dB	53,664 %	31,193 dBm
Máxima ganancia	8,574 dB	52,291 %	31,481 dBm

El análisis efectuado en el presente capítulo se ha realizado para el diseño de una etapa que proporciona máxima potencia de salida y otra con máxima ganancia. En el diseño final que se explicará en el siguiente capítulo se combinarán ambos diseños para obtener las especificaciones requeridas.

Capítulo 4. Diseño de un amplificador de potencia multietapa en banda Ka

Hasta ahora se ha realizado el análisis completo de un amplificador de una etapa que se utilizará de base para el diseño del amplificador multietapa necesario para cumplir las especificaciones de este proyecto. Debido a las características que inicialmente ofrece, se ha decidido que la mejor opción de diseño sea un amplificador con tres etapas en cascada (Figura 39). Las dos primeras de ellas serán etapas acondicionadas para máxima ganancia y en la tercera será un paralelo de dos amplificadores para máxima potencia de salida. Se prevé que con estas etapas se consigan alcanzar, o incluso superar, las especificaciones iniciales exigidas para el diseño.

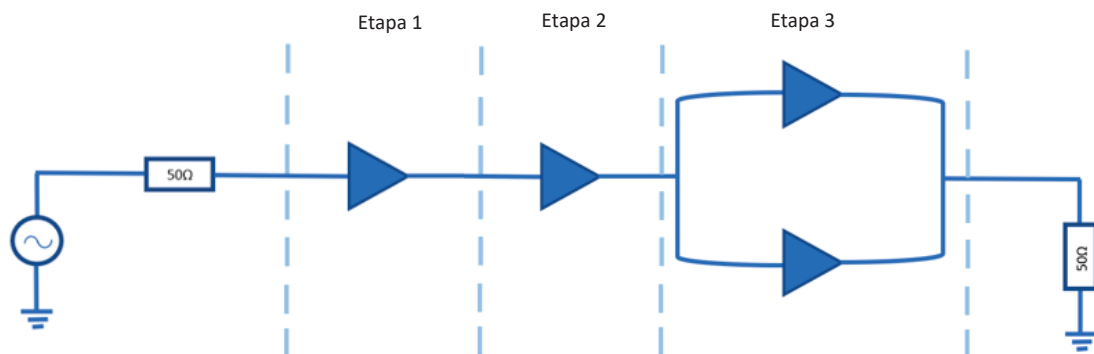


Figura 39. Amplificador de dos etapas en cascada

En la Tabla 4.1 se muestra la estimación prevista para el amplificador de potencia multietapa que se está diseñando. Es importante entender que estos valores son ideales y nunca se alcanzarán dichos datos, sino que existirán pérdidas en los componentes y pistas del circuito. Aun así, se tenderá a minimizar estas pérdidas.

Tabla 4.1. Estimación de los valores para el diseño del amplificador multietapa.

	Etapa 1	Etapa 2	Etapa 3	Total
Gain (dB)	8,574	8,574	8,483	25,63
P _{SAT} (dBm)	31,481	31,481	31, 193 + 3 = 33, 193	32,07



Este capítulo estará comprendido en diferentes subapartados, en los cuales se pretende mostrar el diseño paso a paso, de tal manera que sean perceptibles todos los cambios y estudios realizados.

4.1 Tercera etapa del amplificador

Se ha comenzado el diseño con la etapa 3 ya que es la más complicada de diseñar. Para unir dos etapas en paralelo usaremos el transformador de $\lambda/4$, en el cual la entrada y las salidas están adaptadas a 50 ohmios mientras que la potencia de entrada se divide en dos. Para aislar las dos salidas entre sí es necesario añadir una resistencia de 100 ohmios [18]. Lo que se acaba de explicar es el fundamento de los divisores de potencia Wilkinson donde la potencia de entrada se comparte a partes iguales a la salida. Este tipo de divisor se ha usado tanto a la entrada para dividir la señal, como en la salida para combinarlas, ver Figura 40.

La ganancia resultante de dos etapas en paralelo es la misma que la de una etapa, mientras que la potencia de salida es el doble, lo que se traduce en un incremento en 3 dB en la potencia de saturación.

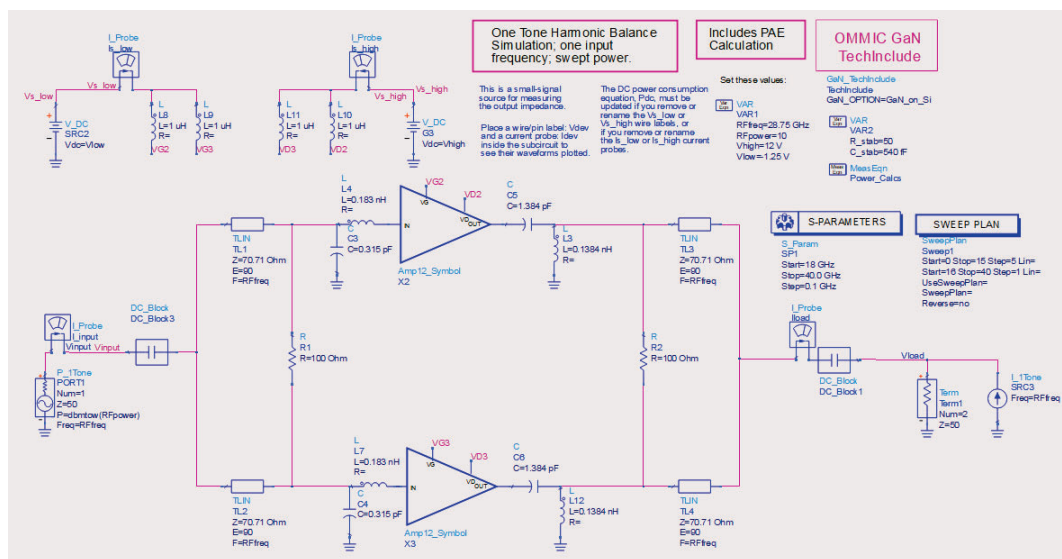
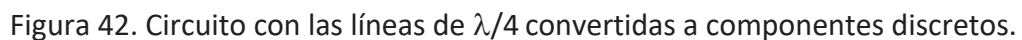
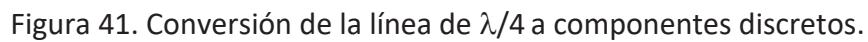


Figura 40. Etapa 3 con su adaptación.

El siguiente paso es transformar la línea de transmisión de $\lambda/4$ a componentes discretos a la frecuencia del central (28,75GHz). Para ello, se utilizaron las ecuaciones de la Figura 41. En la Figura 42 se muestra el nuevo esquemático resultante.



41

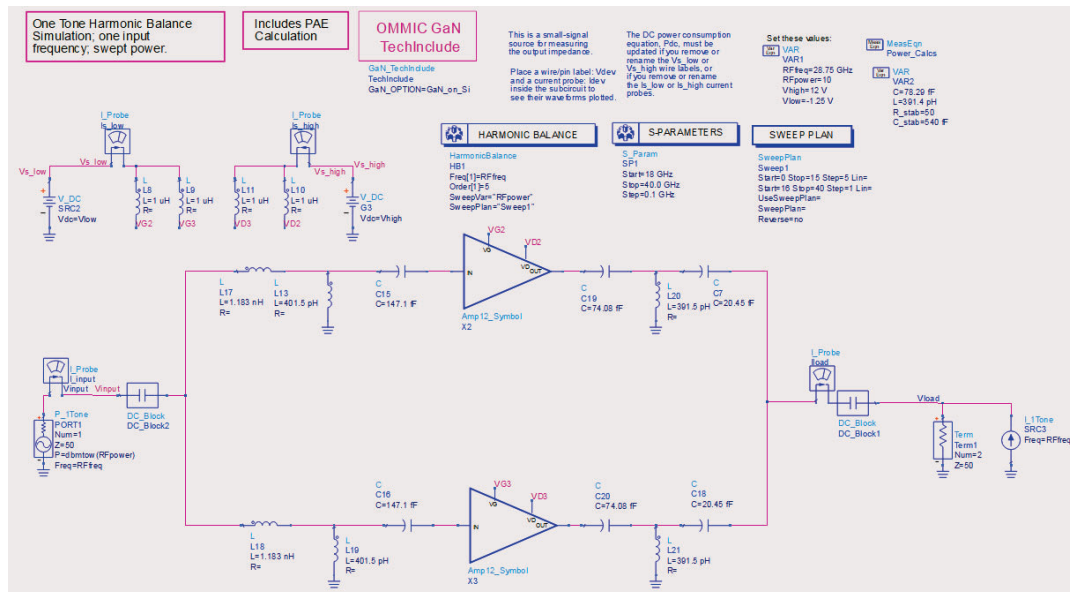


Figura 43. Esquemático con la reducción de componentes

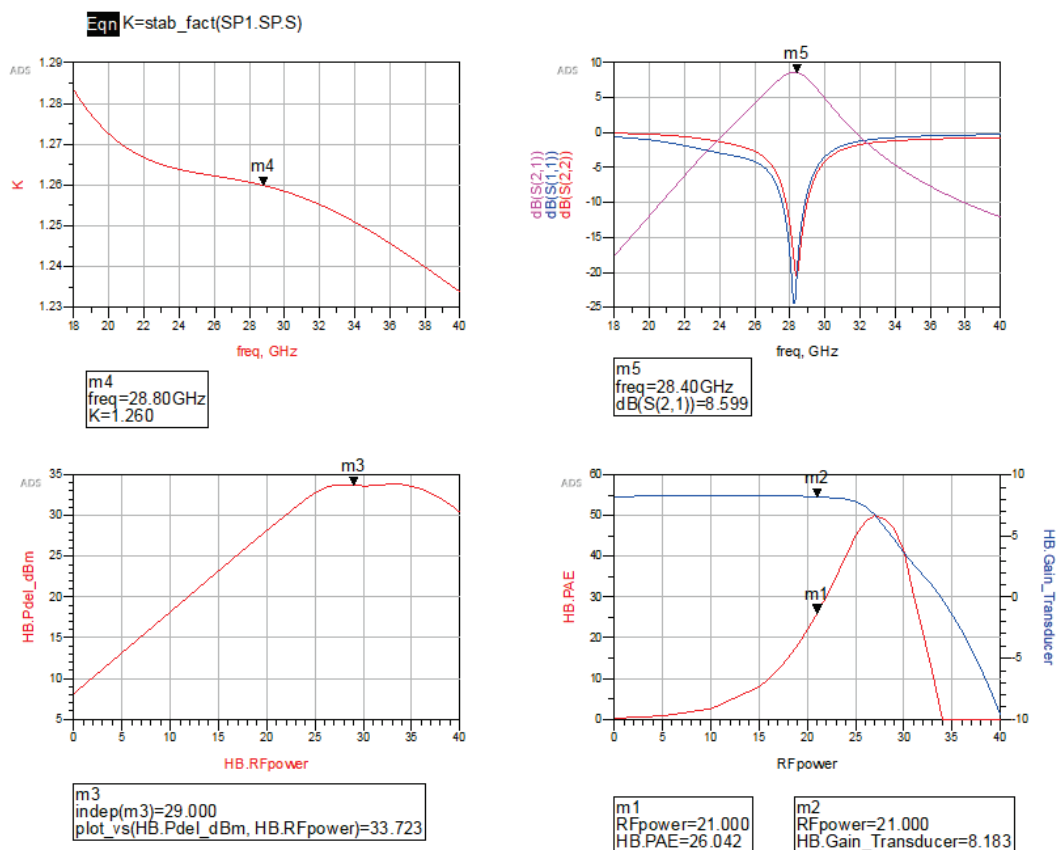


Figura 44. Resultados de las simulaciones con la adaptación reducida.

El siguiente paso fue la sustitución de las bobinas ideales por unas de factor de calidad 12, similares a las que se obtendrían con las de la tecnología. Haciendo dicha

transformación, las prestaciones obtenidas no fueron muy buenas. Por esta razón, se decide transformar estas redes adaptaciones resultante a redes LC, ver Figura 45. De esta manera se consigue reducir de doce a cuatro componentes.

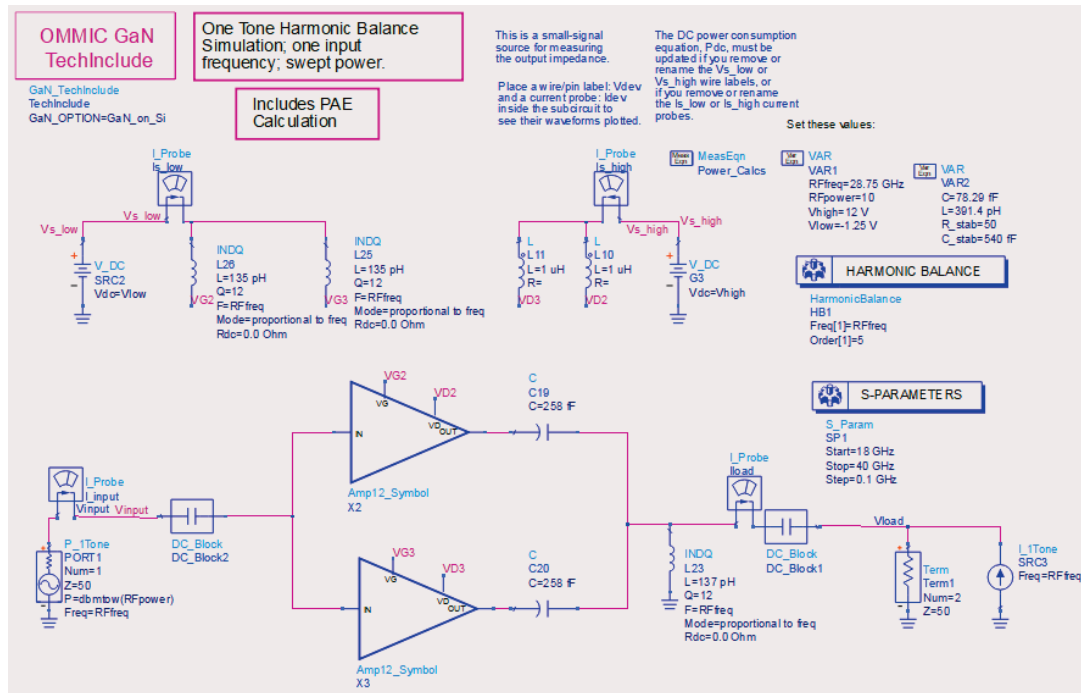


Figura 45. Esquemático final ideal de la 3ª etapa.

El siguiente paso fue sustituir las bobinas y condensadores por componentes reales de la tecnología (Figura 46).

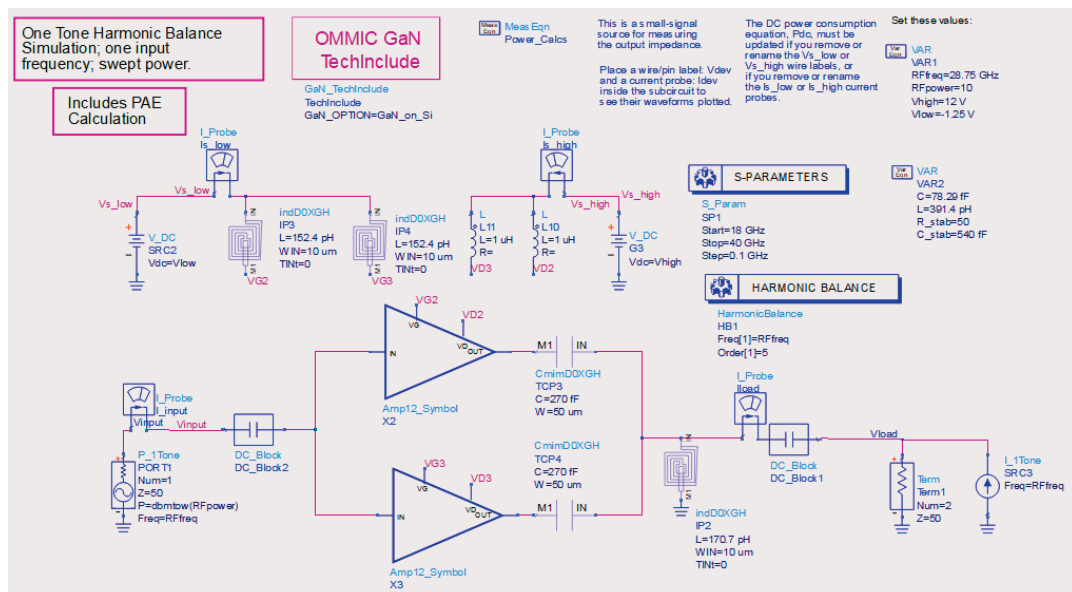


Figura 46. Esquemático con los componentes reales.

Para facilitar la realización del *layout*, se sustituyen los símbolos de una etapa por el circuito completo (Figura 47) y se hace el *layout* del mismo (Figura 48). Esto supone la finalización de la etapa 3 del diseño.

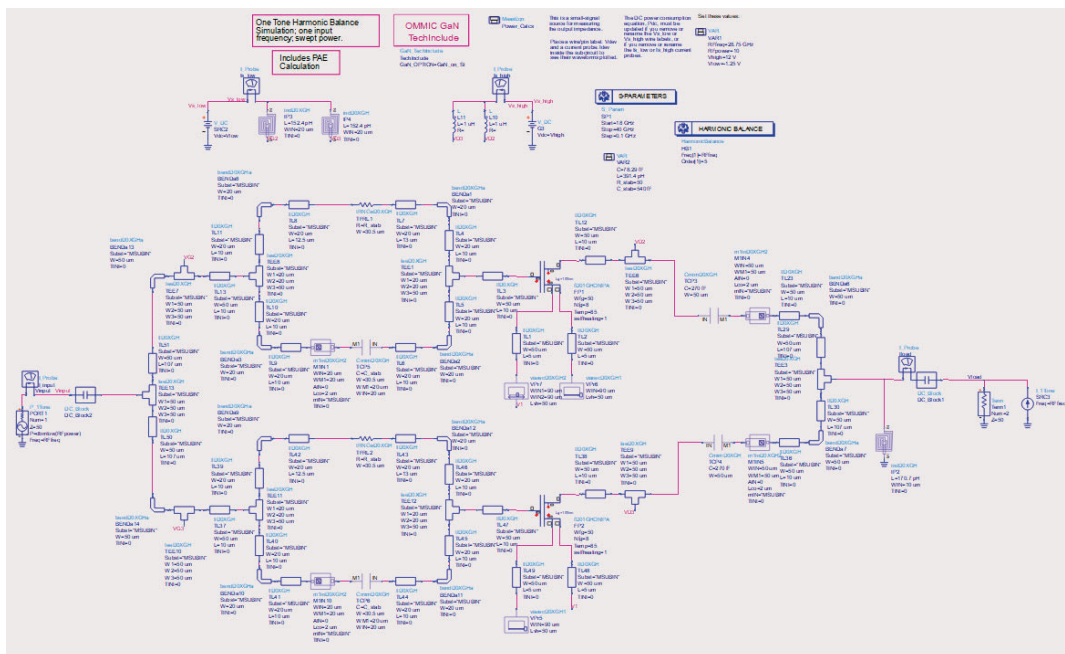


Figura 47. Circuito final de la etapa 3.

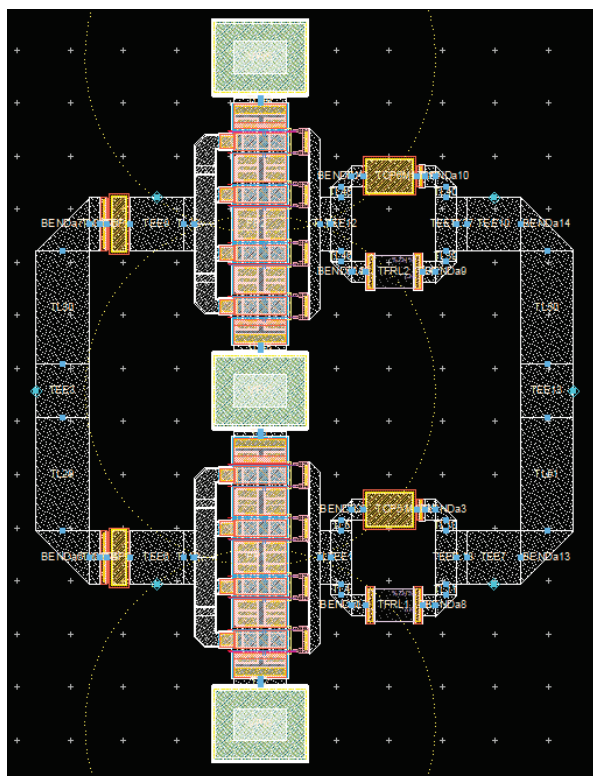


Figura 48. *Layout* de la etapa 3.

4.2 Segunda etapa del amplificador

Una vez finalizado el apartado anterior, se añade la etapa 2. En esta etapa se agrega un amplificador de potencia adaptado para máxima potencia, se realiza la red de adaptación entre etapas y se comprueban los resultados.

En la Figura 49 se muestra el circuito desde el que se comienza a trabajar con esta etapa.

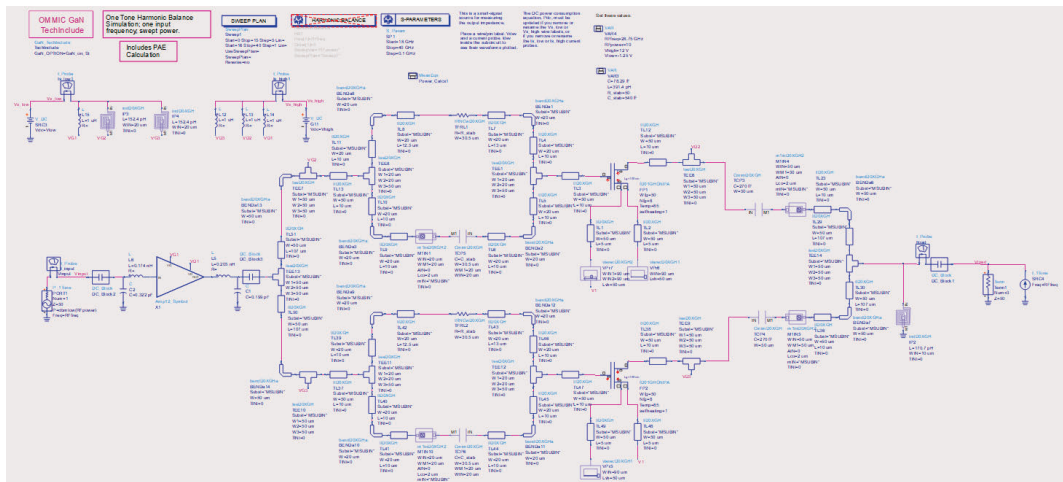


Figura 49. Esquemático incorporando la segunda etapa.

En la siguiente versión del circuito (Figura 50) se ha realizado la adaptación conjunta entre las diferentes etapas.

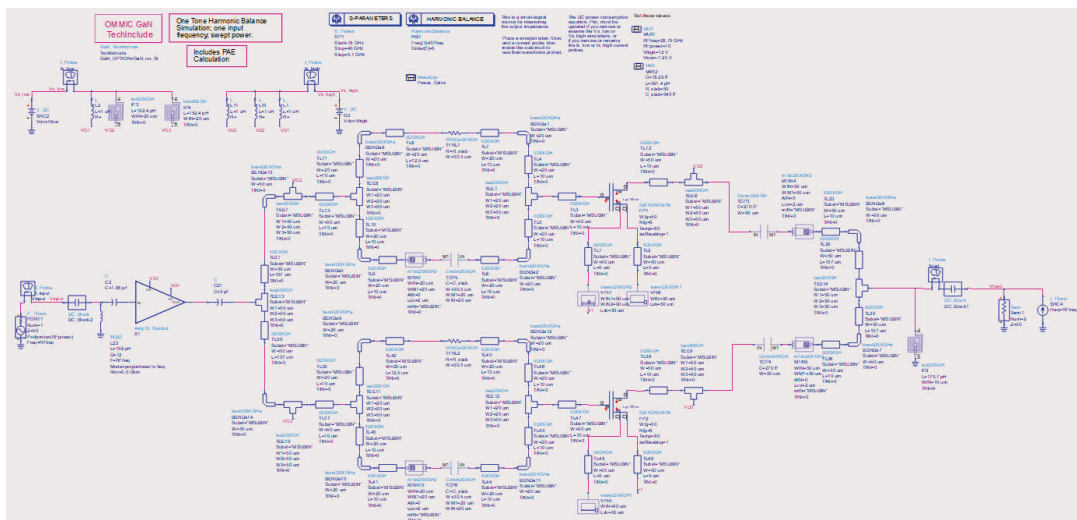


Figura 50. Esquemático con la adaptación conjunta entre etapas

Tras este esquemático se comprueba que las simulaciones tengan unos resultados parecidos a los que se deberían mostrar (Figura 51). Hay que tener en cuenta que todo pequeño cambio suele tener consecuencias en pérdidas de ganancia.

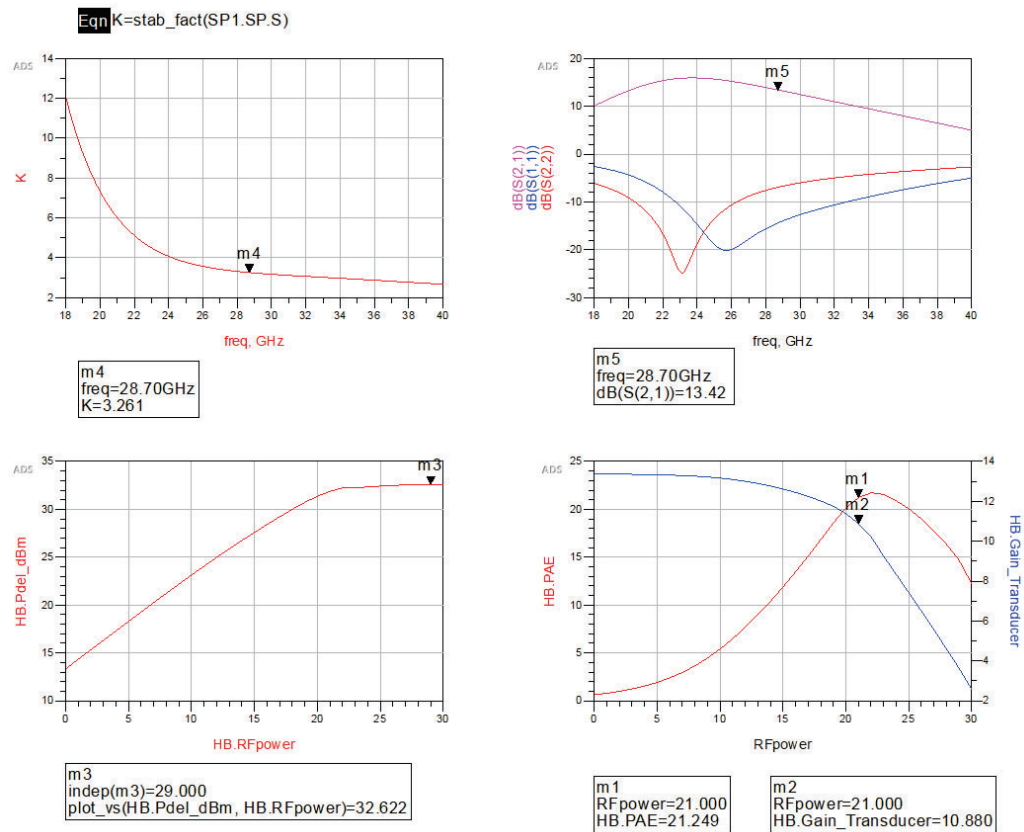


Figura 51. Resultado del análisis de los parámetros S del circuito con dos etapas.

En la posterior imagen que se muestra (Figura 52), se realiza el cambio de componentes ideales a reales.

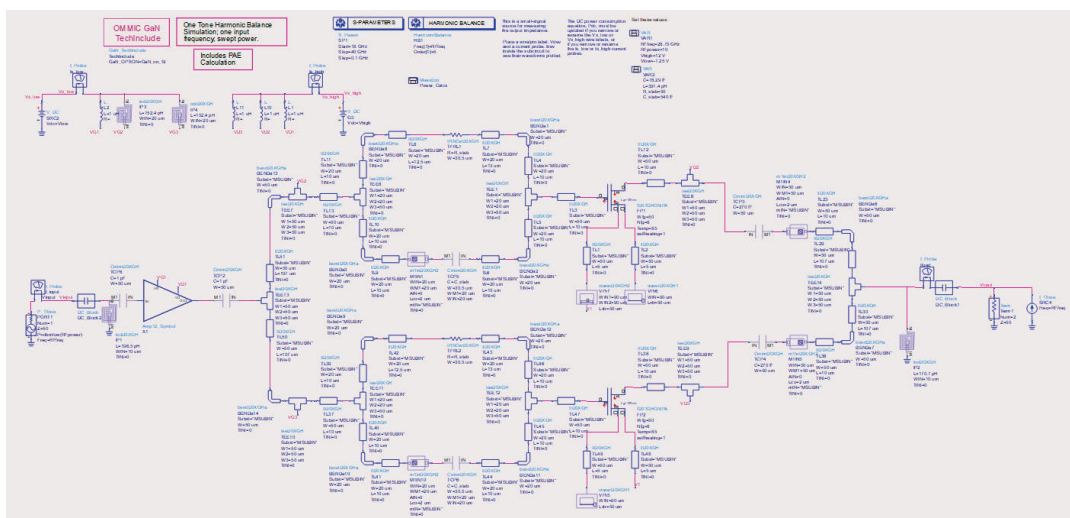


Figura 52. Esquemático con los componentes reales de la segunda etapa.

Para finalizar esta etapa queda cambiar el símbolo por su contenido (Figura 53), presentar los resultados del circuito (Figura 54) y ofrecer un *layout* (Figura 55) que

contemple las dos primeras etapas. Debido a que el esquemático es muy grande y se presenta casi inapreciable, en el Anexo I se puede visualizar con un mayor detalle.

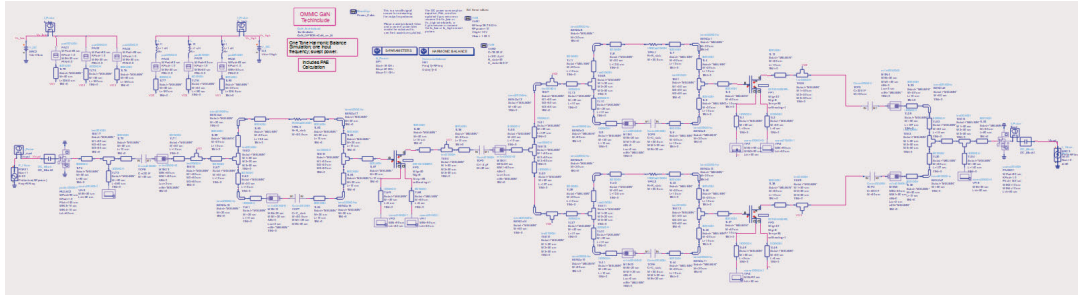


Figura 53. Esquemático final de las dos etapas diseñadas.

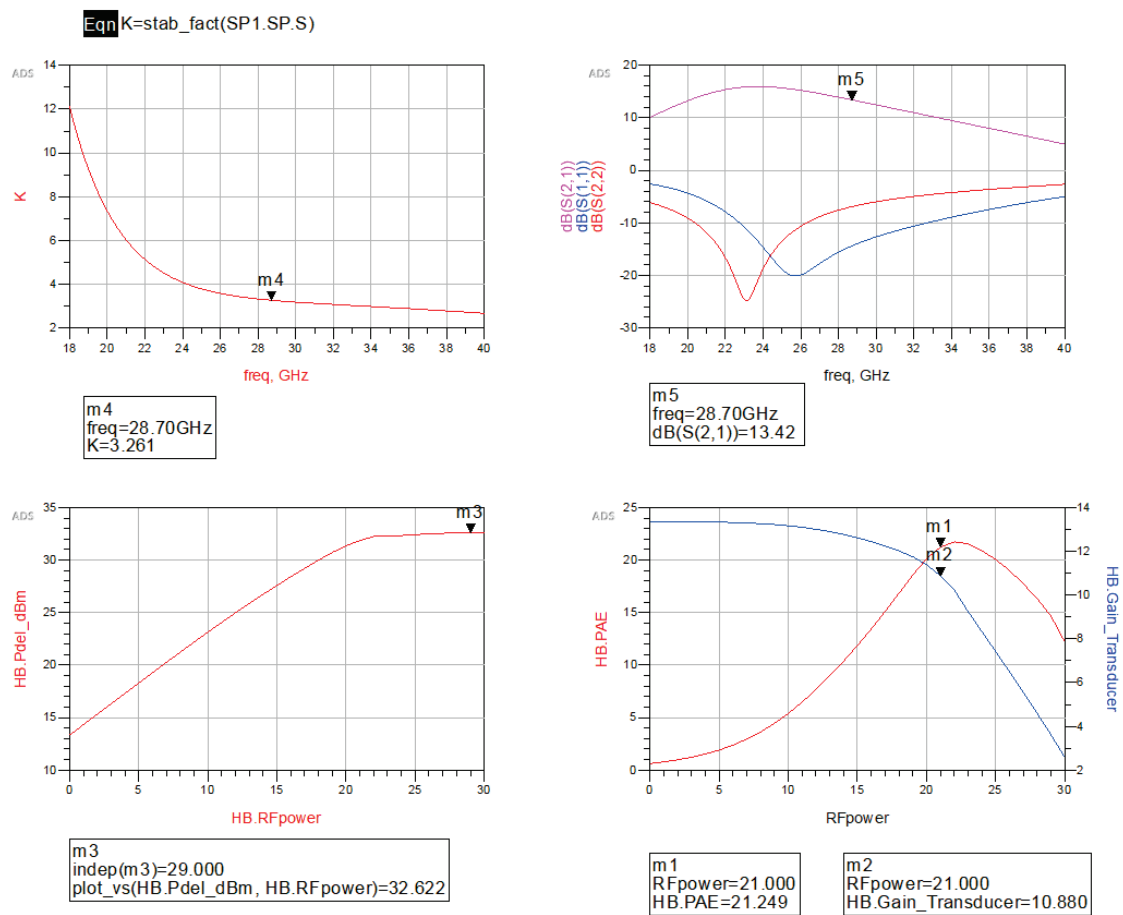


Figura 54. Resultados obtenidos del análisis de dos etapas.

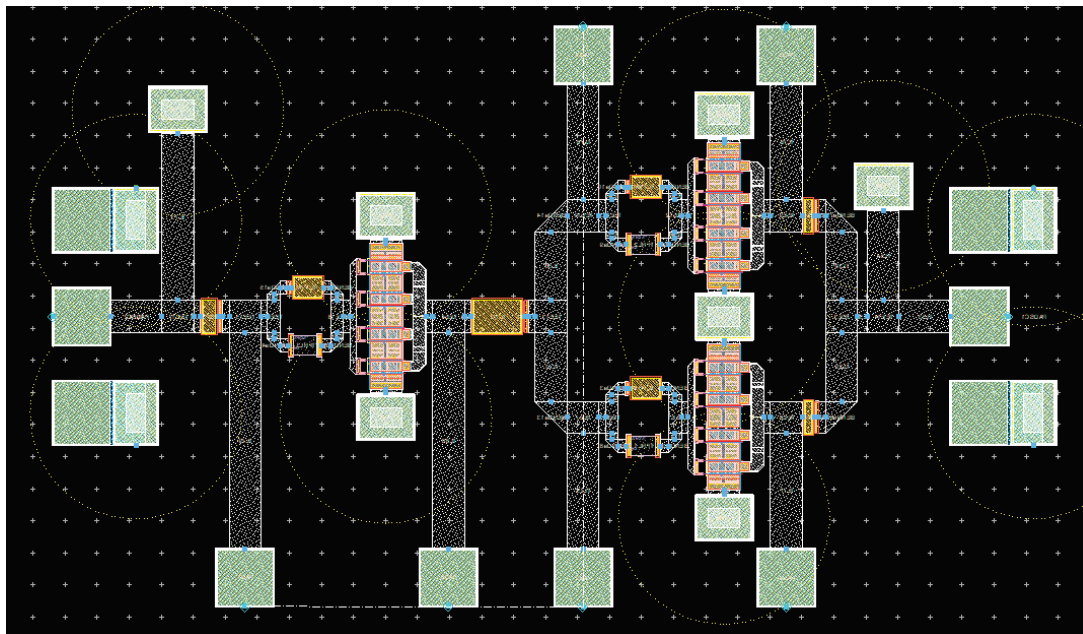


Figura 55. *Layout* referente a dos etapas diseñadas.

4.3 Red en externa al circuito en DC

En cada drenador y puerta de los transistores se debe implementar una red de polarización en DC. Estas redes permitirán que entre la corriente continua y se desvíe la corriente alterna a tierra. Este circuito está basado en una bobina y un condensador, como se muestra en la Figura 56, que tiene como objetivo:

- La bobina:
 - En corriente continua es un cortocircuito, dejando pasar la DC al transistor.
 - En corriente alterna es un circuito abierto, bloqueando la señal de AC.
- El condensador:
 - En corriente continua es un circuito abierto.
 - En corriente alterna es un cortocircuito, reteniendo la AC y desviándola a tierra.

Básicamente, se trata de un filtro paso bajo que protege al amplificador de posibles oscilaciones señales en alterna de la fuente de alimentación que podrían llegar a causar inestabilidades.

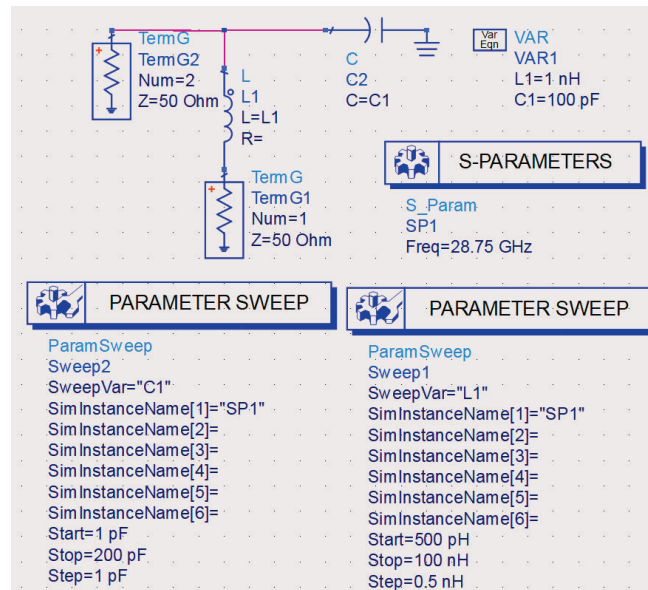


Figura 56. Circuito básico de polarización DC.

Se realiza un barrido en el cual se calcula el valor que deberían tener la bobina y el condensador para que trabajen como se explicó anteriormente (Figura 57)

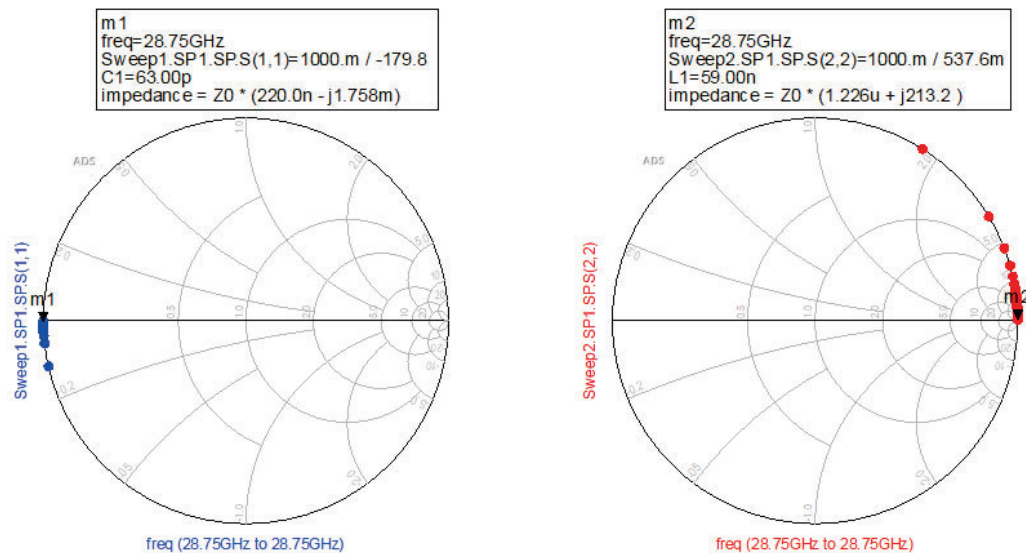


Figura 57. Barrido de C1 para un cortocircuito y de L1 para un circuito abierto.

Para mejorar la red de polarización en DC, se le puede agregar una red de estabilización, la cual trabaja como un filtro que impide realimentaciones a bajas frecuencias que merman la estabilidad del amplificador. En la Figura 58 se puede ver el esquemático y en la Figura 59 los resultados obtenidos para esta red.

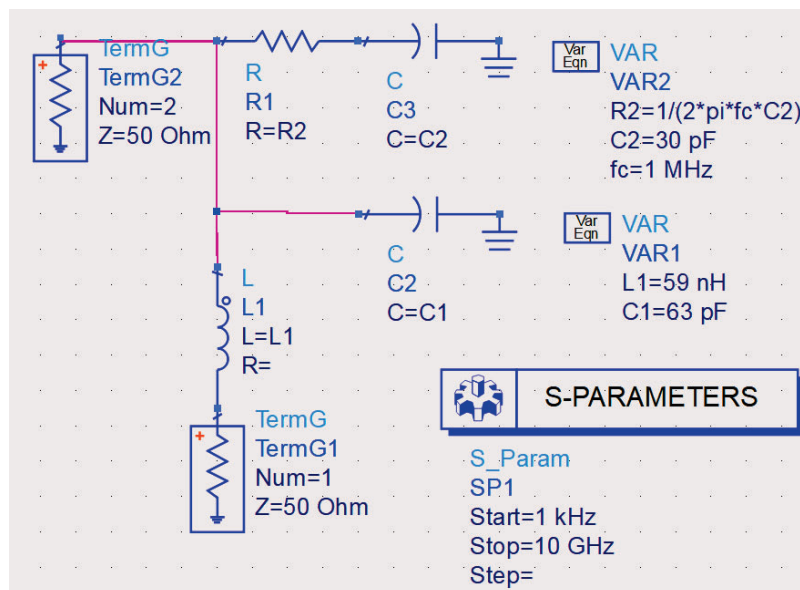


Figura 58. Red de polarización en DC con la red de estabilización.

freq	C2	R2
1.000 kHz	30.00 p	5.305 k
10.00 GHz	30.00 p	5.305 k

Figura 59. Resultados de la red completa de polarización en DC.

En la Figura 60 se muestran los circuitos de polarización resultantes tanto en la puerta como en el drenador.

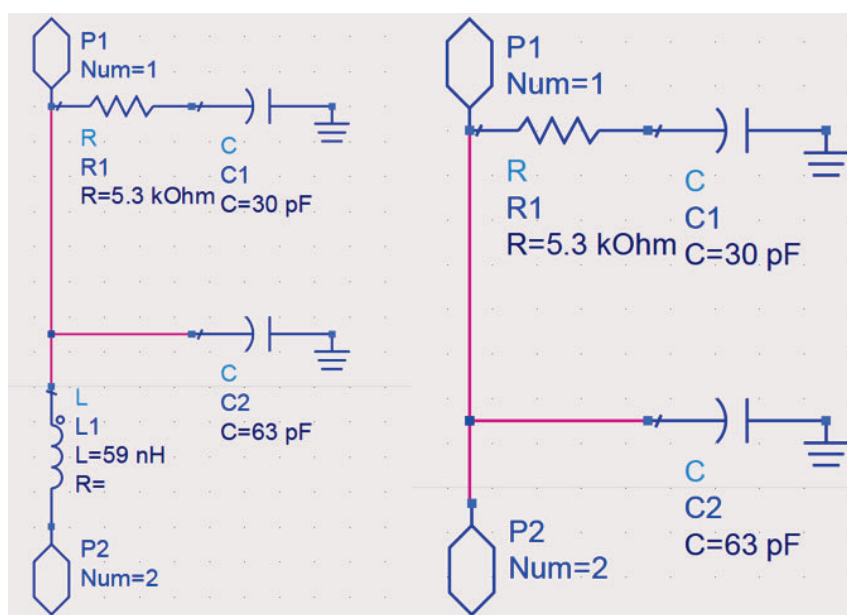


Figura 60. Esquemático de polarización en DC de drenador y puerta.

4.4 Esquemático y *Layout* final

Teniendo en cuenta varios factores como que la etapa que queda por presentar es idéntica a la etapa 2 o que cada vez que aparece una etapa nueva se hace un reajuste completo de las redes de adaptación conjuntas del circuito para obtener los mejores resultados posibles, en este subapartado sólo se van a presentar la Figura 61 con el esquemático final del diseño (también mostrada en el Anexo II), la Figura 62 con los resultados del análisis de los parámetros S y, por último, la Figura 63 con el *layout* final del circuito (Anexo III).

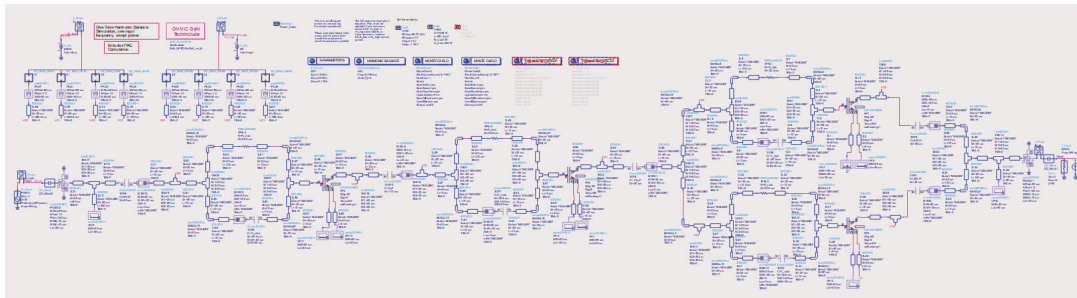


Figura 61. Diseño final en esquemático.

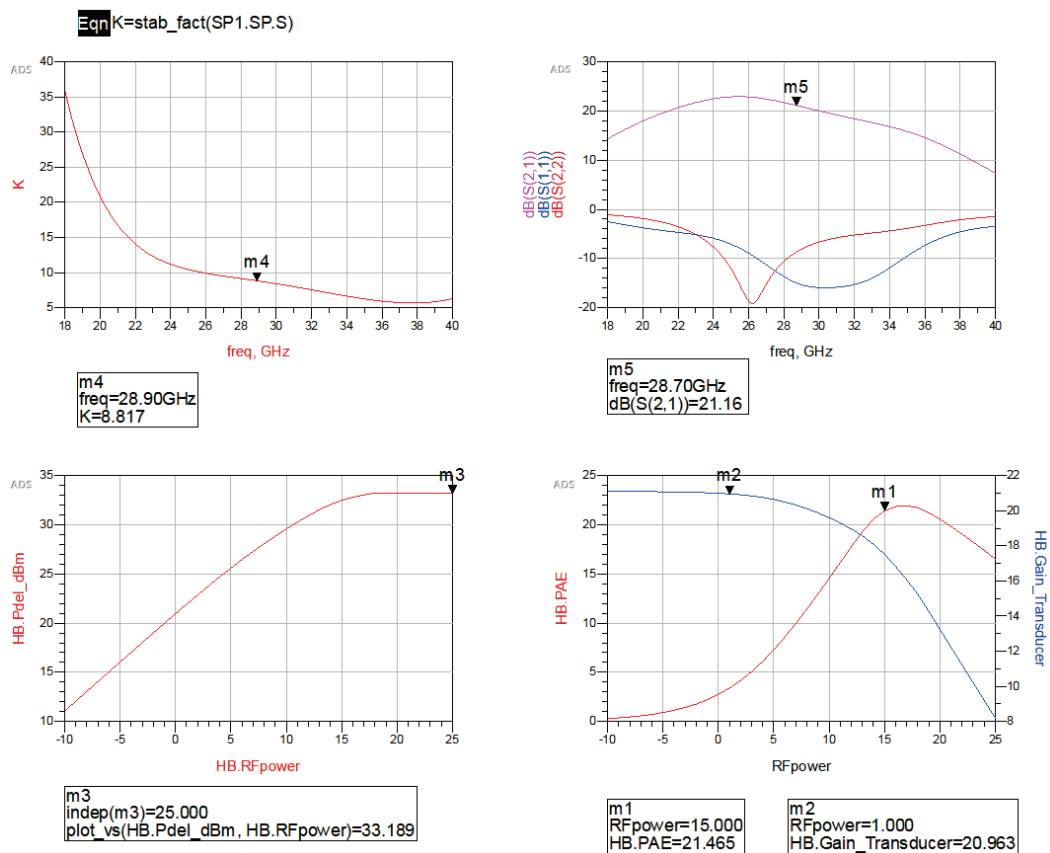


Figura 62. Resultados del análisis de los parámetros S del circuito final.

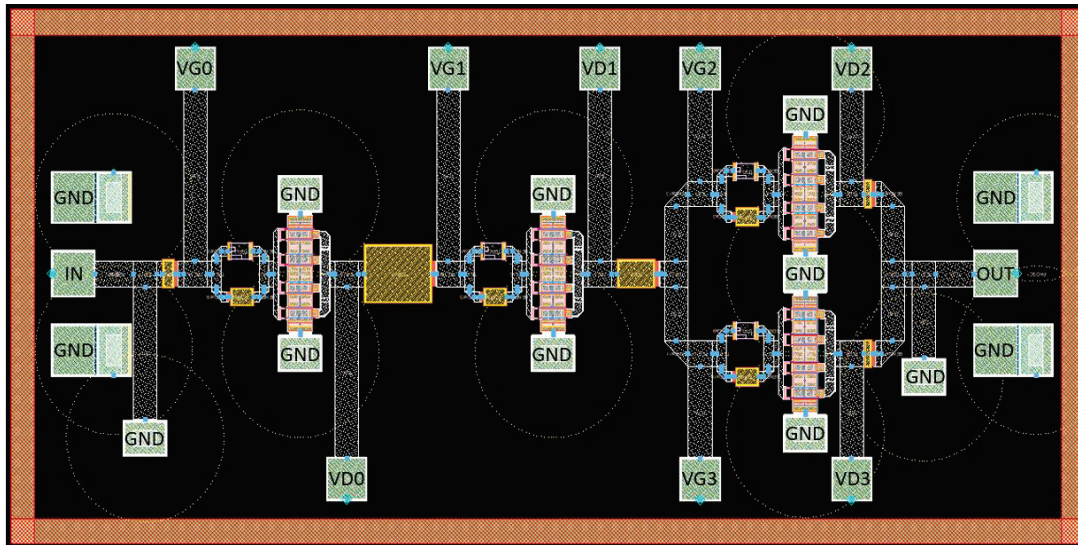


Figura 63. *Layout* final del diseño.

En la Figura 63 se han añadido tanto los *pads* de entrada como los de salida, así como las etiquetas a todos los pines del circuito. Se ha obtenido una ganancia de 21,16 dB, una potencia de saturación de 33,189 dBm y un PAE máximo de 21,94 % para la frecuencia central de la banda, 28,75 GHz.

Capítulo 5. Conclusiones

Después de realizar el diseño de un amplificador de potencia en banda Ka, queda ultimar algunos detalles. Para ello, se plantean dos subapartados en este capítulo, donde se analizarán las conclusiones y los resultados obtenidos con este proyecto y se marcarán las líneas a seguir tras éste TFM.

5.1 Conclusiones y resultados

En el presente trabajo fin de máster se ha afrontado el análisis de la tecnología D01GH de la *foundry* OMMIC y se ha realizado el diseño en esquemático de un amplificador de potencia personalizado para el proyecto “Desarrollo de los circuitos electrónicos basados en MMICs a medida para la conformación de haz en sistemas avanzados de radar y comunicaciones”.

Inicialmente se estudió la tecnología que podría ofrecer la fundidora y se escogió la tecnología más conveniente para este diseño. Se tuvo en cuenta que se trabajaba bajo la sombra de un proyecto mayor y que se necesita cumplir con algunas especificaciones para poder presentarlo como opción de fabricación, evitando que se use otro amplificador que no se ajuste a las necesidades de ese estudio.

A continuación, se realiza un diseño de un amplificador de una sola etapa, realizando todos los análisis posibles para conocer por completo las posibilidades que brinda la tecnología y poder estructurar y calcular las necesidades para el planteamiento final del proyecto. Para ello se realizaron diferentes estudios como pueden ser las iteraciones de *Load-Pull* y *Source-Pull* o revisar los parámetros S para comprobar que se están cumpliendo ciertos objetivos. Esta parte se finaliza con la implementación del *layout* de una etapa, que posteriormente sería reutilizado.

Finalmente se comienza con el diseño del amplificador multietapa. Se descubre que la mejor forma de llegar a las prestaciones es con tres etapas en cascada, las dos primeras para máxima ganancia y la última para máxima potencia (Figura 39). La tercera etapa no sólo va a ser diferente en el tipo de amplificador usado, sino que va a estar compuesta por dos amplificadores mono-etapa en paralelo. Debido a la complejidad que supone la última etapa, se decide comenzar por el final e ir incrementando las etapas hasta llegar al inicio. En medio de todo este diseño se realizan constantemente adaptaciones conjuntas y adaptaciones a la entrada y salida del circuito, pues son necesarias para obtener los mejores resultados posibles.



Debido a que la idea inicial que se ha establecido es tener la posibilidad de fabricar este amplificador, el último paso para poder ponerlo en práctica es realizar una simulación Monte Carlo (Figura 64).

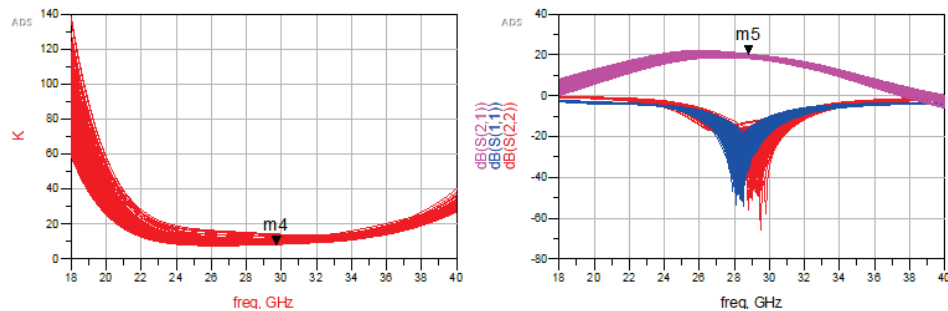


Figura 64. Análisis de Monte Carlo en pequeña señal.

En la Tabla 5.1 se plantea una comparativa entre las especificaciones y los resultados obtenidos, de tal manera que se conozca el alcance de éste TFM.

Tabla 5.1. Comparativa entre especificaciones iniciales y resultados obtenidos (valores típicos)

	Especificaciones iniciales	Resultados obtenidos (valores típicos) @85°C		
Frecuencia	27,5 – 30 GHz	27,5 GHz	28,75 GHz	30 GHz
Ganancia en pequeña señal	20 dB	22,2 dB	21,16 dB	20,04 dB
Ganancia en gran señal	20 dB	22,1 dB	20,96 dB	20,02 dB
Adaptación de entrada (S11)	< -10 dB	-12,51 dB	-14,95 dB	-15,93 dB
Adaptación de salida (S22)	< -10 dB	-12,48 dB	-8,7 dB	-6,63 dB
PAE máxima	Máxima	27,15 %	21,94 %	17,76 %
Potencia de saturación a 5 dB de compresión	25 – 30 dBm	34,02 dBm	33,19 dBm	32,82 dBm
Consumo de potencia en Psat a 5 dB	Menor posible	10 W	10,5 W	11,5 W

Como se ha podido comprobar en la Tabla 5.1, se han cumplido los objetivos del TFM excepto la adaptación de salida para las frecuencias central y superior. Se ha llegado a un buen compromiso entre todas las especificaciones requeridas. No obstante, se podría mejora la adaptación de salida degradando algún otro parámetro del amplificador, como, por ejemplo, la ganancia o la potencia de saturación.



5.2 Líneas futuras

Las líneas venideras están basadas en la posibilidad de que este amplificador sea aceptado para el marco del proyecto “Desarrollo de los circuitos electrónicos basados en MMICs a medida para la conformación de haz en sistemas avanzados de radar y comunicaciones”. Por ello, existen nuevas líneas de desarrollo que se podrían tener en cuenta:

- Mejorar las adaptaciones a la salida, con el objetivo de terminar de cumplir las especificaciones marcadas. Una manera de conseguirlo es mejorar las inductancias del circuito haciendo inductores a medida.
- Realizar las simulaciones electromagnéticas del layout, es decir, comprobar las influencias electromagnéticas que puedan estar generando los componentes.
- Mandar a fabricar el dispositivo final.
- Medida con la estación de puntas del amplificador comprobando que los datos simulados coincidan con las medidas.
- Integración del amplificador en el sistema final del proyecto de investigación.



Bibliografía

- [1] "MARKET PULSE REPORT, INTERNET OF THINGS (IoT) ". United Kingdom, 2017.
- [2] A. Christie, "RF MEMS based ka band phased array antenna prototype", European Space Agency, 2018. [Online]. Available: <https://artes.esa.int/projects/rf-mems-based-ka-band-phased-array-antenna-prototype>. [Accessed: 20 - Feb - 2021].
- [3] J. Drake Moyano, Amplificadores de potencia. Cantabria, 2005.
- [4] "Frecuencia satelital banda ka ¿Qué es y cómo funciona?", axessnet, 2019. [Online]. Available: <https://axessnet.com/frecuencia-satelital-banda-ka/>. [Accessed: 24- Mar- 2021].
- [5] "CORDIS | European Commission", Cordis.europa.eu, 2018. [Online]. Available: <https://cordis.europa.eu/news/rcn/129333/es>. [Accessed: 20- Feb- 2021].
- [6] "Arseniuro de galio - EcuRed", Ecured.cu. [Online]. Available: https://www.ecured.cu/Arseniuro_de_galio#Ventajas. [Accessed: 12- Mar- 2021].
- [7] M. Luque, "Tecnología de silicio-germanio", Solociencia.com. [Online]. Available: <https://www.solociencia.com/electronica/11010308.htm>. [Accessed: 12- Mar- 2021].
- [8] "GaN Breaks Barriers - Tech Briefs: Aerospace & Defense Technology", Aerodefensetech.com, 2017. [Online]. Available: <https://www.aerodefensetech.com/component/content/article/adt/features/articles/27662>. [Accessed: 12- Mar- 2021].
- [9] A. Díaz Carballo, "Diseño de un amplificador integrado en configuración chireix en tecnología GaN", Grado, Universidad de Las Palmas de Gran Canaria, 2019.
- [10] "Clases de amplificador y la clasificación de amplificadores", Tutorialesdeelectronica basica.blogspot.com. [Online]. Available: <http://tutorialesdeelectronica basica.blogspot.com/2018/06/clases-de-amplificador-y-la.html>. [Accessed: 26- Apr- 2021].
- [11] M. Cordero Limón, "Diseño e Implementación en FPGA de un Sistema Conformador Digital de Haz para un Array de Antenas Embarcado en un UAV", Máster, Universidad de Sevilla, 2013.
- [12] "Antenas en fase", Es.wikipedia.org. [Online]. Available: https://es.wikipedia.org/wiki/Antenas_en_fase. [Accessed: 15- Mar- 2021].



- [13] J. Ruiz Cruz, J. Masa Campos and J. Córcoles Ortega, "Antenas y circuitos de alta frecuencia", Arantxa.ii.uam.es, 2011. [Online]. Available: <http://arantxa.ii.uam.es/~acaf/>. [Accessed: 15- Mar- 2021].
- [14] D. Lastra Lamarca, "Diseño de un amplificador monolítico en banda Ku utilizando tecnología GaN (GaN-HEMT LNA MMIC from 13.5 to 18 GHz)", Máster, Universidad de Cantabria, 2017.
- [15] "OMMIC | Innovating with III – V's", Ommic.com. [Online]. Available: <https://www.ommic.com/>. [Accessed: 20- Mar- 2021].
- [16] Edadownload.software.keysight.com, 2011. [Online]. Available: <http://edadownload.software.keysight.com/eedl/ads/2011/pdf/adstour.pdf>. [Accessed: 25- Mar- 2021].
- [17] J. Wetherell, "Impedance Matching Network Designer", Home.sandiego.edu. [Online]. Available: <https://home.sandiego.edu/~ekim/e194rfs01/jwmatcher/matcher2.html>. [Accessed: 05- May- 2021].
- [18] M. Jamlos, M. Jamlos, S. Khatun and A. Ismail, "An optimum quarter-wave impedance matching feedline for circular UWB array antenna with high gain performance", IEEE Symposium on Wireless Technology and Applications (ISWTA), 2014.
- [19] A. Albert, "Electrical Communication - Equivalence of T and Pi Sections", Vias.org, 2021. [Online]. Available: http://www.vias.org/albert_ecomm/aec05_electric_networks_006.html. [Accessed: 31- May- 2021].



Parte II: Pliego de Condiciones



Pliego de condiciones

El Pliego de Condiciones expone las condiciones bajo las que se ha desarrollado el presente trabajo. A continuación, se muestran el conjunto de herramientas *hardware* y *software* empleadas durante su realización.

PC.1 Condiciones *Hardware*

En la Tabla PC. 1 se presentan los equipos *hardware* utilizados.

Tabla PC.1. Equipos hardware.

Dispositivo/Herramienta	Modelo	Fabricante/Comerciante
Ordenador Portátil	Aspire 3	Acer

PC.2 Condiciones *Software*

En la Tabla PC.2 se exponen las herramientas *software* utilizadas, especificando su versión.

Tabla PC.2. Herramientas software.

Software	Versión	Desarrollador
Sistema operativo portátil	Microsoft Windows 10 Home	Microsoft
Advanced Desing System 2021	2021	Keysight Technologies
Microsoft Office	Microsoft Office 365 ProPlus	Microsoft
Microsoft Visio	2016	Microsoft
Google Chrome	V 71.0.3578.98/ 64 bits	Google
Adobe Reader	V11.0.21.18	Adobe Systems Software Ireland Ltd.

PC.3 Condiciones *Firmware*

En este TFM no se hizo uso de ningún Firmware, por ello este apartado no requiere información.





Parte III: Presupuesto



PRESUPUESTO

Este capítulo es en el que se tendrán en cuenta los gastos generados en la realización de presente TFM. Dicho presupuesto está compuesto por:

- Trabajo tarifado por tiempo empleado.
- Amortización del inmovilizado material, dividida a su vez en:
 - Amortización del material hardware.
 - Amortización del material software.
- Redacción de la documentación.
- Derechos de visado del COITT (Colegio Oficial de Ingenieros Técnicos de Telecomunicación).
- Gastos de tramitación y envío.
- Material fungible.

Una vez analizados cada uno de los criterios establecidos, se aplicarán los impuestos vigentes y se procederá a la obtención del coste total del Trabajo Fin de Máster. Hay que tener en cuenta que se utilizan las fórmulas de un Ingeniero Técnico de Telecomunicación debido a que este máster pese a tener la excelencia, no es habilitante.

P.1 Trabajo tarifado por tiempo empleado

Este concepto contabiliza los gastos que corresponden a la mano de obra, según el salario correspondiente a la hora de trabajo de un Ingeniero Técnico de Telecomunicación. Se propone utilizar la siguiente fórmula:

$$H = Ct \times 74,88 \times Hn + Ct \times 96,72 \times He \quad (1)$$

Donde:

- H: Honorarios totales por el tiempo dedicado.
- Hn: Número de horas normales trabajadas dentro de la jornada laboral.
- Ct: Factor de corrección que depende del número de horas trabajadas.
- He: Número de horas especiales trabajadas.

Para la realización del presente TFM se han invertido un total de 300 horas. Todas ellas se han realizado dentro del horario normal, por lo que el número de horas especiales es cero. Además, de acuerdo a lo establecido por el COITT, el factor de corrección Ct a aplicar para 300 horas trabajadas es de 0,60, tal y como se puede comprobar en la Tabla P.1:



Tabla P.1. Coeficientes reductores para trabajo tarificado (COIT).

Horas	Factor de corrección
Hasta 36	1,00
Exceso de 36 hasta 72	0,90
Exceso de 72 hasta 108	0,80
Exceso de 108 hasta 144	0,70
Exceso de 144 hasta 180	0,65
Exceso de 180 hasta 360	0,60
Exceso de 360 hasta 510	0,55
Exceso de 510 hasta 720	0,50
Exceso de 720 hasta 1080	0,45
Exceso de 1080	0,40

Por tanto, utilizando la fórmula (1) ofrecida por el COITT:

$$H=0,6 \times 74,88 \times 300+ 0,6 \times 96,72 \times 0=13478,40\text{€} \quad (2)$$

Por lo tanto, el trabajo tarificado por tiempo empleado asciende a la cantidad de trece mil cuatrocientos setenta y ocho euros con cuarenta céntimos.

P.2 Amortización del inmovilizado material

Para la realización de este Trabajo Fin de Máster han sido necesarios tanto recursos hardware como recursos software. La amortización de estos recursos se calcula sobre el tiempo útil de los mismos. El sistema de amortización se toma como lineal siguiendo la siguiente fórmula (3):

$$\text{Cuota} = \frac{\text{Valor de la adquisición-Valor residual}}{\text{Tiempo de vida útil}} \quad (3)$$

P.2.1 Recursos *Hardware*

Debido a que la duración de este Trabajo Fin de Máster es de tan solo 4 meses, siendo este periodo muy inferior al de 3 años estipulado para el coste de amortización, los costes se calcularán en base a los derivados de los primeros 4 meses.

En la Tabla P.2 se especifica el *hardware* amortizable necesario para la realización del trabajo, indicando su valor de adquisición y su amortización, teniendo en cuenta un tiempo de uso de 4 meses, excepto con los materiales o dispositivos que, por su

condición de bajo coste y utilización, donde su amortización coincide con su coste de adquisición.

Tabla P.2. Recursos hardware.

Dispositivo/Herramienta	Valor de adquisición	Amortización
Ordenador portátil	599,00€	66,58€
Total <i>hardware</i>	599,00€	66,58€

El coste total del material *hardware* asciende a sesenta y seis euros con cincuenta y ocho céntimos.

P.2.2 Recursos *Software*

Para el cálculo de los costes de amortización del material *software* se considerarán, al igual que con el material hardware, los costes derivados de los primeros 4 meses.

La Tabla P.3 muestra los elementos *software* necesarios para la realización del trabajo, así como su valor de adquisición y su amortización.

Tabla P.3. Recursos software.

<i>Software</i>	Valor de adquisición	Amortización
Sistema operativo portátil	Licencia ULPGC	0,00€
<i>Pathwave Advanced Desing System</i>	Licencia ULPGC	0,00€
<i>Microsoft Office</i>	Licencia ULPGC	0,00€
<i>Microsoft Visio</i>	Licencia ULPGC	0,00€
<i>Google Chrome</i>	<i>Software libre</i>	0,00€
<i>Adobe Reader</i>	<i>Software libre</i>	0,00€
Total <i>software</i>	0,00€	0,00€

Así que el software total del material *software* asciende a cero euros.

P.3 Redacción del Trabajo Fin de Máster

Se ha utilizado la fórmula (4) para determinar el coste asociado a la redacción de la presente memoria.

$$R = 0,07 \times P \times Cn \quad (4)$$

Donde:

- R: son los honorarios por la redacción del trabajo.
- P: es el presupuesto.
- Cn: es el coeficiente de ponderación en función del presupuesto.



El valor del presupuesto se calcula sumando los costes del trabajo tarifado por tiempo empleado y de la amortización del inmovilizado material, tanto *hardware* como *software*. El resultado de los costes se muestra en la Tabla P.4.

Tabla P.4. Presupuesto.

Concepto	Coste
Trabajo tarifado por tiempo empleado	13478,40€
Recursos <i>hardware</i>	66,58€
Recursos <i>software</i>	0,00€
Total	13544,98€

El presupuesto acumulado hasta el momento es de 13544,98€. Por su parte, el valor del coeficiente de ponderación C_n tiene valor unitario ya que se trata de un proyecto que no supera los 30.050,00€ de coste.

Por lo tanto:

$$R = 0,07 \times 13544,98 \times 1 = 948,15€ \quad (5)$$

Los costes de redacción del presente TFM libres de impuestos ascienden a novecientos cuarenta y ocho euros con quince céntimos.

P.4 Derechos de visado del COITT

El COITT establece que, para proyectos técnicos de carácter general, los derechos de visado para 2019 se calculan en base a (6).

$$V = 0,006 \times P1 \times C1 + 0,003 \times P2 \times C2 \quad (6)$$

Donde:

- V es el coste de visado del trabajo.
- P1 es el presupuesto del proyecto.
- C1 es el coeficiente reductor en función del presupuesto.
- P2 es el presupuesto de ejecución material correspondiente a la obra civil.
- C2 es el coeficiente reductor en función a P2.

El valor del presupuesto P1 se halla sumando los costes de las secciones correspondientes al trabajo tarifado por tiempo empleado, a la amortización del inmovilizado material y a la redacción del documento. Esta suma se muestra en la Tabla P.5. Al igual que en el caso anterior, el coeficiente C1 para proyectos de presupuesto inferior a 30050,00€ es de 1,00€, asimismo el valor de P2 es de 0,00€ ya que no se realiza ninguna obra.

Tabla P.5. Presupuesto, incluyendo trabajo tarifado, amortización y redacción del trabajo.

Concepto	Coste
Trabajo tarifado por tiempo empleado	13478,40€
Recursos <i>hardware</i>	66,58€
Recursos <i>software</i>	0,00€
Redacción del TFM	948,15€
Total	14493,13€

De esta forma, aplicando a la fórmula (6) los datos descritos sobre estas líneas y el coeficiente especificado se obtiene:

$$V = 0,006 \times 14493,13 \times 1 + 0,003 \times 0 \times C2 = 86,96€ \quad (7)$$

Los costes por derechos de visado del presupuesto ascienden a ochenta y seis euros con noventa y seis céntimos.

P.5 Gastos de tramitación y envío

Los gastos derivados de la tramitación y envío ascienden a *seis* euros (6,00 €) por cada documento visado de forma telemática.

P.6 Material fungible

En este TFM no existe material fungible porque todos los documentos a entregar, incluidos la memoria, el póster o el resumen, son tramitados de manera telemática. Por lo tanto, el material fungible asciende a cero euros (0,00 €).

P.7 Aplicación de impuestos

Para la actividad económica del presente TFM el valor del Impuesto General Indirecto Canario (IGIC) graba el presupuesto con un 7 %. El coste total del proyecto se desglosa en la Tabla P.6.



Tabla P.6. Presupuesto total del Trabajo Fin de Máster.

Concepto	Coste
Trabajo tarificado por tiempo empleado	13478,40€
Recursos <i>hardware</i>	66,58€
Recursos <i>software</i>	0,00€
Redacción del TFM	948,15€
Derechos de visado del COITT	86,96€
Gastos de tramitación y envío	6,00€
Materiales fungibles	0,00€
Total (sin IGIC)	14586,09€
IGIC (7%)	1021,02€
Total (con IGIC)	15607,11€

El importe al que asciende el presupuesto del presente TFM (“Diseño de un amplificador de potencia en banda Ka para antenas *phased array*”) es de un total de quince mil seiscientos siete euros con once céntimos. Este presupuesto está calculado según las retribuciones que propone el COITT, pero desde 2011 esta entidad ha favorecido el libre comercio, donde el ingeniero técnico propone un coste propio al proyecto realizado. Siendo ésta una posibilidad tangible, se establecen los siguientes cálculos como presupuesto oficial de este Trabajo Fin de Máster:

P.7.1 Trabajo tarificado por tiempo empleado

Como queda demostrado en el apartado P1.1, este concepto contabiliza los gastos que corresponden a la mano de obra, según el salario correspondiente a la hora de trabajo de un Ingeniero Técnico de Telecomunicación. Reutilizando la fórmula (1), pero variando el sueldo que se obtiene por horas trabajadas, queda:

$$H=0,6 \times 25,00 \times 300+ 0,6 \times 30,00 \times 0=4500,00\text{€} \quad (8)$$

Por lo tanto, el trabajo tarificado por tiempo empleado asciende a la cantidad de cuatro mil quinientos euros.

P.7.2 Amortización del inmovilizado material

Para la realización de este Trabajo Fin de Máster han sido necesarios tanto recursos hardware como recursos software, que quedaron tasados en el apartado P.2 y que asciende a la cantidad de 66,58€ correspondientes a los recursos hardware y 0,00€ de los recursos software.

P.7.3 Redacción del Trabajo Fin de Máster

Volviendo a usar la fórmula (4) para determinar el coste asociado a la redacción de la presente memoria. El resultado de los costes se muestra en la Tabla P.7.

Tabla P.7. Presupuesto.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4500,00€
Recursos <i>hardware</i>	66,58€
Recursos <i>software</i>	0,00€
Total	4566,58€

El presupuesto acumulado hasta el momento es de 4566,58€. Por su parte, el valor del coeficiente de ponderación C_n tiene valor unitario ya que se trata de un proyecto que no supera los 30.050,00€ de coste.

Por lo tanto:

$$R = 0,07 \times 4566,58 \times 1 = 319,66€ \quad (9)$$

Los costes de redacción del presente TFM libres de impuestos ascienden a trescientos diecinueve euros con sesenta y seis céntimos.

P.7.4 Derechos de visado del COITT

El COITT establece que, para proyectos técnicos de carácter general, los derechos de visado para 2019 se calculan en base a la formula (6), de tal manera que con los nuevos datos queda:

$$V = 0,006 \times (4566,58 + 319,66) \times 1 + 0,003 \times 0 \times C_2 = 29,32€ \quad (10)$$

Los costes por derechos de visado del presupuesto ascienden a veintinueve euros con treinta y dos céntimos.

P.7.5 Gastos de tramitación y envío

Los gastos derivados de la tramitación y envío ascienden a *seis* euros (6,00 €) por cada documento visado de forma telemática.

P.7.6 Material fungible

Como ya se mencionó en el apartado P.6, en este TFM no existe material fungible. Por lo tanto, el coste asciende a cero euros (0,00 €).

P.7.7 Aplicación de impuestos

Para la actividad económica del presente TFM el valor del Impuesto General Indirecto Canario (IGIC) graba el presupuesto con un 7 %. El coste total del proyecto se desglosa en la Tabla P.8.



Tabla P.8. Presupuesto total del Trabajo Fin de Máster.

Concepto	Coste
Trabajo tarifado por tiempo empleado	4500,00€
Recursos <i>hardware</i>	66,58€
Recursos <i>software</i>	0,00€
Redacción del TFM	319,66€
Derechos de visado del COITT	29,32€
Gastos de tramitación y envío	6,00€
Materiales fungibles	0,00€
Total (sin IGIC)	4921,56€
IGIC (7%)	344,51€
Total (con IGIC)	5266,07€

El importe final al que asciende el presupuesto del presente TFM (“Diseño de un amplificador de potencia en banda Ka para antenas *phased array*”) es de un total de cinco mil doscientos sesenta y seis euros con siete céntimos.

MARRERO
MENDOZA
ARACELI DEL
PILAR -
43294004T

Firmado digitalmente
por MARRERO
MENDOZA ARACELI
DEL PILAR - 43294004T
Fecha: 2021.06.29
19:47:51 +01'00'

FDO: Dña. Araceli Marrero Mendoza

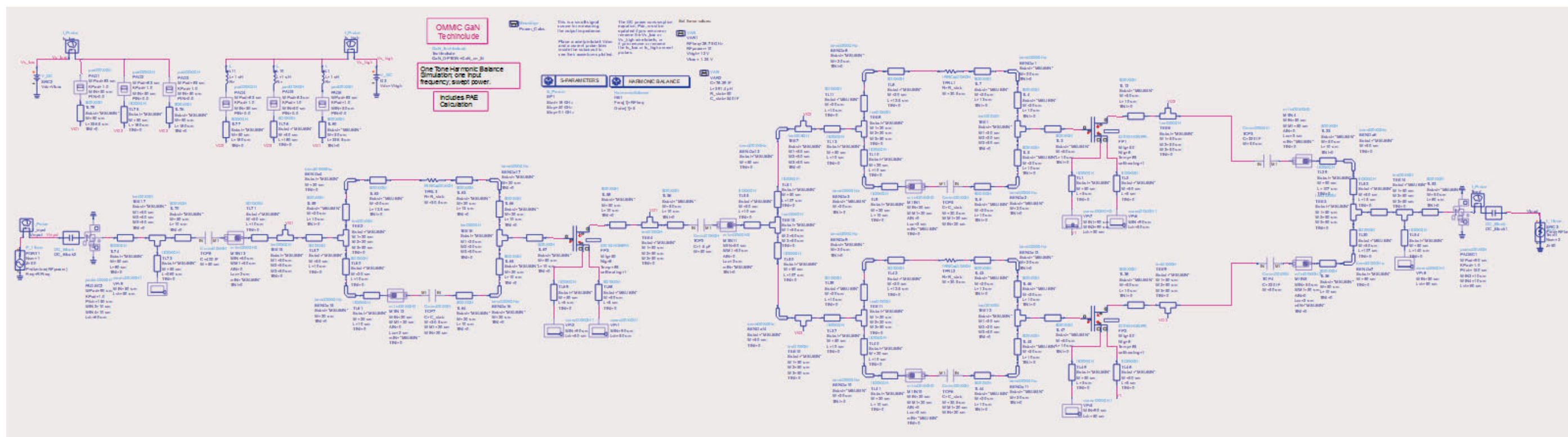
En Las Palmas de Gran Canaria a 29 de Junio de 2021



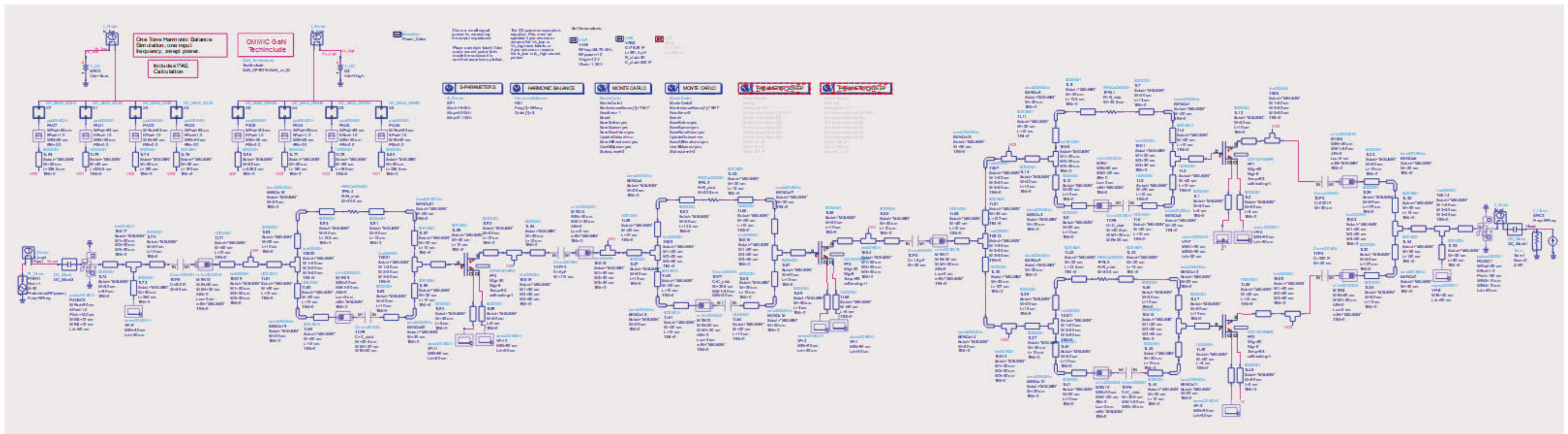
Parte IV: Anexo



Anexo I: Esquemático final de dos etapas



Anexo II: Esquemático final del diseño



Anexo III: Layout final del diseño

