

Máster Universitario en Electrónica y Tecnología Digital Aplicada (METDA)

Trabajo Fin de Máster

**Diseño de un amplificador de bajo ruido
para aplicaciones de automoción basado en
el estándar IEEE 802.15.4z**

Autor: Miguel Quevedo Pérez

Tutor: Francisco Javier del Pino Suárez

Tutor Colaborador: David Galante Sempere

Cotutor: Jose Luis Saiz Pérez

Fecha: Junio 2026

Máster Universitario en Electrónica y Tecnología Digital Aplicada (METDA)

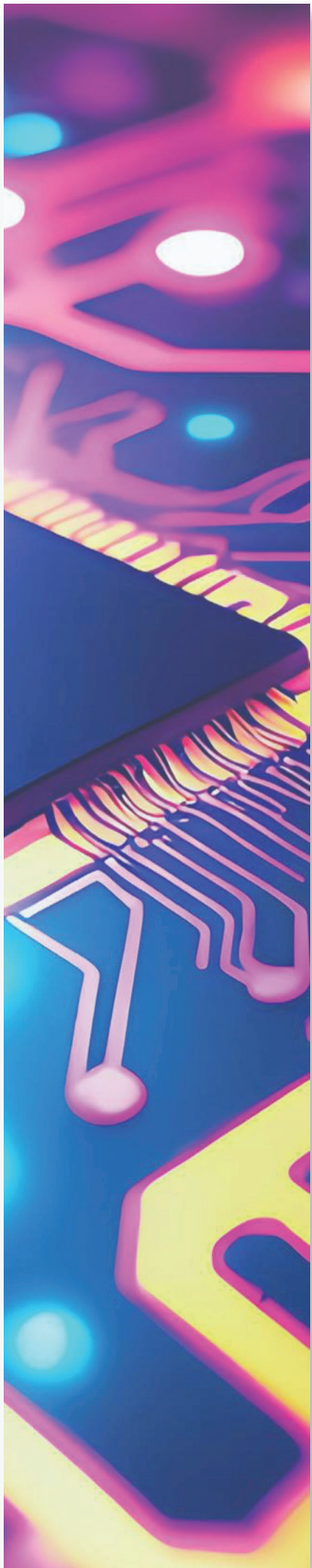
Trabajo Fin de Máster

**Diseño de un amplificador de bajo ruido
para aplicaciones de automoción basado en
el estándar IEEE 802.15.4z**

HOJA DE FIRMAS

	Nombre	Firma
Estudiante:	Miguel Quevedo Pérez	
Tutor Académico:	Francisco Javier del Pino Suárez	
Tutor Colaborador:	David Galante Sempere	
Cotutor:	Jose Luis Saiz Pérez	

Fecha: Junio 2026



Máster Universitario en Electrónica y Tecnología Digital Aplicada (METDA)

Trabajo Fin de Máster

**Diseño de un amplificador de bajo ruido
para aplicaciones de automoción basado en
el estándar IEEE 802.15.4z**

HOJA DE EVALUACIÓN

Calificación:

Presidente:

Fdo.:

Secretario:

Fdo.:

Vocal:

Fdo.:

Fecha: Junio 2026



Agradecimientos

En primer lugar, quiero agradecer a mi familia y a mi pareja Eva, por estar siempre ahí. Son el pilar de mi vida y el motivo de que hoy esté donde estoy. Gracias por quererme, apoyarme y celebrar mis logros como si también fueran suyos.

En segundo lugar, quiero agradecer a todos los trabajadores de Celestia Chip por acogerme durante este proceso y ayudarme cuando lo necesitaba. En especial, quiero dar las gracias a Jose por guiarme, ayudarme y hacer que todo haya sido mucho más fácil. Ojalá muchos jefes fueran tan buenos como tú.

En tercer lugar, quiero agradecer a mi tutor Javier del Pino, el cual me ha dado su apoyo desde el primer día que empecé a estar bajo su tutela desde el grado hasta el día de hoy, es un orgullo contar con el apoyo de un gran profesional como él.

También quiero agradecer a mi otro tutor, David Galante, por estar siempre dispuesto a ayudarme en todo lo que necesitaba. Gracias por sacar siempre un poco de tiempo para mí, aun sabiendo que precisamente ahora no te sobra. De verdad, valoro mucho el gesto y toda la ayuda que me has dado durante este proceso.

Finalmente, quiero agradecer a todas las personas que han estado a mi lado durante este camino, a mis amigos y compañeros. Gracias por el apoyo, la compañía y los buenos momentos, que también han sido parte importante de este proceso.



Resumen

En este trabajo se lleva a cabo el diseño de un amplificador de bajo ruido (LNA) para aplicaciones de automoción basado en el estándar IEEE 802.15.4z, utilizando la tecnología 22FDX de GlobalFoundries. El diseño opera entre los canales 5 y 9 del estándar, empleados de forma habitual en soluciones comerciales. El LNA propuesto se basa en un amplificador cascode realimentado.

En primer lugar, se realiza el diseño del LNA con componentes ideales, ajustando progresivamente la adaptación de entrada, la red de realimentación y la adaptación de salida. Con este diseño se obtiene una ganancia de 21,2 dB a mitad de banda, una figura de ruido máxima de 1,33 dB y valores de S_{11} y S_{22} inferiores a -10 dB en la banda de operación. Posteriormente, se sustituyen los componentes ideales por modelos reales del kit de diseño de la tecnología 22FDX, analizando el efecto de cada componente sobre las prestaciones del circuito y reajustando los valores cuando sea necesario, obteniendo una ganancia máxima de 17,4 dB, con una figura de ruido entre 2,62 y 2,97 dB. La adaptación sigue permaneciendo por debajo de -10 dB en toda la banda.

Tras obtener el diseño con componentes reales, se verifica su funcionamiento frente a variaciones de proceso, temperatura y tensión de alimentación, además de realizar simulaciones de Montecarlo para estudiar la dispersión estadística del circuito. A continuación, se lleva a cabo el *layout* del LNA, comenzando por la implementación individual de cada bloque y su verificación mediante DRC y LVS. Después, se incorporan los efectos parásitos mediante extracción y simulación electromagnética y finalmente se integran todos los bloques en un mismo *layout* junto con los planos de alimentación y tierra. Para finalizar, se realiza una simulación completa *post-layout* y se compara el diseño obtenido con otros LNAs recogidos en el estado del arte.



Abstract

This work presents the design of a low-noise amplifier (LNA) for automotive applications based on the IEEE 802.15.4z standard, using GlobalFoundries 22FDX technology. The design operates between channels 5 and 9 of the standard, which are commonly used in commercial UWB solutions. The proposed LNA adopts a feedback-cascode topology.

First, the LNA is designed using ideal components, progressively adjusting the input matching network, the feedback network and the output matching network. This design achieves a gain of 21.2 dB at mid-band, a maximum noise figure of 1.33 dB and S_{11} and S_{22} values below -10 dB across the operating band. Then, the ideal components are replaced by real models from the 22FDX design kit, analysing the effect of each component on the circuit performance and readjusting the values when necessary, achieving a maximum gain of 17.4 dB, with a noise figure between 2.62 and 2.97 dB, while maintaining S_{11} and S_{22} below -10 dB.

After obtaining the design with real components, its behaviour is verified against process, temperature and supply voltage variations. In addition, Montecarlo simulations are carried out to study the statistical dispersion of the circuit. The LNA layout is then developed, starting with the individual implementation of each block and its verification through DRC and LVS. Afterwards, parasitic effects are included through extraction and electromagnetic simulation and, finally, all blocks are integrated into the same layout together with the supply and ground planes. To conclude, a complete post-layout simulation is performed and the obtained design is compared with other LNAs reported in the state of the art.



Índice

Agradecimientos	i
Resumen.....	ii
Abstract	iii
1. Introducción	1
1.1. Objetivos.....	3
1.2. Estructura del documento.....	5
2. El estándar UWB IEEE 802.15.4z	7
2.1. Evolución del estándar de UWB	7
2.2. Primeros pasos de UWB: IEEE 802.15.4a	9
2.3. Mejoras de UWB: 802.15.4–2011 y 802.15.4–2015.....	11
2.4. Última versión de UWB: 802.15.4z.....	11
2.5. Soluciones comerciales	13
2.6. Conclusiones.....	14
3. Estado del arte de amplificadores de bajo ruido para el estándar IEEE 802.15.4z.....	15
3.1. LNA con cancelación de ruido de 28 nm CMOS para comunicaciones 6G.....	15
3.2. LNA con cancelación de ruido de 22 nm CMOS para comunicaciones 5G NR	17
3.3. LNA multibanda implementado en 22FDX en la banda FR3	19
3.4. Conclusiones.....	21
4. Introducción a la tecnología 22FDX de GlobalFoundries	22
4.1. Librerías	22
4.2. Pasivos	23
4.2.1. Bobinas.....	23
4.2.2. Condensadores	27
4.2.3. Resistencias.....	30
4.2.4. Diodos	33
4.3. Activos	35
4.3.1. Transistores.....	35
4.4. Conclusiones.....	39
5. Diseño del LNA con componentes ideales	40



5.1.	Especificaciones y consideraciones previas	41
5.2.	Topología CS	41
5.3.	Cascodo	56
5.4.	Conclusiones.....	67
6.	Sustitución y ajuste de los componentes reales en el diseño.....	68
6.1.	Sustitución de los componentes del PDK	68
6.2.	Ajuste de <i>corners</i> y Montecarlo	80
6.3.	Conclusiones.....	91
7.	Layout.....	92
7.1.	Consideraciones previas del <i>layout</i> en circuitos RF con tecnología 22FDX.....	93
7.2.	Electromigración.....	96
7.3.	Floorplan preliminar	99
7.4.	Transistores del par cascodo	100
7.5.	Red de adaptación de entrada	105
7.6.	Red de adaptación de salida.....	108
7.7.	Red de realimentación	112
7.8.	Espejo de corriente.....	116
7.9.	Condensadores de desacoplo.....	119
7.10.	<i>Layout</i> completo del LNA	121
7.11.	Análisis de <i>corners</i> y Montecarlo	131
7.12.	Conclusiones.....	139
8.	Conclusiones	140
8.1.	Resumen del trabajo realizado.....	140
8.2.	Recopilación de resultados.....	141
8.3.	Líneas futuras	146
	Referencias.....	147



Índice de Figuras

Figura 1.1. Canales del estándar IEEE 802.15.4z [8]	2
Figura 2.1. Intercambio de mensajes entre dos dispositivos UWB mediante <i>two-way ranging</i> [20] 9	
Figura 2.2. Comparación del espectro de UWB con otras comunicaciones inalámbricas [24]	10
Figura 3.1. Esquemático de un LNA CG-CS con red auxiliar de amplificación [12]	16
Figura 3.2. Prestaciones del LNA medido tras su fabricación: a) Parámetros S, b) Figura de ruido [12]	17
Figura 3.3. Esquemático de un LNA basado en PMOS y NMOS con cancelación de ruido [15]	18
Figura 3.4. Prestaciones del LNA <i>post-layout</i> [15].	18
Figura 3.5. Esquemático de un LNA basado en dos etapas [16]	19
Figura 3.6. Esquemático de: a) etapa 1, b) etapa 2 del LNA [16]	19
Figura 3.7. Prestaciones del LNA medido tras su fabricación: a) S_{21} , b) NF, c) S_{11} y d) S_{22} [16]	20
Figura 4.1. Comparación entre Bulk CMOS y FD-SOI [34]	22
Figura 4.2. Bobina simétrica en espiral	23
Figura 4.3. Representación física de una bobina en espiral	24
Figura 4.4. Inductancia y factor de calidad en función de la frecuencia para un inductor <i>indp</i> de 2 nH	25
Figura 4.5. Representación física de una bobina simétrica: a) sin center tap, b) con center tap	25
Figura 4.6. Inductancia y factor de calidad en función de la frecuencia de symindp de 2 nH	26
Figura 4.7. Inductancia y factor de calidad en función de la frecuencia de symindp de 75 pH	26
Figura 4.8. Representación gráfica de un condensador <i>MOM</i> : a) vista 3D, b) vista desde arriba [36]	27
Figura 4.9. <i>Layout</i> de un condensador APMOM	28
Figura 4.10. <i>Layout</i> de un varactor: a) NCAP, b) PCAP	28
Figura 4.11. <i>Layout</i> de un varactor NCAPSOI	29
Figura 4.12. APMOM vista en 3D metales del 1 al 5	30
Figura 4.13. <i>Layout</i> de resistencia tipo np cres con 3 tiras en serie	31



Figura 4.14. <i>Layout</i> de resistencia tipo opnpres con 3 tiras en serie	31
Figura 4.15. <i>Layout</i> de resistencia tipo reopnpres con 1 tira.....	32
Figura 4.16. <i>Layout</i> de resistencia tipo reopnarnpres con 1 tira	32
Figura 4.17. <i>Layout</i> de resistencia tipo opdressedoi con 1 tira	33
Figura 4.18. <i>Layout</i> de los diodos: a) N+ to Psub, b) P+ to NW	34
Figura 4.19. <i>Layout</i> de las 4 variantes de FETs.....	36
Figura 4.20. Variantes del <i>Body Bias</i> según el FET. Adaptada de: [35].....	38
Figura 5.1. Topología básica de un LNA CS	42
Figura 5.2. Curvas I-V de: a) RVT, b) LVT, c) SLVT.....	43
Figura 5.3. LNA CS con espejo de corriente	44
Figura 5.4. Variación de la corriente de polarización para anchos de 15 μm hasta 120 μm	45
Figura 5.5. Variación del ancho de <i>finger</i>	46
Figura 5.6. Respuesta en frecuencia del LNA.....	47
Figura 5.7. Esquemático con bobina en la fuente.....	47
Figura 5.8. Resultados de la variación de L_{source} para: a) G_{max} , NF_{min} y Kf , b) Carta de Smith para G_{min} y S_{11}	49
Figura 5.9. Resultados de la variación de L_{gate} en la carta de Smith para G_{min} y S_{11}	50
Figura 5.10. Esquemático con red de adaptación a la entrada.....	50
Figura 5.11. Resultados de la variación de C_{gate} en la carta de Smith para G_{min} y S_{11}	51
Figura 5.12. Resultados finales en la carta de Smith para G_{min} y S_{11}	52
Figura 5.13. Esquemático con red de realimentación RC	53
Figura 5.14. Resultados de la variación de la red de realimentación	54
Figura 5.15. Resultados finales: a) S_{21} frente G_{max} , NF frente NF_{min} y Kf , b) Carta de Smith para S_{11} y G_{min}	55
Figura 5.16. Esquemático de la configuración cascodo	56
Figura 5.17. Modelo en pequeña señal de: a) Common Source, b) Cascodo	57



Figura 5.18. Variación de G_{min} y S_{11} para diferentes corrientes de polarización con anchos de 15 hasta 120 μm con los tres FETs.....	58
Figura 5.19. Variación de la corriente de polarización para anchos de 15 μm hasta 120 μm con SLVT_NFET	59
Figura 5.20. Variación del ancho de <i>finger</i>	59
Figura 5.21. Aportación de L_{source} en: a) G_{max} y NF_{min} , b) Carta de Smith para G_{min} y S_{11}	61
Figura 5.22. Aportación de la red de adaptación de entrada en la carta de Smith para G_{min} y S_{11} con C_{gate} de 20 fF hasta 100 fF.....	62
Figura 5.23. Solución final de la carta de Smith	63
Figura 5.24. Variación en frecuencia de S_{21} , S_{11} , S_{22} , Kf y NF.....	64
Figura 5.25. Esquemático con resistencia de drenador	64
Figura 5.26. Efecto de la R_d en el S_{11}	65
Figura 5.27. Adaptación de entrada y ruido	65
Figura 5.28. Métricas finales de: a) S_{21} , S_{11} , S_{22} , NF y Kf, b) Carta de Smith de S_{11} , S_{22} y G_{min}	67
Figura 6.1. Métricas del LNA con componentes ideales	69
Figura 6.2. Comparativa de las métricas ideales con la sustitución de L_{gate}	70
Figura 6.3. Comparativa de las métricas con la sustitución de L_{gate} y L_{drain}	71
Figura 6.4. Comparativa de las métricas con la sustitución de C_{gate}	72
Figura 6.5. Comparativa de las métricas con la sustitución de C_{out}	73
Figura 6.6. Espejo de corriente: a) Esquemático, b) Corrientes de drenador.....	74
Figura 6.7. Comparativa de las métricas con la redimensión del espejo.....	75
Figura 6.8. Métricas finales con todo del kit.....	76
Figura 6.9. Métricas post ajuste con los componentes del kit: a) Mejor ajuste, b) Mejor ganancia.....	78
Figura 6.10. Resultados de linealidad: P_{1dB}	79
Figura 6.11. Resultados de linealidad: IIP3 y OIP3	79
Figura 6.12. Corners: a) S_{21} , b) S_{11} , c) S_{22} y d) NF	83
Figura 6.13. Corners ajustados: a) S_{21} , b) S_{11} , c) S_{22} y d) NF	85



Figura 6.14. Métricas finales en nominal.....	86
Figura 6.15. P_{1dB} en <i>corners</i> referido a: a) entrada, b) salida	87
Figura 6.16. IP3 en <i>corners</i> : a) IIP3, b) OIP3.....	87
Figura 6.17. Montecarlo: a) S_{21} , b) S_{11} , c) S_{22} , d) NF, e) Consumo corriente	90
Figura 7.1. Vista lateral de las capas físicas	94
Figura 7.2. Separación mínima entre dos metales tipo C	95
Figura 7.3. Floorplan preliminar del LNA	99
Figura 7.4. Instancia de un transistor SLVT con ancho de 90 μm y 90 <i>fingers</i>	100
Figura 7.5. <i>Layout</i> completo de los transistores del par cascode.....	101
Figura 7.6. <i>Layout</i> dividido en: a) electromagnético, b) extracción de parásitas	103
Figura 7.7. Simulaciones <i>post-layout</i> de los transistores.....	104
Figura 7.8. <i>Layout</i> de la red de adaptación de entrada	105
Figura 7.9. Simulación <i>post-layout</i> de la red de entrada	107
Figura 7.10. <i>Layout</i> de la red de adaptación de salida.....	108
Figura 7.11. Simulación electromagnética de una resistencia de polisilicio frente al modelo del PDK	109
Figura 7.12. Simulación <i>post-layout</i> de la red de salida	111
Figura 7.13. Simulación <i>post-layout</i> de la red de salida ajustada	111
Figura 7.14. <i>Layout</i> de la red de realimentación	113
Figura 7.15. Integración de la red de realimentación junto a los transistores	113
Figura 7.16. Simulación <i>post-layout</i> de la red de realimentación	115
Figura 7.17. <i>Layout</i> del espejo de polarización.....	117
Figura 7.18. Integración del espejo de corriente junto a la red de adaptación de entrada	117
Figura 7.19. Simulación <i>post-layout</i> del espejo de corriente.....	119
Figura 7.20. <i>Layout</i> de los condensadores de desacoplo	120
Figura 7.21. Simulación <i>post-layout</i> de los condensadores de desacoplo	121



Figura 7.22. <i>Layout</i> del LNA sin planos de alimentación y masa	122
Figura 7.23. Simulación <i>post-layout</i> del LNA	123
Figura 7.24. <i>Layout</i> completo del LNA	125
Figura 7.25. Simulación <i>post-layout</i> del LNA completo	126
Figura 7.26. Simulación <i>post-layout</i> del LNA completo reajustado con los componentes como cajas negras.....	127
Figura 7.27. Simulación <i>post-layout</i> del LNA completo reajustado	128
Figura 7.28. Resultados de linealidad del circuito <i>post-layout</i> : P_{1dB}	129
Figura 7.29. Resultados de linealidad del circuito <i>post-layout</i> : $IP3$	130
Figura 7.30. Análisis de <i>corners</i> <i>post-layout</i> : a) S_{21} , b) NF, c) S_{11} , d) S_{22} y e) Consumo de corriente	134
Figura 7.31. Análisis de Montecarlo <i>post-layout</i> : a) S_{21} , b) NF, c) S_{11} , d) S_{22} y e) Consumo de corriente.....	138

Índice de Tablas

Tabla 2.1. Soluciones comerciales existentes de UWB	14
Tabla 3.1. Comparación de las métricas de los LNAs estudiados	21
Tabla 4.1. Modelos disponibles de FETs en el PDK	37
Tabla 5.1. <i>Especificaciones</i>	41
Tabla 6.1. Definición de los <i>corners</i>	80
Tabla 6.2. Variación de Montecarlo de las métricas principales	91
Tabla 7.1. Valores máximos de corriente para una pista de 1 μm de ancho.....	97
Tabla 8.1. Métricas del LNA con componentes ideales y reales	141
Tabla 8.2. Dispersión de las métricas del LNA	142
Tabla 8.3. Métricas del LNA con componentes reales y <i>post-layout</i>	143
Tabla 8.4. Dispersión de las métricas del LNA <i>post-layout</i>	143
Tabla 8.5. Comparación de las métricas del LNA	144
Tabla 8.6. Comparativa de la figura de mérito	144



1. Introducción

En los últimos años, el desarrollo de sistemas de comunicación inalámbrica de alta precisión y bajo consumo ha adquirido una gran relevancia en el ámbito de la automoción, especialmente en aplicaciones relacionadas con localización precisa, acceso al vehículo, detección de presencia y comunicaciones de corto alcance [1]. En este contexto, la tecnología *Ultra-Wideband* (UWB) se ha consolidado como una de las soluciones más prometedoras gracias a su elevada resolución temporal, su robustez frente a multitrayecto y su capacidad para ofrecer servicios de posicionamiento preciso. Dentro de este marco, el estándar 802.15.4z desarrollado por el IEEE (*Institute of Electrical and Electronics Engineers*) ha supuesto un avance importante al introducir mejoras orientadas a aumentar la fiabilidad, la precisión y la seguridad de este tipo de comunicaciones [2].

El estándar IEEE 802.15.4z pertenece a la familia IEEE 802.15.4, creado por el grupo 802.15 del IEEE. Este grupo de estándares está orientado a la regulación de redes inalámbricas de área personal (*Wireless Personal Area Networks*, WPAN), en los que se definen las especificaciones de la capa física (PHY) y de control de acceso al medio (MAC) para los dispositivos de este ámbito [3]. Tecnologías como ZigBee o Bluetooth están basadas en esta familia de estándares, con ciertas diferencias técnicas entre ellas.

El estándar IEEE 802.15.4z fue desarrollado por el subgrupo 4z dentro del grupo 802.15.4, con el fin de mejorar ciertos aspectos respecto a los estándares previos (802.15.4a, 802.15.4-2011, etc.) como la seguridad o el aumento de la velocidad de transferencia de datos. A su vez, busca promover esta tecnología dándole mayor visibilidad e importancia en el mercado [4].

En el sector de la automoción, UWB permite implementar sistemas de acceso al vehículo con mayor seguridad, detección de personas o animales dentro del vehículo, funcionalidades de aparcamiento automatizado, la activación automática del acoplamiento del remolque o el acceso asistido a los espacios de estacionamiento [5]. En el ámbito industrial, UWB se emplea principalmente en sistemas de localización en interiores de alta precisión, donde tecnologías como GPS o Bluetooth presentan limitaciones. Gracias a su elevada precisión temporal, esta tecnología permite localizar en tiempo real personas, herramientas, vehículos, robots móviles o activos dentro de fábricas o almacenes [6].

Con respecto a los canales de operación, la mayor parte de los productos comerciales se concentra en los canales 5 y 9, que corresponden a 6,5 y 8 GHz, respectivamente, aunque también existen

Figure 1 is a frequency allocation chart for the 1000 MHz band. The x-axis represents Frequency (MHz) from 3494 to 9984. The chart shows the allocation of 15 channels (CH1 to CH15) across this band. The channels are color-coded according to their bandwidth and mandatory status:

- 499.2 MHz:** Blue (CH1, CH2, CH3, CH5, CH6, CH8, CH10, CH12, CH13, CH14)
- 1081 MHz:** Purple (CH7)
- Mandatory:** Yellow (CH3, CH9)
- 1331 MHz:** Pink (CH4, CH11)
- 1355 MHz:** Red (CH15)

The chart also shows the frequency ranges for each channel group:

- CH1: 3494 - 3993 MHz
- CH2: 3993 - 4492 MHz
- CH3: 4492 - 4991 MHz
- CH4: 4991 - 5490 MHz
- CH5: 6489 - 6988 MHz
- CH6: 6988 - 7487 MHz
- CH7: 7487 - 7986 MHz
- CH8: 7986 - 8485 MHz
- CH9: 8485 - 8984 MHz
- CH10: 8984 - 9483 MHz
- CH11: 9483 - 9982 MHz
- CH12: 9982 - 10481 MHz
- CH13: 10481 - 10980 MHz
- CH14: 10980 - 11479 MHz
- CH15: 11479 - 11978 MHz

Desde el punto de vista de los antecedentes, el diseño de LNAs para UWB ha sido ampliamente estudiado en diferentes tecnologías y para distintos rangos de frecuencia. Muchos de estos diseños están destinados a comunicaciones del estándar 5G o incluso 6G [11]-[13]. Sin embargo, cuando se restringe el



problema al cumplimiento del estándar IEEE 802.15.4z, a su posible uso en automoción y, además, a su implementación en una tecnología de 22 nm, el número de trabajos disponibles en la literatura se reduce considerablemente. De hecho, pueden encontrarse muy pocos LNAs dirigidos específicamente a este estándar en tecnología de 22 nm [14]-[17]. A todo esto se suma que, en muchos casos, los diseños publicados priorizan parámetros como la ganancia o la figura de ruido, pero no se centran en mantener un consumo bajo. Y los pocos que sí lo hacen, sacrifican prestaciones.

Como consecuencia, la necesidad que este trabajo trata de resolver es, por un lado, diseñar un LNA que presente unas prestaciones adecuadas para una cadena receptora del estándar IEEE 802.15.4z y que sea robusto frente a las variaciones de fabricación y de operación propias del entorno de automoción, de forma que sea apto para su futura integración en un chip con un fin comercial. Esto implica tener que cumplir las especificaciones frente a *corners*, variaciones de alimentación y temperatura y simulaciones estadísticas de Montecarlo.

El presente Trabajo Fin de Máster (TFM) se centra en el diseño y validación de un LNA para aplicaciones UWB orientadas al sector de la automoción en los canales 5 y 9 usando una tecnología de 22 nm SOI de GlobalFoundries denominada 22FDX. Este TFM se integra como parte de un chip que se encuentra dentro de una línea de desarrollo de la empresa colaboradora Celestia Chip.

1.1. Objetivos

El objetivo principal de este Trabajo Fin de Máster es realizar el estudio y diseño de un amplificador de bajo ruido para un receptor UWB basado en el estándar IEEE 802.15.4z, orientado a aplicaciones del sector de la automoción. Para ello, se parte de un análisis previo del estándar y de las soluciones comerciales existentes. Después, se estudia el estado del arte de los LNAs disponibles en tecnología de 22 o 28 nm y, siempre que sea posible, orientados al sector de la automoción. Posteriormente, se describe la tecnología empleada en el diseño del LNA en este TFM. Finalmente, se lleva a cabo el diseño del LNA desde una primera implementación con componentes ideales hasta su implementación física completa y sus simulaciones *post-layout*.



Los objetivos específicos que forman parte de este trabajo son los siguientes:

O1. Estudiar el estándar IEEE 802.15.4z y las soluciones comerciales UWB existentes.

Se analizarán las principales características del estándar IEEE 802.15.4z, prestando especial atención a su aplicación en sistemas UWB de localización *indoor* de alta precisión. Además, se estudiarán distintas soluciones disponibles en el mercado, con el fin de conocer las bandas de operación, prestaciones y aplicaciones actuales de esta tecnología.

O2. Analizar los requisitos de automoción y los LNAs existentes para el estándar.

Se estudiarán los requisitos que deben cumplir los sistemas UWB destinados al sector de la automoción, considerando aspectos como la seguridad, la fiabilidad, el rango de temperatura, la tensión de alimentación y el funcionamiento en diferentes condiciones de operación. Asimismo, se realizará una revisión del estado del arte de LNAs orientados a UWB, comparando sus principales parámetros de diseño.

O3. Diseñar el LNA con componentes ideales.

Se realizará una primera versión del amplificador de bajo ruido empleando componentes ideales. Esta etapa permitirá definir la topología del circuito, ajustar sus parámetros principales y comprobar el cumplimiento inicial de las especificaciones de ganancia, figura de ruido, adaptación de impedancias y consumo.

O4. Ajustar el diseño utilizando componentes reales.

Una vez validado el diseño ideal, se sustituirán los componentes ideales por modelos reales de la tecnología seleccionada. En esta fase se analizará el impacto de los efectos introducidos por los componentes reales y las posibles pérdidas de prestaciones, reajustando el circuito cuando sea necesario para recuperar el comportamiento esperado.

O5. Verificar el cumplimiento de las restricciones de automoción.

Se comprobará que el LNA cumple las restricciones establecidas para aplicaciones de automoción en los distintos escenarios de simulación. Para ello, se tendrán en cuenta variaciones de temperatura, tensión de alimentación y otros casos de operación relevantes, con el fin de evaluar el funcionamiento del diseño.



O6. Realizar el *layout* del circuito.

Finalmente, se llevará a cabo la implementación física del LNA. Este *layout* permitirá comprobar la viabilidad del diseño a nivel físico y observar el impacto de los efectos parásitos. Se realizará la implementación de cada uno de los bloques por separado para su posterior integración, analizando en cada caso su impacto en el diseño y reajustando los valores de los componentes siempre que sea necesario.

1.2. Estructura del documento

El documento se organiza en varios capítulos:

El Capítulo 1 recoge la introducción del trabajo, donde se explica la importancia de la tecnología UWB, el papel del estándar IEEE 802.15.4z y la relevancia del LNA dentro de la cadena de recepción. Además, se definen los objetivos del Trabajo Fin de Máster y se describe la estructura general del documento.

En el Capítulo 2 se realiza un estudio detallado del estándar IEEE 802.15.4z orientado al sector de la automoción. En primer lugar, se explican sus fundamentos y sus principales características. Posteriormente, se analiza su uso en sistemas de localización de alta precisión y las soluciones existentes en el mercado. También se estudia la aplicación de UWB en distintos ámbitos, especialmente en el sector de la automoción.

En el Capítulo 3 se presenta el estado del arte de amplificadores de bajo ruido orientados al estándar 802.15.4z. En este capítulo se revisan distintos trabajos publicados y se analizan sus principales prestaciones, como frecuencia de operación, ancho de banda, tecnología empleada, consumo, ganancia, figura de ruido, adaptación de impedancias, linealidad, estabilidad, área y temperatura de operación. Se prestará especial atención a aquellos diseños destinados al ámbito de automoción y que se hayan fabricado.

En el Capítulo 4 se estudia la tecnología empleada para el diseño del LNA, 22FDX de GlobalFoundries. Se describen sus principales características, así como los componentes activos y pasivos relevantes en el diseño del amplificador de bajo ruido.

En el Capítulo 5 se desarrolla el diseño del LNA a nivel de esquemático utilizando componentes ideales. En este capítulo se justifica la topología seleccionada, se realiza el dimensionamiento inicial del



circuito y se comprueban sus prestaciones mediante simulación. El objetivo de esta etapa es obtener un diseño base que cumpla las especificaciones principales antes de incorporar modelos reales.

En el Capítulo 6 se sustituyen los elementos ideales por modelos de la tecnología y se realizan los ajustes necesarios para compensar los efectos negativos que surgen de usar componentes reales. Además, se verificará el comportamiento del diseño frente a los distintos *corners* del proceso de fabricación, variaciones de temperatura y alimentación exigidas en automoción.

En el Capítulo 7 se presenta el *layout* del circuito. En este capítulo se describe la implementación física del LNA. Se comienza con una descripción de los aspectos que deben considerarse durante la realización de un *layout* en la tecnología empleada, seguida de un análisis de electromigración. Posteriormente, se realiza el *layout* de cada uno de los bloques individualmente para su posterior integración en el *layout* completo. Finalmente, se unen todos los bloques, se añaden los planos de alimentación y tierra y se realizan las simulaciones *post-layout*.

Por último, en el Capítulo 8 se recogen las conclusiones generales del trabajo. Se resumen los resultados obtenidos, se valora el grado de cumplimiento de los objetivos planteados y se proponen posibles líneas futuras para continuar el desarrollo del circuito.

A continuación, comienza el Capítulo 2, destinado al estudio del estándar UWB IEEE 802.15.4z.



2. El estándar UWB IEEE 802.15.4z

En este capítulo se lleva a cabo el estudio del estándar UWB IEEE 802.15.4z. Este estándar es la última actualización de los estándares UWB anteriores dentro de la familia IEEE 802.15.4. Sus principales aportaciones se orientan a aumentar la precisión en la medida de distancia, reforzar la seguridad de las comunicaciones y reducir el tiempo de transmisión. Estas mejoras favorecen aplicaciones donde la localización precisa y segura es fundamental, como el acceso al vehículo, la localización en interiores u otras aplicaciones industriales y de automoción. Por ello, IEEE 802.15.4z ha contribuido a impulsar el uso de UWB en entornos donde se requiere una medición de distancia fiable, bajo consumo y mayor protección frente a posibles ataques o interferencias [18], [19].

La localización puede realizarse mediante distintas tecnologías, desde Wi-Fi, UWB o Bluetooth Low Energy (BLE), orientadas principalmente a la localización en interiores, hasta GPS, empleada de forma habitual en posicionamiento exterior. Tecnologías como Wi-Fi o BLE suelen utilizar la intensidad de la señal recibida u otras técnicas similares para estimar la posición del usuario u objeto. Sin embargo, su precisión puede verse afectada por el multitrayecto o la presencia de obstáculos en el camino de la señal. Además, en función de la tecnología y del modo de operación pueden aparecer limitaciones relacionadas con el consumo y con la precisión de la estimación. Por otro lado, UWB utiliza señales de gran ancho de banda mediante pulsos de muy corta duración y baja potencia. Esto permite medir con gran precisión el tiempo de llegada de la señal y estimar la distancia con mayor exactitud manteniendo un consumo bajo [20].

Durante esta sección se revisará la evolución del estándar desde sus inicios en 2003 con la creación de IEEE 802.15.4, hasta su última versión introducida en 2020, IEEE 802.15.4z.

2.1. Evolución del estándar de UWB

Los inicios de la tecnología UWB se remontan al siglo XIX. A finales de este siglo, Heinrich Hertz generó las primeras señales de UWB creando chispas e irradiándolas mediante dipolos cargados de banda ancha. En 1896, Guglielmo Marconi consiguió distribuir una señal en un ancho de banda muy amplio. Su descubrimiento dio lugar a las comunicaciones transatlánticas por radio y aplicaciones militares usando código Morse. Aunque estos dos descubrimientos fueron precursores de las comunicaciones modernas UWB, el ancho de banda tan amplio en la época acaparaba todo el espectro, por lo que finalmente se abandonó esta idea por comunicaciones de banda estrecha [21].



Desde este periodo en adelante se desarrollaron diversas aplicaciones con tecnología de UWB, principalmente centradas en aplicaciones radar, aunque no es hasta 2003 que se publica el primer estándar IEEE 802.15.4, que define las capas físicas y de control de acceso al medio para redes WPAN de baja tasa de datos (LR-WPAN). Justo después se fundó el UWB Forum con el objetivo de garantizar la interoperabilidad de los productos UWB, aunque se disolvió en 2006.

En 2007 se publica el estándar IEEE 802.15.4a, como extensión al estándar IEEE 802.15.4 original, introduciendo la nueva capa física de UWB en el estándar WPAN ya existente. Posteriormente, se lanzó la primera revisión del estándar llamada IEEE 802.15.4-2011. En este estándar los cambios fueron principalmente editoriales. Su labor consistía en unificar todos los cambios que se habían añadido al estándar original desde 802.15.4 [22]. Finalmente, en 2015 se añadieron nuevos aspectos a la capa PHY y MAC, recogidos en 802.15.4-2015. Esta sigue siendo la última revisión de la norma hasta la fecha y garantiza la compatibilidad con las versiones anteriores [23].

En 2019 se funda la alianza UWB, que buscaba regular el espectro para maximizar el crecimiento de UWB. Este mismo año, Apple saca al mercado el iPhone 11 con el chip UWB U1. A partir de ese momento UWB empieza a crecer aún más y se funda el consorcio FiRa para promover y estandarizar esta tecnología. Finalmente, en 2020 se publica 802.15.4z, la última versión del estándar con el fin de aportar mejoras a lo ya existente. Hoy en día, la alianza UWB está formada por numerosas empresas de primer nivel como Kia, Bosch, Qorvo o Xiaomi. Además, el consorcio FiRa y el Car Connectivity Consortium (CCC) han creado una asociación centrada en definir las especificaciones tecnológicas de UWB utilizadas en llaves digitales del CCC.

UWB se encuentra actualmente en pleno auge y cada vez está más cerca de consolidarse como una tecnología tan habitual como Wi-Fi o Bluetooth. Su potencial es especialmente relevante en sectores como la automoción y la industria, aunque su integración en dispositivos móviles y productos de consumo refleja el interés creciente por trasladar esta tecnología al mercado comercial.



2.2. Primeros pasos de UWB: IEEE 802.15.4a

El estándar IEEE 802.15.4a, publicado en 2007, introduce nuevas opciones para la capa física con el fin de soportar mayores tasas de datos, mayor alcance o mayor robustez frente a interferencias, al mismo tiempo que permite nuevas aplicaciones basadas en la distancia de los dispositivos LR-WPAN. Esta capa se basa en un esquema de radio por impulsos, es decir, emplea pulsos de radiofrecuencia de muy corta duración distribuidos sobre un gran ancho de banda. Esta combinación permite transmitir con baja densidad espectral de potencia, reduciendo la interferencia sobre otros sistemas al mismo tiempo que proporciona una resolución temporal adecuada para realizar medidas de distancia.

El protocolo obligatorio que debe implementar UWB para estimar la distancia entre dispositivos se muestra en la Figura 2.1. Este protocolo se llama *two-way ranging* (TWR) y permite realizar medidas de distancia sin necesidad de que ambos dispositivos compartan una referencia temporal común utilizando el tiempo de vuelo (*Time-of-Flight*, ToF) de la señal transmitida. Un dispositivo A inicia el proceso enviando una trama de solicitud de distancia al dispositivo B. A continuación, el dispositivo B espera un tiempo de respuesta conocido por ambos dispositivos (t_{replyB}) y envía una trama de vuelta. A partir de este intercambio, el dispositivo A puede calcular el tiempo de ida y vuelta de la señal (t_p) y estimar la distancia.

Gracias al gran ancho de banda de las señales UWB, este procedimiento permite obtener estimaciones temporales muy precisas, con una incertidumbre inferior a 3 ns, lo que equivale a una incertidumbre espacial inferior a 1 m.

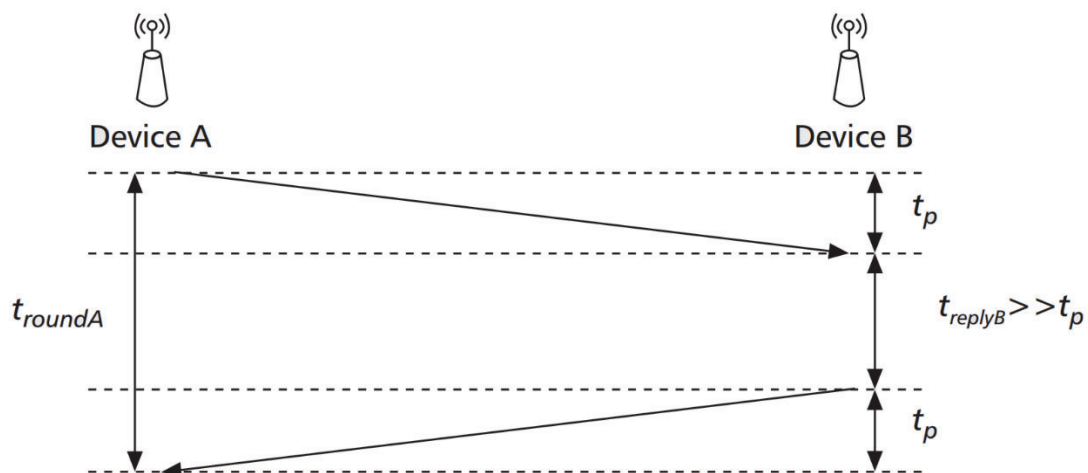


Figura 2.1. Intercambio de mensajes entre dos dispositivos UWB mediante *two-way ranging* [20]



En cuanto a sus bandas de operación, IEEE 802.15.4a divide la capa física UWB en tres rangos principales con un total de 16 canales. El primero corresponde a la banda sub-GHz, con un canal situado entre 249,6 MHz y 749,6 MHz. El segundo corresponde a la banda baja, comprendida entre 3,1 GHz y 4,8 GHz. El tercero corresponde a la banda alta, situada entre 5,8 GHz y 10,6 GHz. El estándar contempla canales con un ancho de banda mínimo de 500 MHz, aunque los canales 4, 7, 11 y 15 presentan anchos de banda superiores. El mayor ancho de banda permite que los dispositivos que operan en estos canales transmitan con más potencia y así puedan comunicarse a mayor distancia.

Desde el punto de vista de la transmisión, UWB debe operar con niveles de potencia muy reducidos para evitar interferencias con otros sistemas inalámbricos que comparten el espectro, como se muestra en la Figura 2.2. Esta baja potencia de transmisión limita su alcance frente a otras tecnologías que no presentan esta restricción, pero también favorece la coexistencia de UWB con estas tecnologías. Además, el bajo nivel de potencia supone que dispositivos alimentados por batería, como llaves digitales o etiquetas de localización, tengan un consumo reducido y por ello, mayor vida útil.

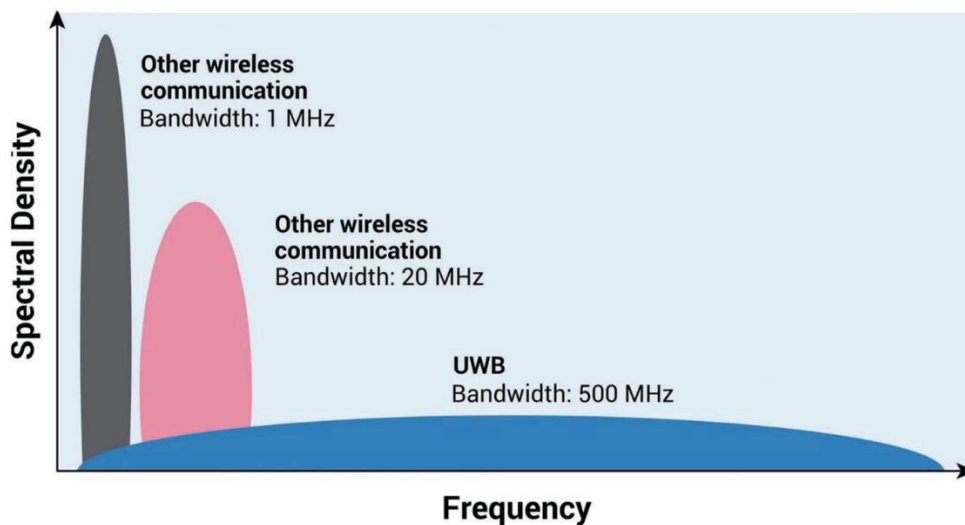


Figura 2.2. Comparación del espectro de UWB con otras comunicaciones inalámbricas [24]



IEEE 802.15.4a define cuatro tasas de datos para la capa física de UWB: una tasa obligatoria de 851 kbps y tres tasas opcionales de 110 kbps, 6,81 Mbps y 27,24 Mbps. Estas tasas se obtienen mediante el uso de ráfagas de longitud variable. Cada tasa de datos responde a un objetivo diferente. Las tasas más bajas permiten mejorar la sensibilidad y aumentar el área de cobertura, reduciendo así el número de nodos necesarios para cubrir una determinada zona. Por el contrario, las tasas más elevadas pueden utilizarse para obtener un mayor rendimiento, reducir la latencia o disminuir el ciclo de trabajo de un sistema.

2.3. Mejoras de UWB: 802.15.4–2011 y 802.15.4–2015

Tras la introducción de UWB en IEEE 802.15.4a, el estándar continuó evolucionando mediante nuevas revisiones. En 2011 se publicó una nueva versión de IEEE 802.15.4 que incorporó todos los avances que se habían ido realizando con los años. Esta actualización añadió nuevas opciones de capa física y soporte en la capa MAC para facilitar las funciones de estimación de distancia. Además, el estándar se reorganizó para que cada capa física tuviera su propio apartado, estructurando las capas de las distintas tecnologías incluidas en la familia IEEE 802.15.4.

Posteriormente, la revisión IEEE 802.15.4-2015 amplió el estándar con más opciones de capa física y mejoras en la capa MAC. Entre las principales novedades se encuentran los formatos de trama mejorados, mecanismos de bajo consumo y nuevas opciones de modulación, codificación y bandas de operación. En el caso de UWB, esta revisión define la distinción entre dos capas físicas: HRP UWB (High Rate Pulse Repetition Frequency UWB) y LRP (Low Rate Pulse Repetition Frequency UWB).

La capa HRP UWB está orientada a aplicaciones que requieren mayor precisión en la estimación de distancia. Por este motivo, es la capa más vinculada a funciones de localización precisa. En cambio, la capa LRP UWB se introduce como una alternativa de menor frecuencia de repetición de pulsos, orientada a dispositivos más sencillos y de muy bajo consumo.

2.4. Última versión de UWB: 802.15.4z

La última versión del estándar, denominada IEEE 802.15.4z, supone mejoras considerables con respecto a sus versiones anteriores, aunque el funcionamiento sigue siendo el mismo. Una de las principales aportaciones de IEEE 802.15.4z es la mejora de los mecanismos de localización. El estándar introduce cambios orientados a obtener marcas temporales más fiables al mismo tiempo que intenta aumentar la vida útil de la batería de los dispositivos [2].



Para ello, introduce el protocolo *Single-Sided Two-Way Ranging* (SS-TWR), que permite calcular el tiempo de vuelo de la señal a partir del intercambio de dos tramas entre dos dispositivos. SS-TWR simplifica el proceso de estimación de distancia, reduce el tiempo de transmisión sobre el canal y contribuye a disminuir el consumo energético del sistema. También se introduce el *simultaneous ranging*, que permite que varios dispositivos respondan casi al mismo tiempo mediante tramas solapadas. Esta técnica resulta especialmente útil en aplicaciones de automoción, por ejemplo, cuando una llave digital necesita estimar su distancia respecto a las cuatro puertas del vehículo. Al tratar varias respuestas como una única recepción, se reduce el tiempo durante el cual la radio del dispositivo debe mantenerse activa.

Otra de las mejoras introducidas por IEEE 802.15.4z está relacionada con la seguridad de las comunicaciones. El estándar incorpora nuevos mensajes cifrados entre los dispositivos, los cuales requieren el uso de una clave de autenticación, dificultando que un dispositivo no autorizado pueda intervenir en la comunicación. La seguridad también se ve reforzada gracias a la reducción del tiempo de transmisión. Al emplear mensajes más cortos, se disminuye el tiempo en el que un posible atacante podría interferir o intentar manipular la comunicación. Esta mejora resulta especialmente importante en sistemas de acceso seguro al vehículo.

Otra mejora relevante se encuentra en la capa física LRP UWB. Hasta entonces, LRP UWB no estaba orientada a aplicaciones de estimación de distancia, sino a comunicaciones de muy bajo consumo. Esta versión busca habilitar una nueva clase de dispositivos que trabajen en esta capa y que sean capaces de realizar mediciones de distancia manteniendo como requisitos principales el consumo ultrabajo y la interoperabilidad entre fabricantes.

El estándar 802.15.4z representa una gran evolución dentro del ecosistema UWB, ya que ofrece localización segura, precisa y de bajo consumo. Por este motivo, el estándar se ha convertido en una referencia para aplicaciones de automoción, donde se puede usar para acceso seguro al vehículo, la detección de presencia y movimiento e incluso salvar vidas, detectando signos de vida como parte de un sistema de detección infantil en los coches [25].



2.5. Soluciones comerciales

Actualmente existen diferentes soluciones comerciales basadas en UWB con distintos fines. En general, estos chips se emplean para aplicaciones de localización precisa y estimación de distancia, llaves digitales y seguimiento de activos.

Entre las soluciones más extendidas se encuentran los dispositivos de Qorvo, especialmente la familia DW3000 y sus variantes. Estos chips están orientados a aplicaciones de bajo consumo, localización precisa, sistemas de posicionamiento, etiquetas de localización, etc. [26], [27].

NXP también cuenta con una familia de soluciones UWB llamada Trimension. Dentro de esta familia, los dispositivos SR040 y SR150 están orientados a aplicaciones IoT, etiquetas de localización y seguimiento de activos. Por otro lado, NXP dispone de soluciones específicas para automoción, diseñadas para acceso seguro al vehículo, llaves digitales y localización precisa. Incluso disponen de un chip destinado a aplicaciones de radar UWB [28], [29].

Samsung también ha desarrollado soluciones UWB dentro de la familia Exynos Connect. El chip U100 está orientado a dispositivos móviles, IoT, realidad aumentada, realidad virtual, hogares inteligentes y acceso seguro. Además, el Exynos Auto UA100 está enfocado específicamente al sector de la automoción y a aplicaciones de llave digital. Este dispositivo permite estimar tanto la distancia como la dirección relativa entre el usuario y el vehículo, empleando mecanismos de seguridad asociados a FiRa y CCC Digital Key [30], [31].

Por último, Apple integra UWB en sus dispositivos mediante el chip U1, introducido inicialmente en el iPhone 11. Este chip está orientado a proporcionar conciencia espacial entre dispositivos, permitiendo mejorar funciones de localización cercana, interacción entre dispositivos y búsqueda de objetos, aunque Apple no comercializa el chip como componente independiente [32].

En la Tabla 2.1 se recogen los diferentes chips de UWB mencionados junto con sus canales de operación y su aplicación.



Tabla 2.1. Soluciones comerciales existentes de UWB

Fabricante	Chips	Aplicación principal	Canales
Qorvo	DW3000, DW3110, DW3120, DWM1000, etc.	Localización precisa	5 y 9
NXP	Trimension SR040, SR150 y SR250	IoT: Localización, Tags, etc.	5, 6, 8 y 9
NXP	Trimension NCJ29D5/6	Automoción: Acceso seguro al vehículo, llave digital y localización precisa, detección infantil, etc.	5 y 9
Samsung	Exynos Connect U100	Dispositivos de consumo e IoT: Localización, Tags, etc.	5 y 9
Samsung	Exynos Auto UA100	Automoción: Llave digital, acceso seguro al vehículo, etc.	5 y 9
Apple	U1	Dispositivos de consumo: Localización, Tags, etc.	5 y 9

2.6. Conclusiones

En este capítulo se ha presentado la evolución de UWB desde sus primeras aplicaciones hasta su situación actual. También se han descrito sus principales características, sus ventajas frente a otras tecnologías de localización y su creciente importancia en sectores como la automoción, la industria y los dispositivos de consumo. Finalmente, se han revisado algunas de las soluciones comerciales disponibles en el mercado, prestando atención a los chips UWB más relevantes, sus aplicaciones principales y sus bandas de operación. Una vez contextualizada la tecnología UWB y su estado actual, el siguiente capítulo se centrará en el estudio del estado del arte de los amplificadores de bajo ruido que trabajen en frecuencias similares.



3. Estado del arte de amplificadores de bajo ruido para el estándar IEEE 802.15.4z

En este capítulo se realizará un estudio del estado del arte de amplificadores de bajo ruido para el estándar IEEE 802.15.4z. Para ello, se han seleccionado distintos LNAs que trabajan en frecuencias similares al estándar y diseñados con tecnología de 22 nm o 28 nm.

En cada caso se analiza la arquitectura propuesta, la tecnología empleada, el rango de frecuencia de operación y los parámetros más relevantes del circuito. También se prestará atención a si los resultados presentados corresponden únicamente a simulación o si el circuito ha sido fabricado y medido. Además, se revisa si los autores consideran variaciones de temperatura, tensión de alimentación y *corners* de proceso.

3.1. LNA con cancelación de ruido de 28 nm CMOS para comunicaciones 6G

En la Figura 3.1 se muestra el primer LNA analizado. Este diseño está formado por una etapa de amplificación de puerta común y fuente común (*Common Gate-Common Source*, CG-CS), junto con una etapa auxiliar de amplificación. El circuito emplea una técnica de cancelación de ruido con el objetivo de reducir la figura de ruido dentro de su banda de operación. Además, sustituye las bobinas por líneas de transmisión. Está fabricado en tecnología CMOS de 28 nm y está orientado a sistemas inalámbricos de 6G. Sin embargo, en el trabajo no se presenta análisis frente a *corners* de proceso, variaciones de temperatura ni variaciones de tensión de alimentación [12].

En la Figura 3.2 se recogen las prestaciones simuladas y medidas de este LNA. El circuito opera en un rango de frecuencia comprendido entre 1,7 y 12,52 GHz. La ganancia se mantiene entre 12,5 dB y 15,3 dB dentro de la banda. En cuanto a la adaptación de impedancias, el S_{11} permanece por debajo de -10 dB, mientras que el S_{22} supera este valor en el final de la banda. La figura de ruido alcanza un valor mínimo de 1,21 dB y llega hasta 4,9 dB al final de la banda. Finalmente, el circuito presenta un consumo de 1,8 mW, un IIP3 de -2,6 dBm a 6,5 GHz y un área de 11 μm^2 .

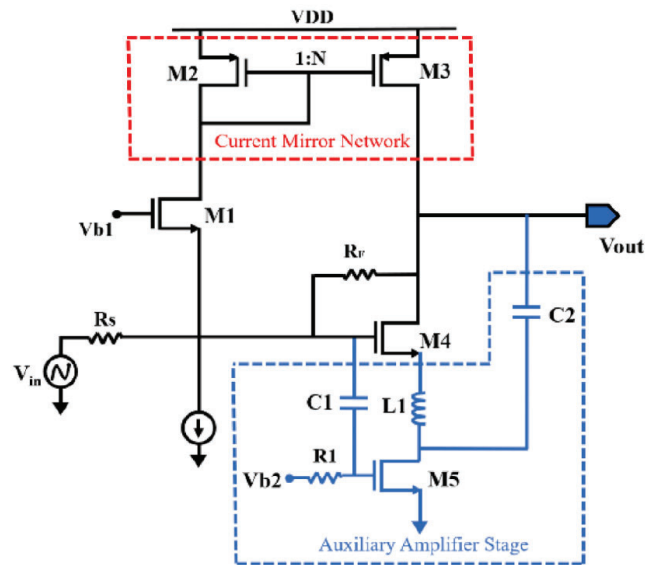
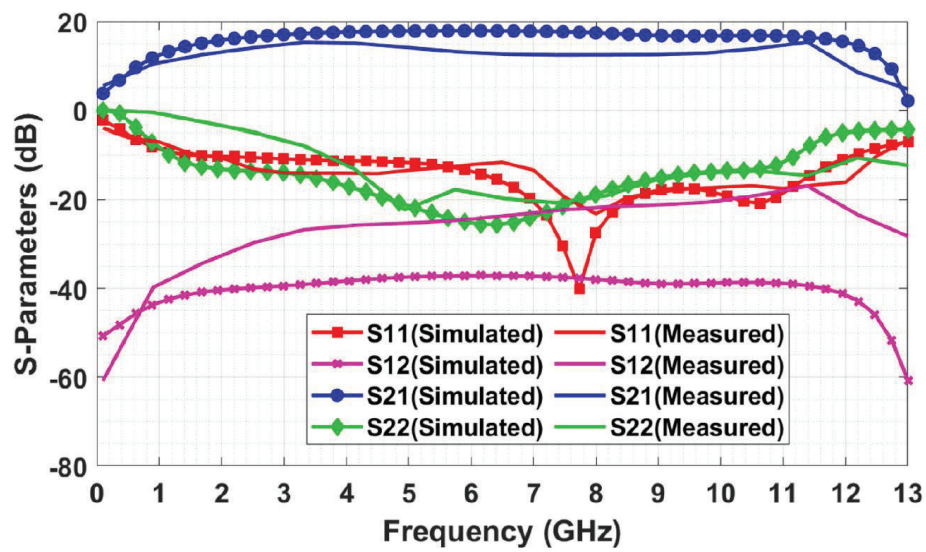


Figura 3.1. Esquemático de un LNA CG-CS con red auxiliar de amplificación [12]



a)

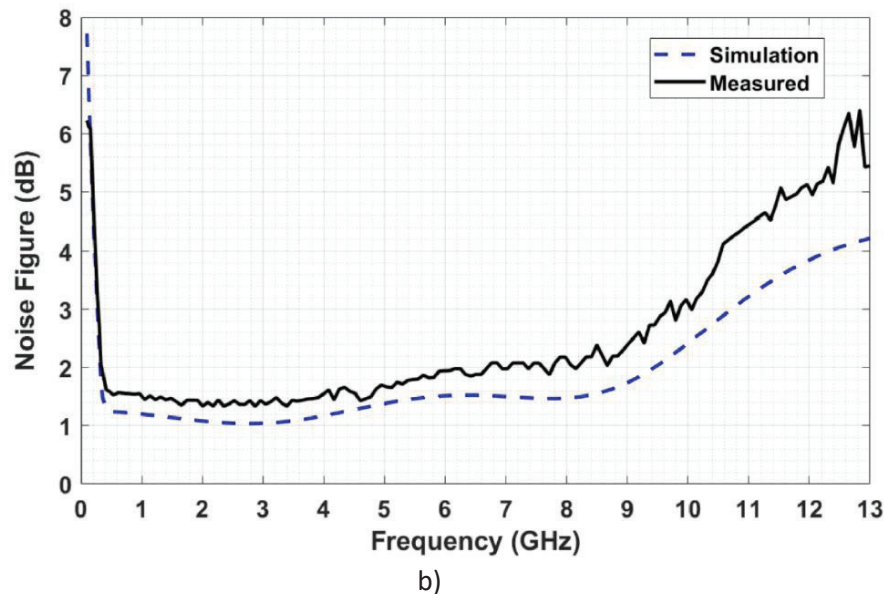


Figura 3.2. Prestaciones del LNA medido tras su fabricación: a) Parámetros S, b) Figura de ruido [12]

3.2. LNA con cancelación de ruido de 22 nm CMOS para comunicaciones 5G NR

El segundo LNA analizado se recoge en la Figura 3.3. Está compuesto por tres etapas implementadas con transistores NMOS y PMOS, resistencias y condensadores. Al igual que el caso anterior, el circuito emplea una técnica de cancelación de ruido. Está diseñado en tecnología CMOS de 22 nm y está orientado a aplicaciones de 5G NR. Sin embargo, este circuito no ha sido fabricado y tampoco presenta análisis frente a *corners* de proceso, variaciones de temperatura ni variaciones de tensión de alimentación [15].

En la Figura 3.4 se recogen los resultados de las simulaciones *post-layout* de este LNA. El circuito opera en un rango de frecuencia comprendido entre 0,2 y 7,3 GHz. La ganancia se mantiene entre 10,3 dB y 13,3 dB dentro de la banda de operación. En cuanto a la adaptación de entrada, el S_{11} permanece por debajo de -10 dB, al igual que el S_{22} . La figura de ruido está comprendida entre 2,83 dB y 4 dB y el circuito presenta un consumo de 5,5 mW, un IIP3 de 6,7 dBm a 5,5 GHz y un área de $1,6 \mu\text{m}^2$.

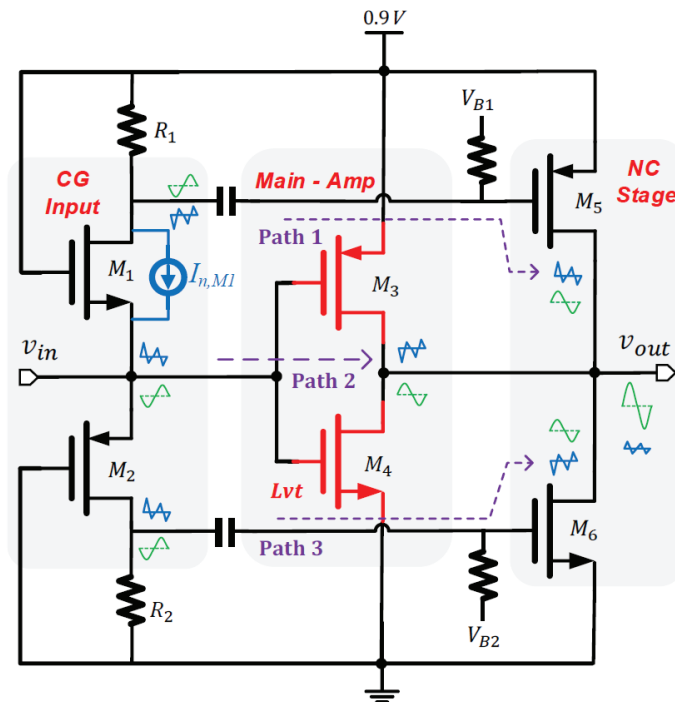


Figura 3.3. Esquemático de un LNA basado en PMOS y NMOS con cancelación de ruido [15]

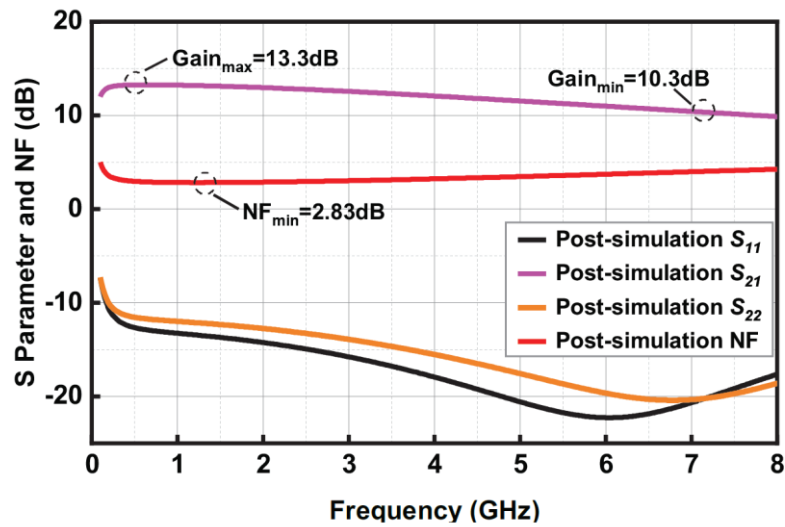


Figura 3.4. Prestaciones del LNA *post-layout* [15].



3.3. LNA multibanda implementado en 22FDX en la banda FR3

El último LNA analizado se muestra en la Figura 3.5. Consiste en un LNA multibanda que opera en tres bandas comprendidas entre 5,3 y 18 GHz. El circuito está compuesto por dos etapas en serie, mostradas en la Figura 3.6. El cambio entre bandas se consigue mediante interruptores que conmutan diferentes combinaciones de bobinas o condensadores para variar su capacidad o inductancia.

Está fabricado en la tecnología 22FDX de GlobalFoundries y está orientado a trabajar en la banda FR3, diseñada para el desarrollo de las redes de telefonía móvil [33]. Sin embargo, en este trabajo no se presenta análisis frente a *corners* de proceso, variaciones de temperatura ni variaciones de tensión de alimentación [16].

Para este TFM, el modo de mayor interés es el modo LFB, ya que su rango de operación se encuentra más próximo a los canales 5 y 9 del estándar IEEE 802.15.4z.

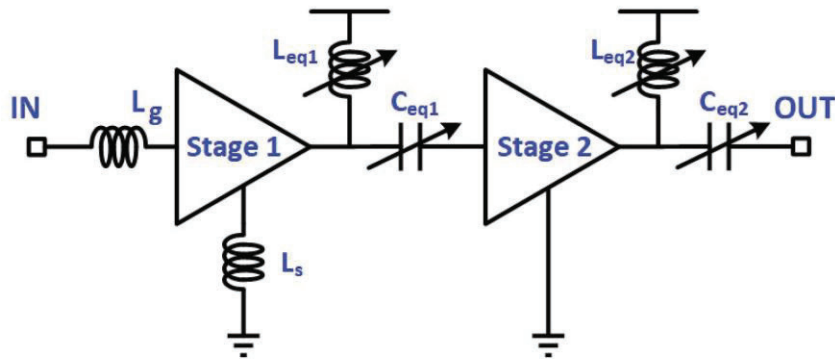


Figura 3.5. Esquemático de un LNA basado en dos etapas [16]

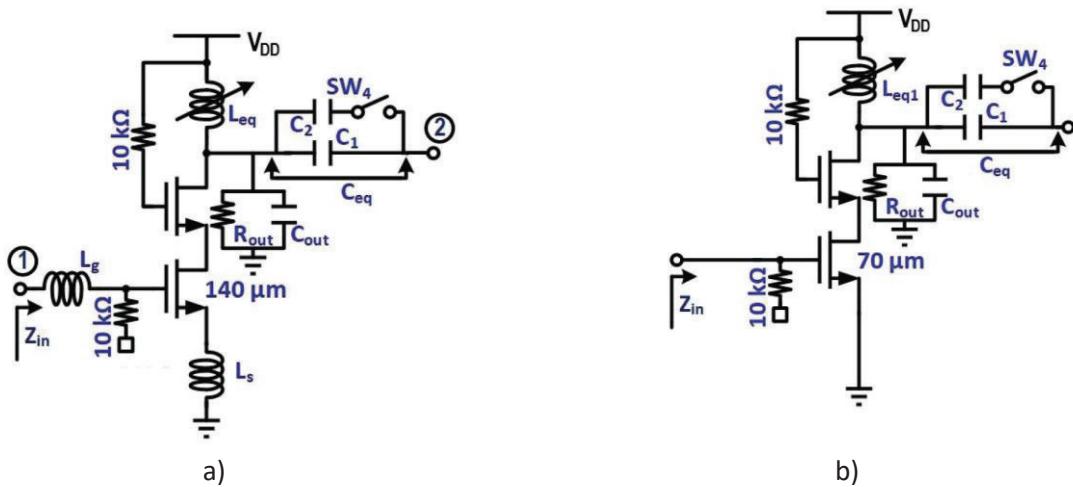


Figura 3.6. Esquemático de: a) etapa 1, b) etapa 2 del LNA [16]



La Figura 3.7 muestra las prestaciones simuladas y medidas de este LNA. Para el modo LFB, el circuito opera en un rango de frecuencia comprendido entre 5,3 y 9,4 GHz. La ganancia tiene un valor máximo de 23 dB y la figura de ruido alcanza un valor mínimo de 1,6 dB y llega hasta 1,8 dB aproximadamente al final de la banda. En cuanto a la adaptación de impedancias, el S_{11} presenta margen de mejora, ya que no se encuentra por debajo de -10 dB en ningún momento, mientras que el S_{22} sí que supera este valor, aunque solo a partir de mitad de la banda. Finalmente, el circuito presenta un consumo de 20 mW, un IIP3 de $-12,7$ dBm y un área de $180 \mu\text{m}^2$, debida en parte al uso de varias bobinas conmutadas.

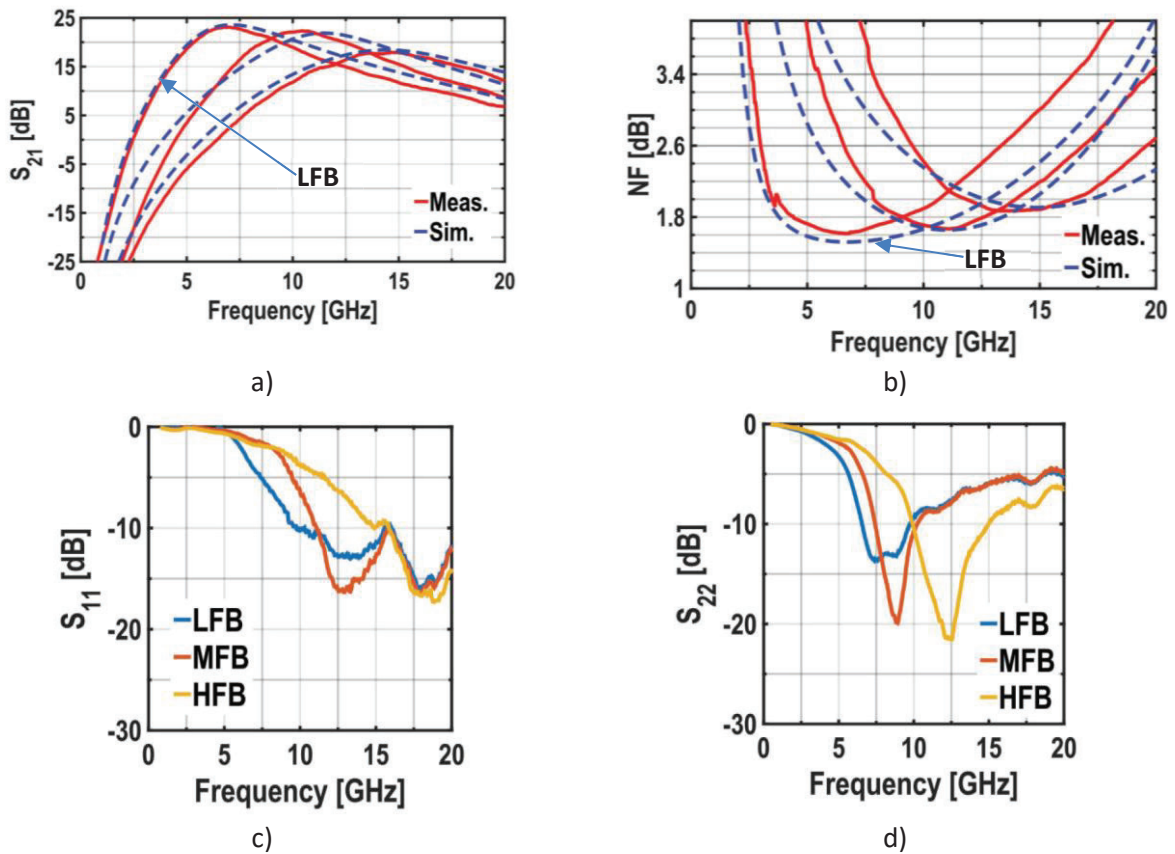


Figura 3.7. Prestaciones del LNA medido tras su fabricación: a) S_{21} , b) NF, c) S_{11} y d) S_{22} [16]



3.4. Conclusiones

En este capítulo se han analizado tres LNAs implementados en tecnologías de 22 nm y 28 nm, con rangos de frecuencia cercanos a los empleados por el estándar IEEE 802.15.4z. Para cada diseño se ha estudiado la topología utilizada, la tecnología de fabricación, las prestaciones principales y si el circuito ha sido fabricado, medido o únicamente simulado. También se ha revisado si los trabajos incluyen análisis frente a variaciones de temperatura, tensión de alimentación o corners de proceso.

En la Tabla 3.1 se recoge una comparativa de los tres LNAs analizados, incluyendo sus principales parámetros de diseño: rango de frecuencia, ganancia, figura de ruido, adaptación de impedancias, consumo, linealidad, área y tecnología empleada. Esta tabla servirá como referencia para comparar las prestaciones de los trabajos revisados con las obtenidas en el diseño desarrollado en este TFM.

Tabla 3.1. Comparación de las métricas de los LNAs estudiados

	Tecnología	Rango de frecuencia (GHz)	Ganancia (dB)	NF (dB)	S_{11} (dB)	S_{22} (dB)	Consumo (mW)	IIP3 (dBm)	Área (mm ²)
[12] AEU	CMOS 28 nm	1,7–12,52	12,5–15,3	1,21–4,9	< –10	> –10	1,8	–2,6@6,5 GHz	0,011
[15] ASICON ^a	CMOS 22 nm	0,2–7,3	10,3–13,3	2,83–4	< –10	< –10	5,5	6,7@5,5 GHz	0,0016
[16] JSSC	22FDX	5,3 – 9,4 (LFB)	23	1,6 – 1,8	> –10	> –10	20	–12,7	0,18

^a No fabricado

Una vez revisadas las soluciones existentes, el siguiente capítulo se centrará en el estudio de la tecnología 22FDX de GlobalFoundries, empleada para el diseño del LNA propuesto en este trabajo.



4. Introducción a la tecnología 22FDX de GlobalFoundries

La tecnología 22FDSOI, también llamada 22FDX, corresponde a una plataforma CMOS de 22 nm basada en la estructura Fully Depleted Silicon-On-Insulator. En esta tecnología, el canal del transistor se sitúa sobre una capa aislante, lo que permite un mejor control electrostático del dispositivo y reduce las corrientes de fuga respecto a tecnologías CMOS convencionales. Además, la separación frente al sustrato disminuye la influencia de los diodos parásitos no deseados. La Figura 4.1 muestra visualmente las diferencias.

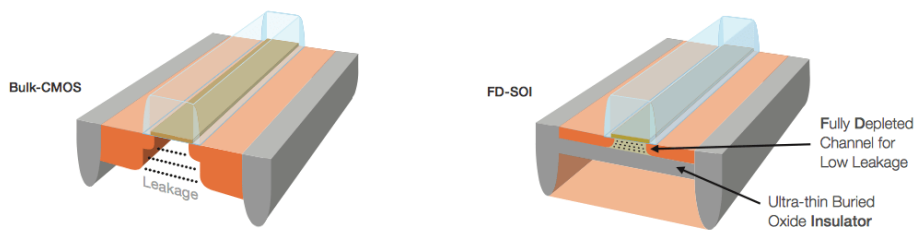


Figura 4.1. Comparación entre Bulk CMOS y FD-SOI [34]

Una de las principales ventajas de 22FDSOI es su idoneidad para aplicaciones analógicas y de radiofrecuencia. Gracias a sus menores capacitancias parásitas, su mejor aislamiento y su comportamiento más controlado en alta frecuencia, esta tecnología ofrece un entorno especialmente favorable para circuitos RF. A ello se añade una característica particularmente interesante: la posibilidad de modificar el comportamiento del transistor mediante una tensión adicional de control en el sustrato (*body biasing*), lo que permite ajustar el punto de trabajo y adaptar el compromiso entre velocidad, consumo y linealidad [34]. Estas características convierten a 22FDSOI en una tecnología adecuada para la implementación de un LNA de bajo consumo con unas restricciones exigentes propias del sector de la automoción.

4.1. Librerías

El PDK de 22FDSOI dispone de varias librerías orientadas a distintos ámbitos de aplicación (`cmos22fdsoi`, `cmos22fdsoi_esd`, `cmos22fdsoi_mmw` y `cmos22fdsoi_rf`). La librería `cmos22fdsoi` recoge los dispositivos orientados a trabajar en frecuencias de banda base. `Cmos22fdsoi_rf` recoge mejor el comportamiento de los componentes de la tecnología en radiofrecuencia. `Cmos22fdsoi_mmw` recoge los componentes diseñados para frecuencias de ondas milimétricas y `cmos22fdsoi_esd` recoge los dispositivos con protección de descarga electrostática.



Debido a que el LNA va a ser diseñado para trabajar en un rango de frecuencia de 6,5 GHz a 8 GHz, se ha seleccionado cmos22fdsoi_rf ya que recoge los transistores, diodos, condensadores, resistencias y bobinas diseñados para trabajar a esas frecuencias. A continuación, se verán los distintos componentes que ofrece esta librería.

4.2. Pasivos

Un elemento pasivo es un componente electrónico que consume, disipa o almacena energía en un circuito sin generarla ni amplificarla. Estos dispositivos son principalmente resistencias, condensadores y bobinas, que se encuentran en la mayoría de los circuitos modernos. A continuación, se irán viendo los componentes pasivos del PDK que se utilizan en el diseño.

4.2.1. Bobinas

Las bobinas son uno de los elementos pasivos más críticos en radiofrecuencia. Su labor es almacenar energía en forma de campo magnético cuando fluye corriente eléctrica a través de ellas. En circuitos integrados, las bobinas se crean a partir de una espiral de pistas metálicas sobre un sustrato. El diseñador puede modificar el número de vueltas, la anchura de la pista y el diámetro interior para buscar la inductancia deseada. La Figura 4.2 muestra una bobina en espiral que proporciona el kit.

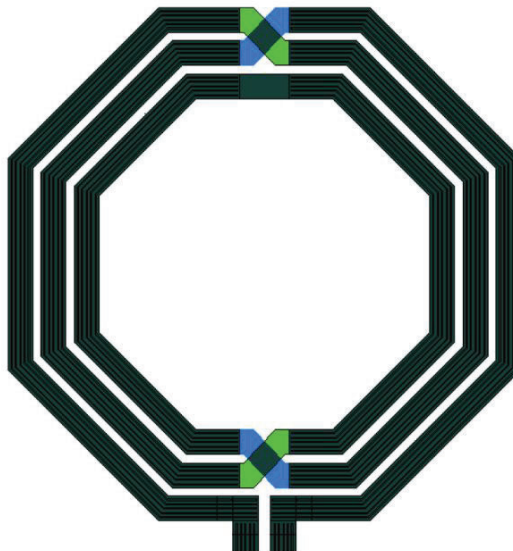


Figura 4.2. Bobina simétrica en espiral

Uno de los parámetros clave de las bobinas es el factor de calidad (Q). Se define como la relación entre el pico de energía almacenada por ciclo y la potencia disipada por ciclo en un elemento reactivo con



pérdidas reales. En el caso de los inductores integrados, calcular el valor del factor de calidad es complejo ya que se necesita conocer la energía almacenada y la potencia disipada instantáneamente. Normalmente, se utiliza un método para calcularlo utilizando los parámetros Y. Este método se conoce como "Q convencional" y funciona bien en frecuencias bajas. Aunque en el caso de utilizar una bobina en espiral, se suele aplicar el método conocido como "Q diferencial", que utiliza los parámetros S [35].

22FDX ofrece cuatro tipos de inductores: inductores simétricos de 2 puertos con y sin center tap, inductores en espiral, rectangulares e inductores con estructura tipo T-coil, estos dos últimos solamente disponibles en la librería de mmWave. Las dos bobinas disponibles en la librería de radiofrecuencia son *indp* y *symindp*, que corresponden a los dos primeros modelos mencionados. A continuación, se verán ambos en detalle.

4.2.1.1 Inductor *indp*

El inductor *indp* corresponde al inductor en espiral. La Figura 4.3 recoge su implementación física. Este inductor es el más simple de todos. Su valor de inductancia se consigue cambiando su diámetro interno, su número de vueltas y el ancho de la pista.

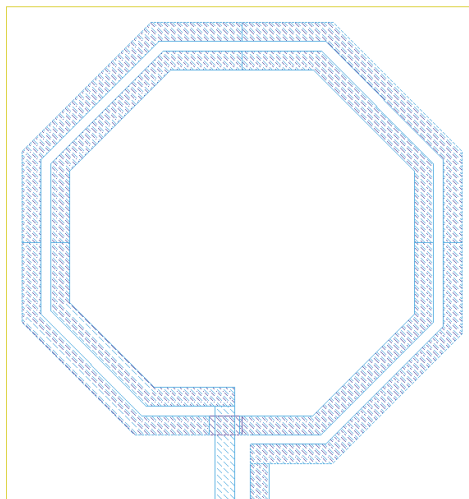


Figura 4.3. Representación física de una bobina en espiral

La frecuencia a la que trabaja el LNA es de 6,5 a 8 GHz, por lo que se escoge una frecuencia intermedia de 7,25 GHz para buscar el valor de inductancia deseado. En esta frecuencia, considerando sus dimensiones mínimas, el valor mínimo de inductancia alcanzable por este modelo es de 145 pH. La Figura



4.4 recoge las gráficas de inductancia para un inductor de 2 nH a esta frecuencia, además se incluye el factor de calidad a su lado.

2

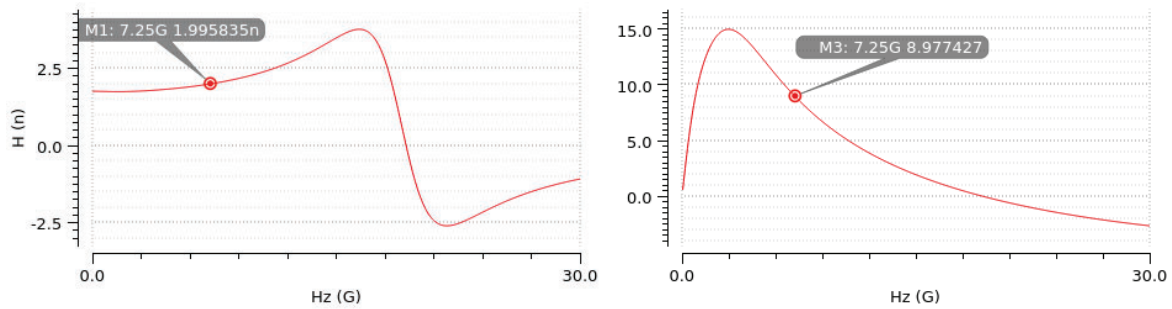


Figura 4.4. Inductancia y factor de calidad en función de la frecuencia para un inductor *indp* de 2 nH

A esta frecuencia, su factor de calidad se sitúa en torno a 9. Además, el valor de inductancia se encuentra lejos de su frecuencia de resonancia y no varía mucho en frecuencia.

4.2.1.2 Inductor symindp

El inductor symindp corresponde a los inductores simétricos de dos puertos con y sin center tap. La Figura 4.5 recoge la implementación física de ambos modelos.

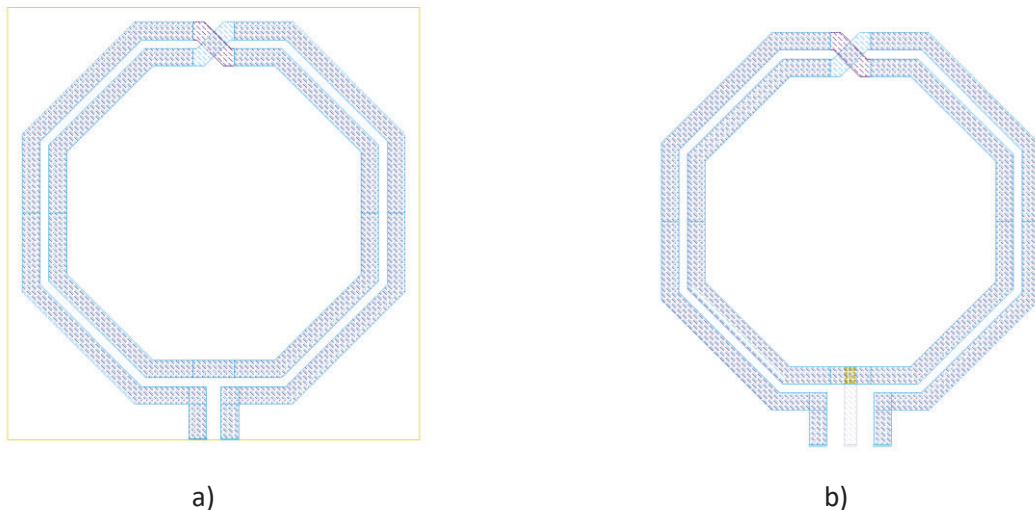


Figura 4.5. Representación física de una bobina simétrica: a) sin center tap, b) con center tap

En la frecuencia de 7,25 GHz, debido a sus dimensiones mínimas, ambos inductores poseen un valor mínimo alcanzable de 75 pH. La Figura 4.6 recoge las gráficas de inductancia para un inductor de 2 nH a esta frecuencia, además se incluye el factor de calidad a su lado. Como se puede apreciar, el factor de



calidad es muy bajo y el inductor se encuentra cerca de su frecuencia de resonancia. Sin embargo, si se observa la Figura 4.7, que recoge la gráfica para un valor de 75 pH, se observa que este tipo de bobinas funciona bien en valores bajos de inductancia a esta frecuencia.

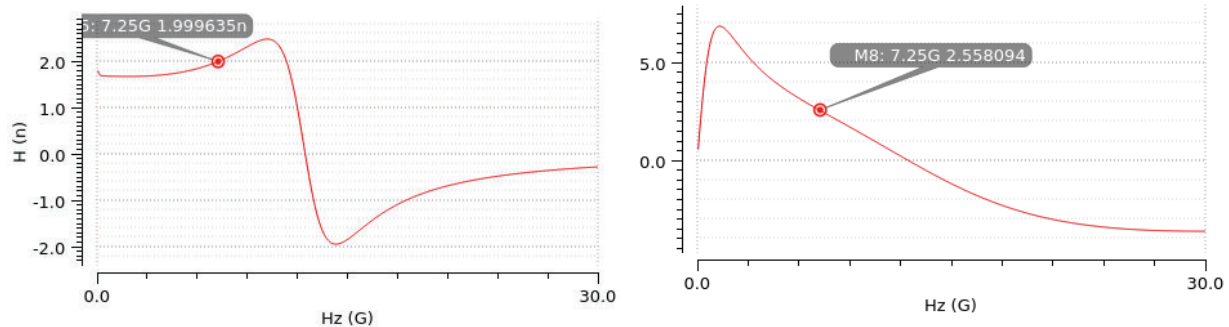


Figura 4.6. Inductancia y factor de calidad en función de la frecuencia de symindp de 2 nH

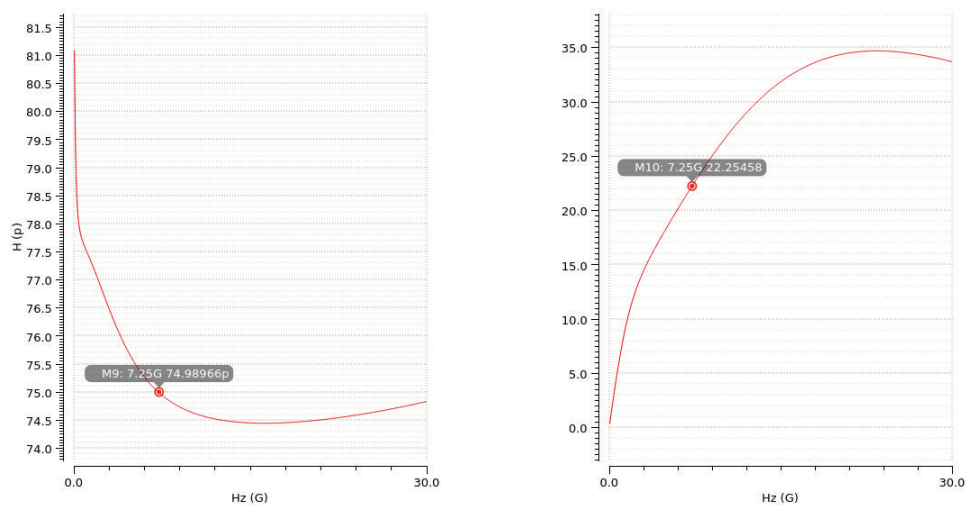


Figura 4.7. Inductancia y factor de calidad en función de la frecuencia de symindp de 75 pH

Según la inductancia deseada, se usarán bobinas del tipo indp cuando se requieran valores de inductancia grande para que su factor de calidad sea aceptable. En caso de necesitar inductancias pequeñas, se usará symindp. Aun así, en los casos donde sea posible, se intentarán eliminar las bobinas del diseño, ya que ocupan un área considerable.



4.2.2. Condensadores

Un condensador es un dispositivo pasivo que almacena energía mediante la generación de un campo eléctrico entre dos placas conductoras. Este componente es fundamental en circuitos de radiofrecuencia, especialmente en redes de adaptación, filtrado o acoplo. En el entorno CMOS, los condensadores se implementan principalmente mediante estructuras metálicas o de capa de inversión.

4.2.2.1 Condensadores MOM

Los condensadores MOM (*Metal-Oxide-Metal*) siguen estructuras basadas en el apilamiento de capas metálicas separadas por un óxido. Son ampliamente utilizados por su alta densidad capacitiva y su baja capacidad parásita, facilitando el control de la impedancia en circuitos de radiofrecuencia. La Figura 4.8 muestra la representación física de un condensador *MOM*.

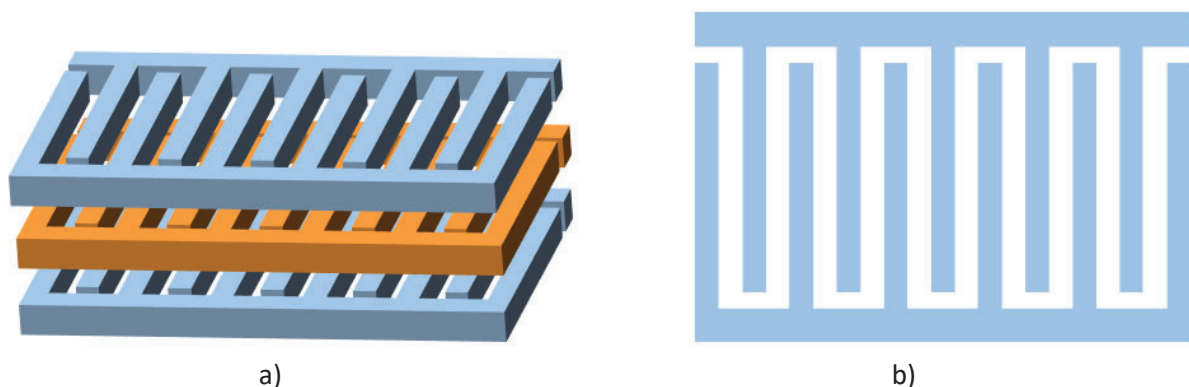


Figura 4.8. Representación gráfica de un condensador *MOM*: a) vista 3D, b) vista desde arriba [36]

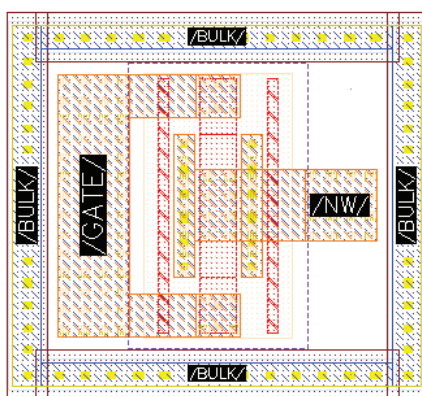
- **APMOM (Alternative Polarity Metal-Oxide-Metal):** Condensadores de estructura metalizada, caracterizados por su alta linealidad y estabilidad. Al estar situados en las capas de interconexión del *back-end-of-line* (BEOL), presentan menores capacidades parásitas hacia el sustrato, lo que los hace ideales para aplicaciones de radiofrecuencia. Dentro de esta familia de condensadores existen varias versiones según el voltaje que soportan, que van desde los 1,8 V hasta los 10 V. En cuanto a la densidad capacitiva, los condensadores 1,8 V poseen el valor más alto de todos. Todos ellos poseen una tolerancia de 15 %.



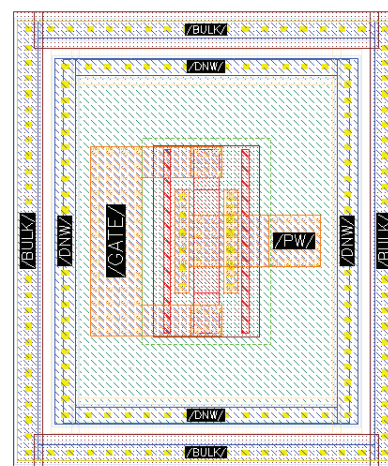
Figura 4.9. Layout de un condensador APMOM

4.2.2.2 Varactores

- **ncap y pcap (NFET/PFET Capacitor):** Varactor basado en una estructura MOS (Metal-Óxido-Semiconductor), donde la capacitancia se genera mediante la capa de inversión bajo el terminal de puerta. Los condensadores del tipo NFET se basan en una estructura con sustrato tipo N, mientras que los de tipo PFET poseen un sustrato tipo P. De igual manera que los MOSFET, existen variantes con óxido de puerta fino (NCAP/PCAP) o grueso (EGNCAP/EGPCAP), los de óxido grueso permiten soportar tensiones superiores a los modelos de óxido delgado. Aunque ofrecen la mayor densidad capacitiva disponible, su valor es dependiente de la tensión aplicada en la puerta, lo cual requiere un análisis detallado.



a)



b)

Figura 4.10. Layout de un varactor: a) NCAP, b) PCAP



- **Thin-Oxide NCAP in SOI (ncapsoi_mmw):** Modelo alternativo de NFET. Consiste en un varactor con una capa de aislante en la puerta. Este condensador posee la mayor capacidad por μm^2 de todos, pero de igual manera que los otros varactores, requiere de un análisis cuidadoso, ya que depende de la tensión de puerta.

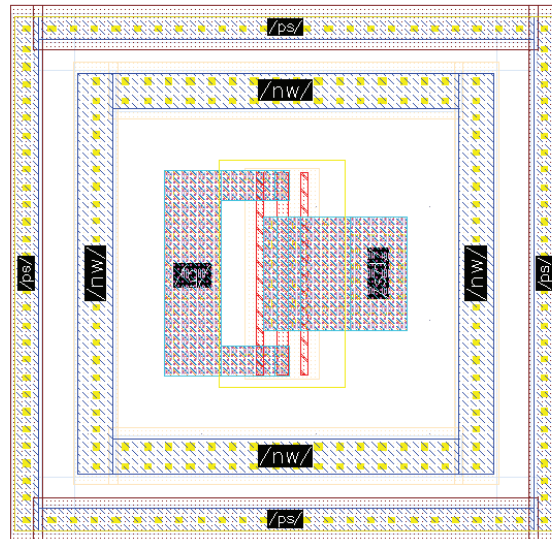


Figura 4.11. Layout de un varactor NCAPSOI

Una vez analizados los tipos de condensadores disponibles en la tecnología, se ha optado por emplear los condensadores de tipo APMOM. Estos condensadores aportan una tolerancia aceptable y una alta flexibilidad en el diseño, ya que no requieren analizar su tensión de puerta como en los otros casos. La Figura 4.12 muestra la imagen en tres dimensiones de un condensador APMOM desde el metal 1 hasta el 5.

Variando el largo de las tiras (L) y el ancho total (W) se consiguen mayores capacidades. El diseñador puede escoger entre qué metales implementar su condensador según la capacidad deseada, siendo del metal 1 al 5 la alternativa con mayor densidad capacitiva por área.

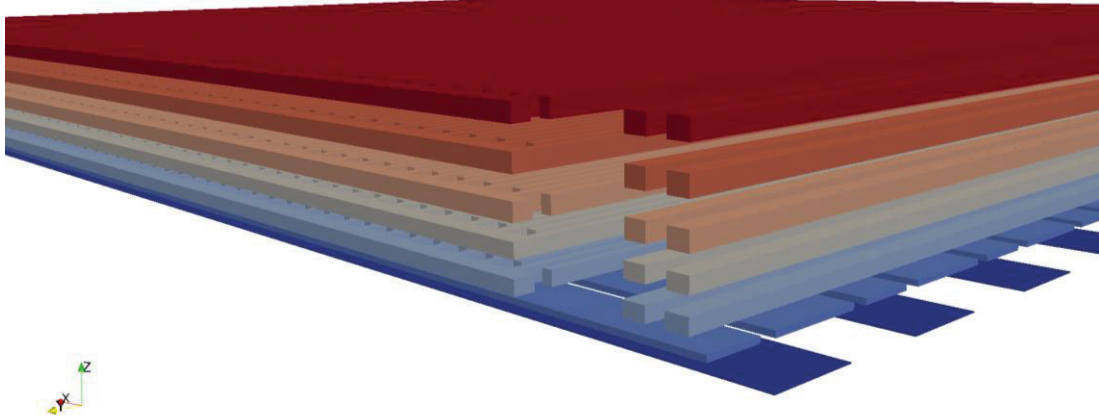


Figura 4.12. APMOM vista en 3D metales del 1 al 5

4.2.3. Resistencias

La resistencia es uno de los componentes más elementales para controlar el flujo de corriente mediante su oposición. Su valor final se consigue mediante el ajuste de la geometría del dispositivo y de la resistividad del material empleado.

La tecnología 22FDX de GlobalFoundries proporciona resistencias de polisilicio y de difusión. Estas resistencias poseen su propia densidad resistiva por unidad de área y tolerancia, lo que permite distintas configuraciones para alcanzar compromisos específicos. Según su aplicación, se debe realizar un análisis cuidadoso antes de elegir. A continuación, se muestran todas las resistencias del kit.

- **npcres_rf (RF Silicided N+ Poly Resistor):** Resistencia de polisilicio caracterizada por una baja resistencia por unidad de área. Su baja resistividad facilita la implementación de valores bajos del orden de 50 - 100 Ω . Posee una tolerancia de alrededor de $\pm 20\%$. La Figura 4.13 muestra su forma física.

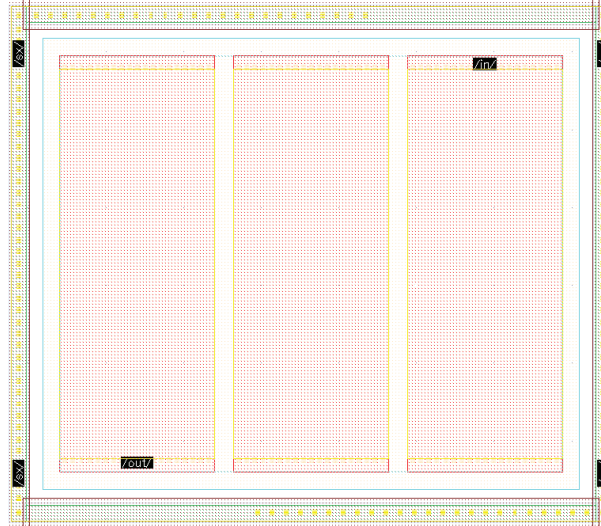


Figura 4.13. Layout de resistencia tipo npcrs con 3 tiras en serie

- **opnpcres_rf (RF Unsilicided N+ Poly Resistor):** Esta resistencia presenta una resistencia por unidad de área más alta. Esto permite obtener valores de resistencia más elevados en la misma superficie, con tolerancias típicas de aproximadamente 12 – 15 %.

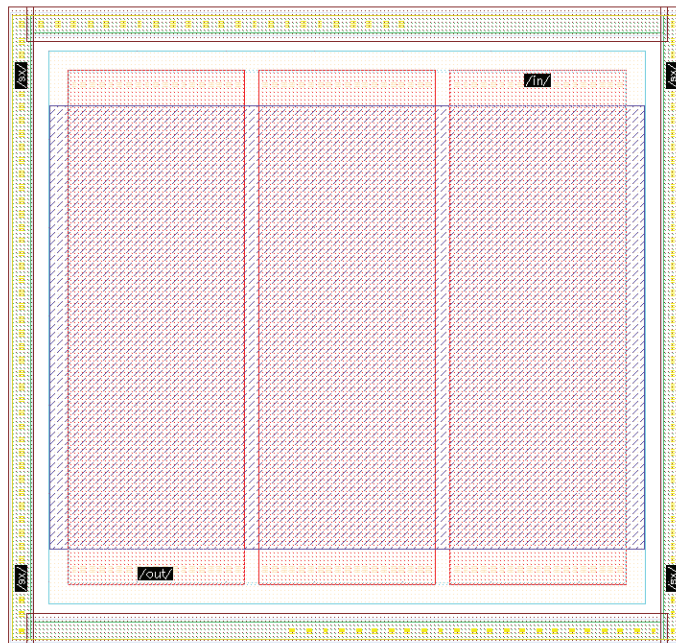


Figura 4.14. Layout de resistencia tipo opnpcres con 3 tiras en serie



- **reopnpcres_rf (RF High Resistance Unsilicided N+ Poly Resistor):** Variante de alta resistencia basada en N+ poly unsilicided. Se utiliza cuando se necesitan valores elevados. Esta resistencia presenta tolerancias del 15 % aproximadamente.

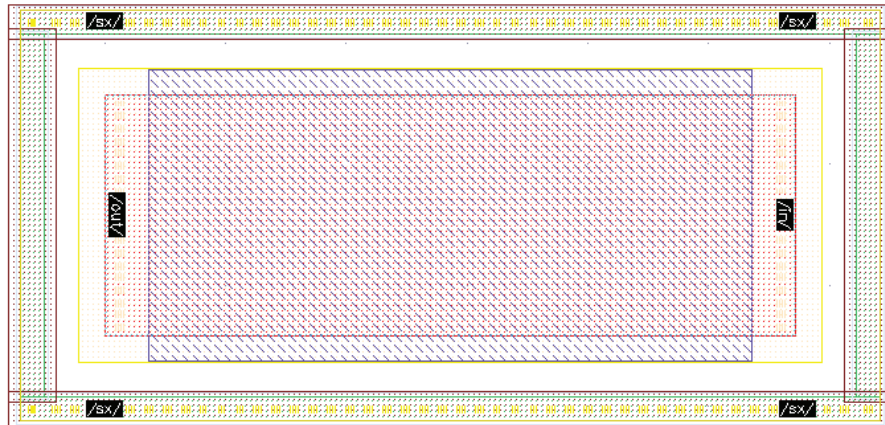


Figura 4.15. Layout de resistencia tipo reopnpcres con 1 tira

- **reopnarnpcres_rf (RF High Resistance Narrow Unsilicided N+ Poly Resistor):** Versión estrecha de alta resistencia. Permite obtener mucha resistencia en poco espacio a costa de poseer una tolerancia elevada con un valor en torno al 23 – 30 %.

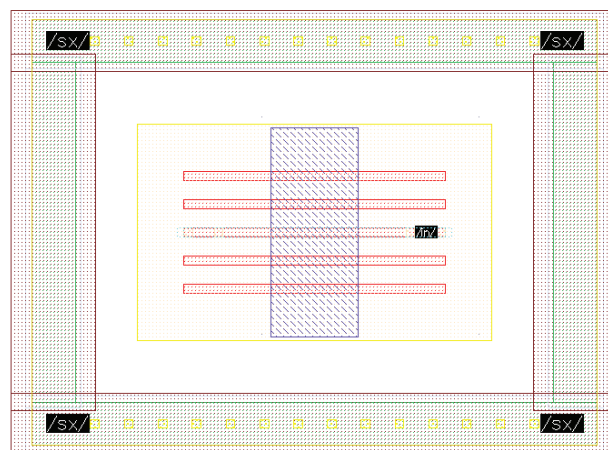


Figura 4.16. Layout de resistencia tipo reopnarnpcres con 1 tira



- **opndressoi_rf (RF Unsolicited N+ Diffusion Resistor in SOI):** Resistencia implementada en región de difusión N+ sobre sustrato SOI. Es una alternativa a las resistencias de polisilicio cuando se desea integrar el componente directamente en la zona activa del dispositivo.

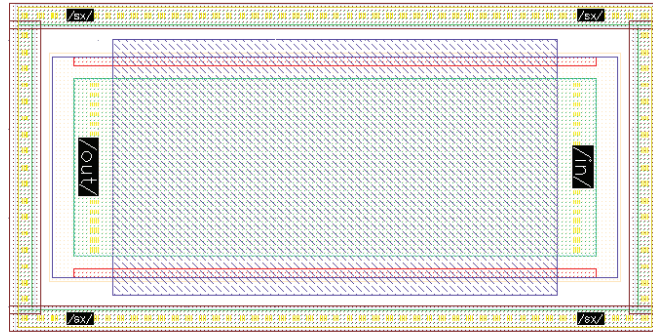


Figura 4.17. Layout de resistencia tipo opndressoi con 1 tira

Para su implementación en el LNA, se ha seleccionado el modelo reopnrcres_rf como elemento resistivo. Esta elección se debe a que este componente permite alcanzar la alta impedancia requerida y presenta un compromiso adecuado entre área ocupada y tolerancia.

4.2.4. Diodos

Los diodos son dispositivos semiconductores no lineales que permiten el paso de corriente en un solo sentido. El diodo básico consiste en la unión de dos semiconductores tipo P y N donde al polarizar en directa, surge una corriente por difusión. Existen numerosos tipos de diodos con diferentes aplicaciones, como el diodo Schottky o Zener. La tecnología de GlobalFoundries ofrece tres familias de diodos, diodos de *tie-down*, *Parasitic Diffusion-well* y el diodo Schottky.

A continuación, solo se verán los diodos de *tie-down*, ya que son los necesarios en el diseño para eliminar el efecto antena.

4.2.4.1 Diodos *tie-down*

En el PDK se ofrecen dos tipos de diodo *tie-down*, del tipo N+ to Psub o P+ to NW. La principal diferencia entre ambos es el sustrato al que van conectados, siendo el primero de ellos un sustrato tipo P y el segundo un sustrato tipo N. Sirven para evitar daños en la capa de óxido provocados a la acumulación de carga durante la fabricación, debido al efecto antena. Son necesarios para puertas FET, pozos tipo P,



condensadores MIM, entre otros [37]. Al igual que los transistores, existen variantes de óxido de puerta fino y grueso y sus prestaciones dependen de su geometría. La Figura 4.18 muestra el *layout* de estos diodos.

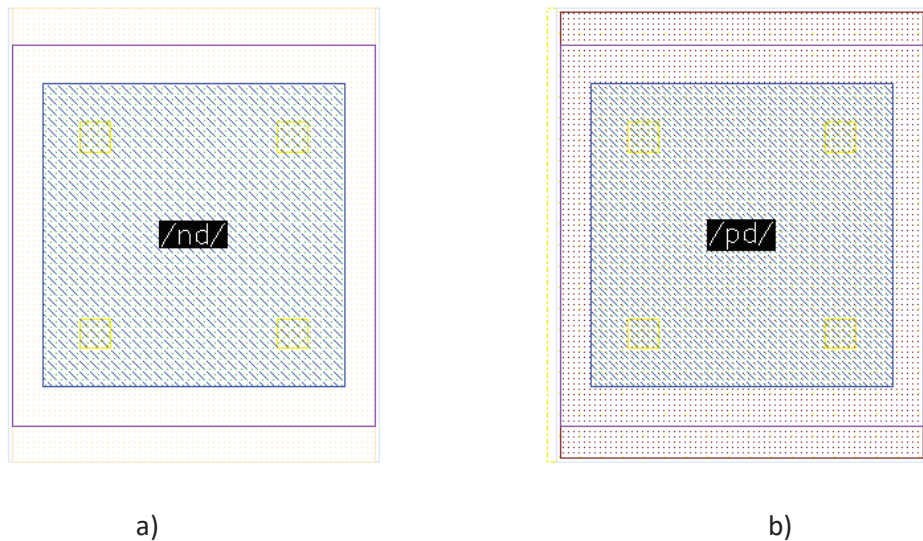


Figura 4.18. *Layout* de los diodos: a) N+ to Psub, b) P+ to NW

En el *layout* del transistor será necesario usar los diodos para evitar daños en fabricación, como se recomienda en el kit, para nodos con tensión positiva se debe usar el diodo N+ to Psub. En sustratos convencionales existe un diodo parásito entre terminal de drenador y fuente con el sustrato, este concepto se mencionó previamente. Debido a este diodo parásito, el efecto antena solo se consideraba en las puertas de los transistores, pero la tecnología 22FDX está construida sobre una capa de aislante que elimina este diodo parásito. Por este motivo es necesario usar un diodo de descarga en cada uno de los terminales del transistor.



4.3. Activos

Un elemento activo es un componente electrónico capaz de generar, amplificar o controlar el flujo de energía eléctrica en un circuito. Estos dispositivos son principalmente transistores o fuentes de voltaje o corriente. A continuación, se irán viendo los componentes activos del PDK que se utilizan en el diseño.

4.3.1. Transistores

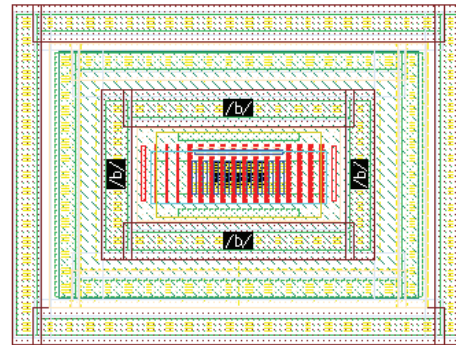
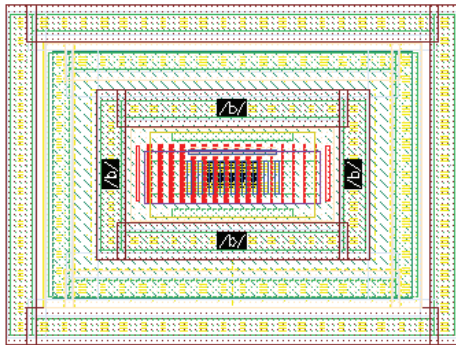
El PDK de GlobalFoundries ofrece dos familias tecnológicas de transistores SG y EG. Sirven para distintas aplicaciones, aunque ambas comparten la base física del proceso FD-SOI. Cada una de estas familias está optimizada para condiciones de diseño diferentes, por lo que no son equivalentes desde el punto de vista eléctrico ni funcional. Además, cada familia ofrece distintos dispositivos, otorgando flexibilidad al diseñador para escoger el que mejor se adapte a la aplicación deseada.

La familia SG es la opción estándar, consiste en unos transistores con óxido de puerta de grosor fino, su tensión de alimentación nominal es de 0,8 V. La familia EG corresponde a una variante de óxido grueso, a diferencia de la familia anterior, estos soportan una tensión de alimentación mayor, que varía desde 1,2 V hasta 1,8 V según la variante. Asimismo, existen transistores de Low Leakage para ambas familias. El *leakage* o corriente de fuga es una corriente eléctrica no deseada que fluye entre los terminales de un transistor, aunque esté cortado. También existen transistores especiales como el BFMOAT, zero V_{TH} , LDMOS y otros que tienen una aplicación más específica.

Además de la familia tecnológica, el PDK distingue distintos tipos de dispositivo clasificados según su tensión umbral: SLVT (Super Low VT), LVT (Low VT), RVT (Regular VT) y HVT (High VT). Se puede observar su *layout* en la Figura 4.19. Esta clasificación es especialmente relevante porque la tensión umbral condiciona el punto a partir del cual el dispositivo comienza a conducir. Por lo general, una menor tensión ofrece mejores prestaciones en velocidad, pero implica mayores corrientes de fuga. En este sentido, el dispositivo SLVT presenta la tensión umbral más baja, lo que favorece una activación más rápida, pero presenta las mayores corrientes de fuga, mientras que RVT mantiene un compromiso entre velocidad y fuga. LVT ofrece un comportamiento más cercano a HVT, pero con mejores prestaciones de velocidad y HVT presenta la tensión umbral más alta, lo que reduce las corrientes de fuga, a costa de penalizar la rapidez de conmutación. La Tabla 4.1 recoge los diferentes tipos de transistores calificados por su familia y tipo además de aquellos especiales para aplicaciones específicas.



nfet hvtnfet



lvtnfet slvtnfet

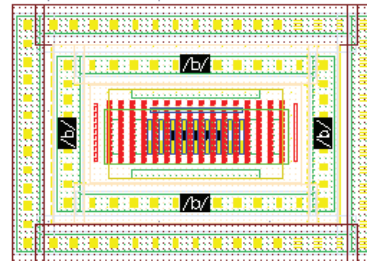
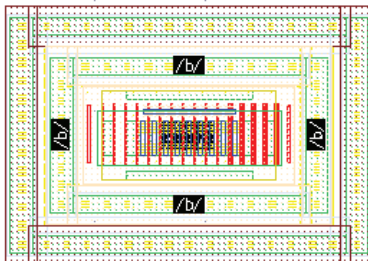


Figura 4.19. Layout de las 4 variantes de FETs



Tabla 4.1. Modelos disponibles de FETs en el PDK

FETs	Modelos
Regular-Vt	NFET y PFET (nfet/pfet)
High-Vt FET	NFET y PFET (hvtntfet/hvtvpfet)
Super Low-Vt	NFET y PFET (slvtnfet/slvtpfet)
Low-Vt FET	NFET y PFET (lvtntfet/lvtvpfet)
1,2V EG I/O Super Low-Vt	NFET y PFET (eguslvtnfet/ eguslvtpfet)
1,2V EG I/O Low-Vt	NFET y PFET (egulvtnfet / egulvtpfet)
1,5V EG I/O Super Low-Vt	NFET y PFET (egvslvtnfet / egvslvtpfet)
1,5V EG I/O Low-Vt	NFET y PFET (egvltnfet / eglvtpfet)
1,8V EG I/O Super Low-Vt	NFET y PFET (egslvtnfet / egslvtpfet)
1,8V EG I/O Low-Vt	NFET y PFET (eglvtnfet / eglvtpfet)
0,9V EG zero Vt	Solo PFET (egzvtpfet)
EGU BFMOAT	Solo NFET (egubfmoatnfet)
EGV BFMOAT	Solo NFET (egvbfmoatnfet)
EG BFMOAT	Solo NFET (egbfmoatnfet)
BFMOAT nfet	Solo NFET (bfmoatnfet)
Ultra low Vt pslvt in Pwell with P WF gate	Solo PFET (elvtxpfet)
EG ultra low leakage pfet	Solo PFET (egullpfet)
3,3V nEGLDMOS	NFET y PFET (ldnfet3p3/ ldpfet3p3)
5V EGLDMOS	NFET y PFET (ldnfet5p0/ ldpfet5p0)
6,5V EGLDMOS	NFET y PFET (ldnfet6p5/ldpfet6p5)



La tecnología de 22FDX de GlobalFoundries incorpora la técnica de *Body Bias*, un aspecto innovador en sus transistores. El *Body Bias* consiste en la polarización del sustrato donde se encuentra el transistor, de tal forma que variando esta tensión se puede modificar la tensión umbral. Esta característica tiene dos aplicaciones directas, se pueden mejorar las prestaciones de cualquier transistor de tal forma que, usando una tensión al sustrato, un transistor se acerca más al extremo de prestaciones o al extremo de menos fugas. La Figura 4.20 muestra claramente este concepto. La segunda aplicación directa es mantener prestaciones similares, pero bajando el consumo [14]. La polarización del sustrato puede realizarse con una tensión positiva (*Forward Body Bias*, FBB) que disminuye la V_{TH} o negativa (*Reverse Body Bias*, RBB) que aumenta V_{TH} para tener menos fugas. La elección entre FBB y RBB depende del tipo de transistor y el objetivo del diseño. De forma nominal, ambos transistores, NFET y PFET deben ir conectados con el sustrato a tierra, a diferencia del proceso CMOS tradicional, donde los NMOS debían ser conectados a la tensión más baja del circuito y los PMOS a la más alta.

El *Body Bias* tiene ciertas limitaciones cuando se usa un sustrato convencional, es decir, si el sustrato de un NFET es tipo p o el sustrato de un PFET es tipo N. Tomando como ejemplo un transistor tipo N, el contacto de fuente o drenador es tipo N+ para crear un contacto óhmico y conseguir que los electrones fluyan hacia el exterior. Si se polariza el sustrato, se obtiene una estructura PN con el terminal p polarizado, es decir, un diodo. Por ese motivo la tensión de FBB máxima que se puede aplicar a un FET con sustrato convencional es de 0,3 V. Para RBB es la tensión de ruptura de los diodos.

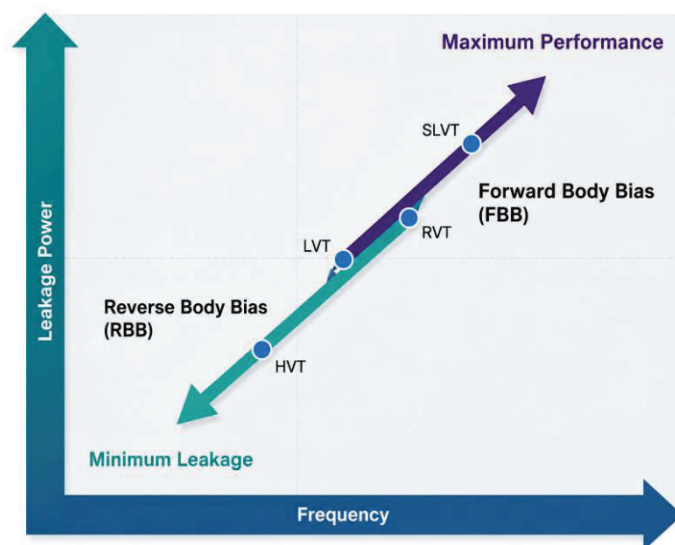


Figura 4.20. Variantes del *Body Bias* según el FET. Adaptada de: [35]



22FDX añade un nuevo tipo de sustrato en sus transistores para poder aprovechar el *Body Bias* al máximo. El sustrato *Flipped Well* es posible gracias a la capa de aislante que existe debajo de la puerta en el proceso SOI, que elimina el diodo entre drenador/fuente y el sustrato. Por ello, la tensión de *Body Bias* está únicamente limitada por el diodo parásito entre el N-Well y el P-Well. El sustrato tipo *Flipped Well* se denomina así porque, al contrario que en CMOS convencional, un transistor tipo N tiene un sustrato tipo N. De forma análoga, un transistor tipo P presenta un sustrato tipo P. Gracias a esto, la tensión máxima de FBB es de 2 V y de -2 V en RBB.

4.4. Conclusiones

Una vez presentada la tecnología empleada y analizados los principales dispositivos activos y pasivos disponibles en el PDK, el siguiente paso consiste en el diseño inicial del circuito. La caracterización previa de la tecnología resulta fundamental, ya que permite conocer las posibilidades y limitaciones que condicionarán la implementación real del LNA.

Antes de incorporar directamente los componentes reales del kit, se realiza una primera fase de diseño utilizando componentes ideales. Esta primera etapa permite definir la arquitectura del circuito, estudiar el comportamiento de las redes de adaptación y polarización y obtener unos valores iniciales de referencia para las principales métricas del LNA. De esta forma, el diseño ideal sirve como punto de partida para comprender el funcionamiento del circuito sin la influencia de pérdidas, parásitos o limitaciones físicas propias de los componentes reales.

El siguiente capítulo se centrará en el diseño del LNA con componentes ideales, estableciendo una primera solución funcional que posteriormente será sustituida y reajustada mediante los dispositivos reales disponibles en la tecnología 22FDX.



5. Diseño del LNA con componentes ideales

Antes de comenzar con el diseño detallado del LNA, se presenta una visión general del flujo de diseño seguido. El objetivo es facilitar la comprensión de las decisiones adoptadas en las siguientes secciones, ya que el diseño del amplificador se realiza de forma progresiva, partiendo de una estructura sencilla hasta llegar a la topología cascode realimentada final.

1. Se estudia la densidad de corriente del transistor para seleccionar el punto de polarización más adecuado. En esta etapa se analiza el compromiso entre la figura de ruido mínima y la ganancia máxima disponible, buscando mantener buenas prestaciones sin aumentar en exceso el consumo.
2. Se analiza la posición de $G_{\min}$ y S_{11} para distintas geometrías del transistor y diferentes puntos de polarización. Este paso permite anticipar la dificultad de adaptación de la entrada y escoger una configuración que facilite el diseño posterior de la red de adaptación.
3. Se diseña una primera red de adaptación de entrada, con el objetivo de acercar la impedancia óptima de ruido y la impedancia de entrada a 50Ω .
4. Se introduce una red de realimentación RC para mejorar la estabilidad del amplificador, suavizar la respuesta en frecuencia y ampliar el ancho de banda del circuito.
5. Se justifica la transición desde una topología de fuente común hacia una configuración cascode, con el objetivo de aumentar la ganancia y mejorar el aislamiento entre entrada y salida.
6. Se ajusta la red de entrada en la topología cascode, teniendo en cuenta el nuevo comportamiento del circuito y buscando mantener una figura de ruido reducida junto con una buena adaptación de entrada.
7. Se incorpora una carga de drenador y se diseña la red de adaptación de salida, formada por una resistencia, una bobina y un condensador, para adaptar el circuito al puerto de salida.
8. Se verifica el comportamiento del diseño, comprobando que se cumplen las especificaciones de ganancia, figura de ruido, adaptación de impedancias, estabilidad y consumo.



5.1. Especificaciones y consideraciones previas

En este capítulo se lleva a cabo el diseño inicial de un amplificador de bajo ruido en configuración cascode. Para ello, se sigue un flujo de diseño progresivo que justifica cada una de las decisiones adoptadas a lo largo del proceso. En primer lugar, se parte de una topología en fuente común, donde se estudia la polarización del transistor y se realiza la adaptación de la impedancia de entrada. En segundo lugar, se añade una red de realimentación con el fin de mejorar la estabilidad del amplificador y conseguir un mayor ancho de banda. Finalmente, se justifica la transición hacia una topología cascode con el objetivo de mejorar la ganancia del circuito. Una vez definida esta configuración, se estudia la polarización de los transistores y se ajustan las redes de adaptación de entrada y salida.

La Tabla 5.1 recoge las especificaciones que debe cumplir el diseño para considerarse adecuado.

Tabla 5.1. Especificaciones

Especificaciones	
Banda de operación: 6,5 – 8 GHz	Figura de ruido: < 3,5 dB
Consumo de corriente: < 5 mA	P_{1dB} referido a la entrada: > –30 dBm
Ganancia: > 15 dB	Coefficiente de reflexión de entrada y salida: < –10 dB

5.2. Topología CS

En este primer apartado del diseño se parte del diseño de un LNA en configuración de fuente común (*Common Source*, CS), mostrado en la Figura 5.1. Esta topología es muy común en el diseño de amplificadores de bajo ruido, debido a su sencillez, su capacidad de proporcionar una ganancia aceptable y una baja figura de ruido [38].

El primer paso del diseño consiste en seleccionar el transistor más adecuado. Para ello, se analizan las curvas I-V de tres dispositivos disponibles en la tecnología: el LVT_NFET, el SLVT_NFET y el RVT_NFET. Además, se extrae de dichas curvas la tensión umbral de cada dispositivo (Figura 5.2). No se ha optado por usar el transistor HVT_NFET, ya que el objetivo del diseño es obtener las mejores prestaciones posibles en términos de velocidad, conducción y ganancia.



A partir del análisis realizado, se puede apreciar que la V_{TH} de los transistores RVT, LVT y SLVT es 0,305 V, 0,361 V y 0,221 V respectivamente. Dado que el transistor SLVT presenta una menor tensión umbral, permite alcanzar mejores prestaciones en términos de conducción y velocidad. Por este motivo, se selecciona el transistor SLVT_NFET como dispositivo de entrada del LNA.

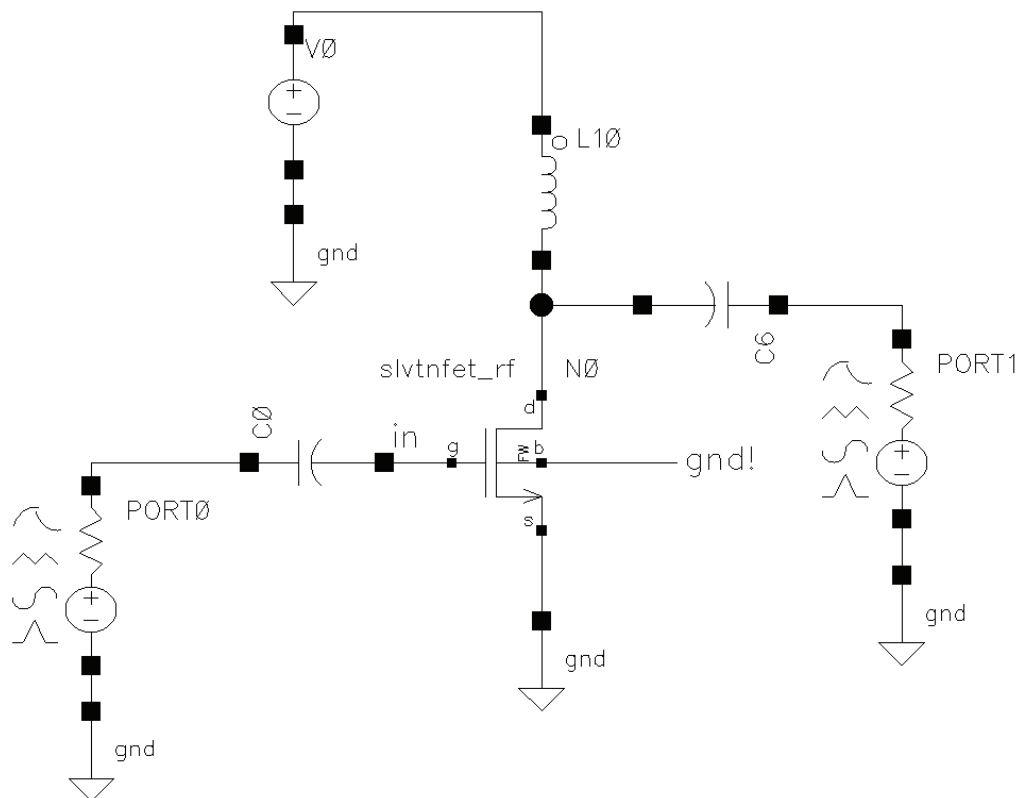


Figura 5.1. Topología básica de un LNA CS



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de Información y Comunicaciones

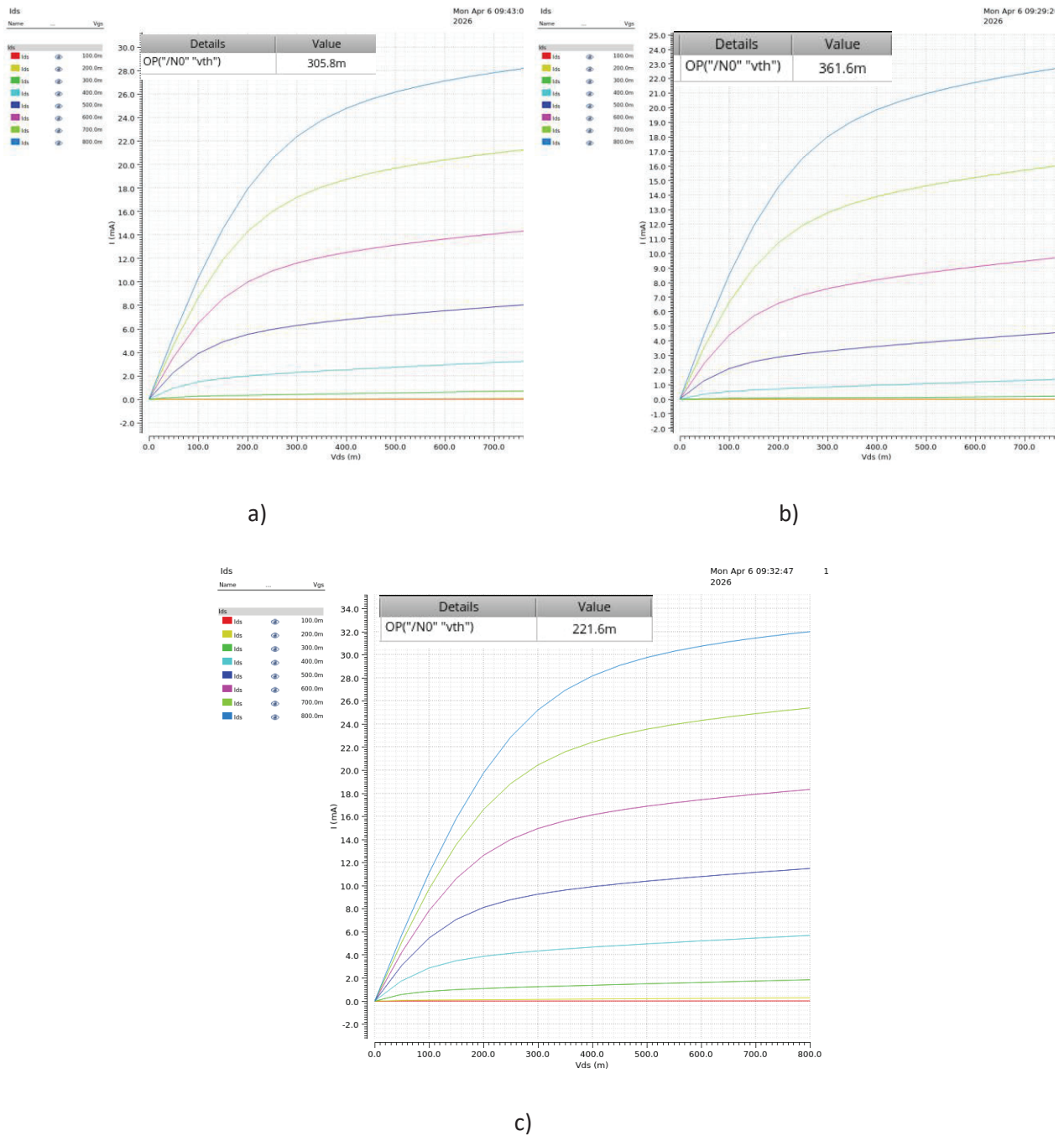


Figura 5.2. Curvas I-V de: a) RVT, b) LVT, c) SLVT

A continuación, se añade un espejo de corriente para seleccionar qué corriente de polarización otorga la menor figura de ruido. Este espejo genera una tensión de puerta V_G que polariza al transistor. La Figura 5.3 muestra el esquemático utilizado para este análisis, donde el transistor N1 presenta las mismas



dimensiones que N0, de modo que la corriente impuesta por la fuente ideal se replica en el transistor principal del LNA.

Este comportamiento se consigue conectando la puerta de N1 a la de N0, haciendo que ambos compartan la misma tensión V_{GS} . Las resistencias R0 y R1 actúan como elementos de filtrado, reduciendo la contribución de ruido procedente de la rama de polarización. Además de variar la corriente de referencia, se varía el ancho del transistor, ya que la corriente de polarización para mínimo ruido viene otorgada por la densidad de corriente por ancho ($A/\mu m$). Por tanto, para cada valor de ancho se obtiene una corriente de polarización óptima diferente. En la Figura 5.4 se muestran las corrientes para mínimo ruido del LNA para distintos anchos del transistor y su ganancia máxima correspondiente.

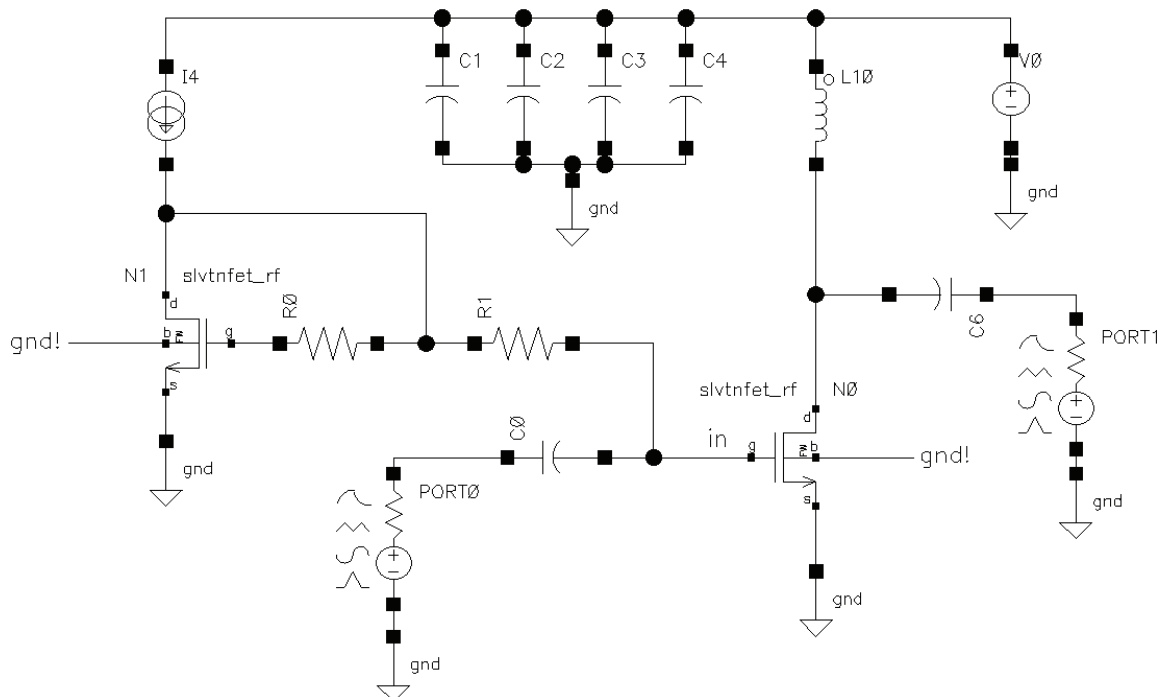


Figura 5.3. LNA CS con espejo de corriente

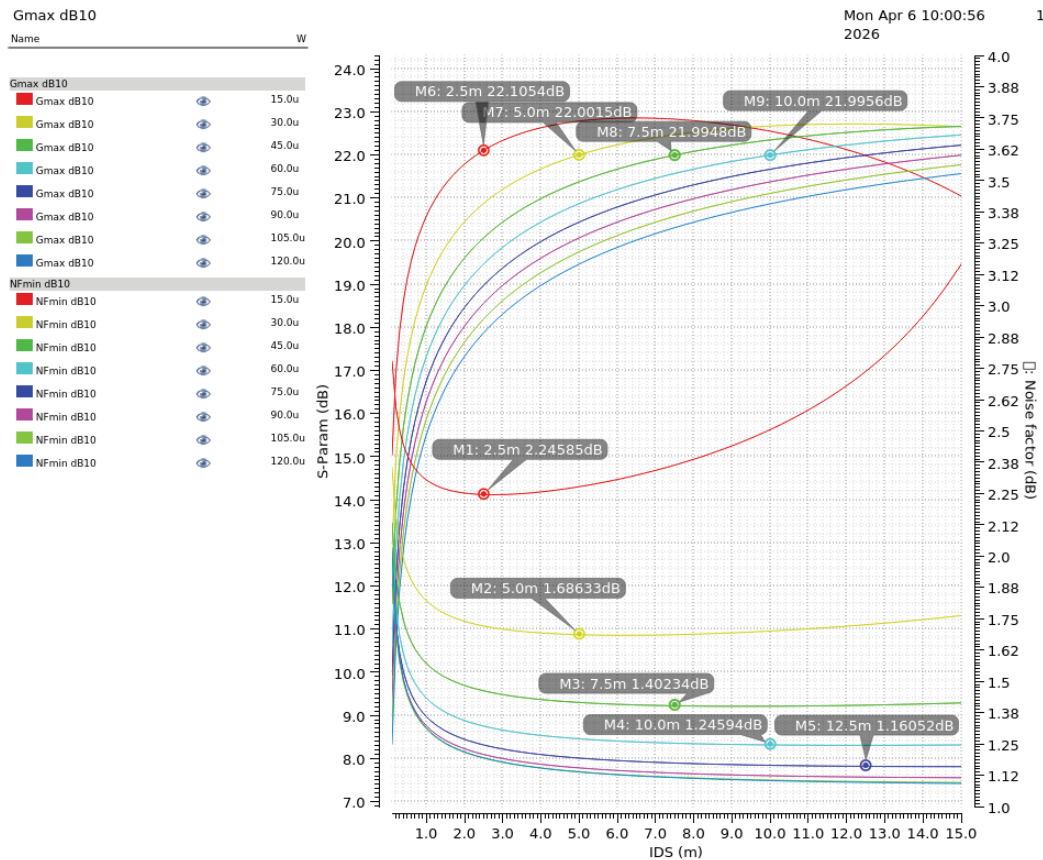


Figura 5.4. Variación de la corriente de polarización para anchos de 15 μm hasta 120 μm

La densidad de corriente asociada a la mínima figura de ruido es de aproximadamente 0,167 $\text{mA}/\mu\text{m}$, pero existe una meseta bastante plana, por lo que es posible seleccionar una corriente de polarización menor sin que la figura de ruido se vea afectada de manera significativa.

Por otro lado, las curvas situadas en la zona superior representan la ganancia máxima que se puede conseguir para ese transistor. A partir de estos resultados se presenta uno de los primeros compromisos del diseño, optimizar el circuito para obtener la mínima figura de ruido o priorizar la máxima ganancia. En este trabajo se selecciona un ancho de transistor de 90 μm , ya que permite alcanzar una figura de ruido baja, una ganancia aceptable y una corriente de polarización de 3 mA.

Finalmente, una vez fijado el ancho total del transistor, se hace un barrido del ancho de *finger* con el objetivo de seleccionar el más adecuado. Los resultados de este análisis se muestran en la Figura 5.5. A partir de ellos, se elige un ancho de *finger* de 1 μm , ya que presenta un buen compromiso entre mínima figura de ruido y ganancia máxima.

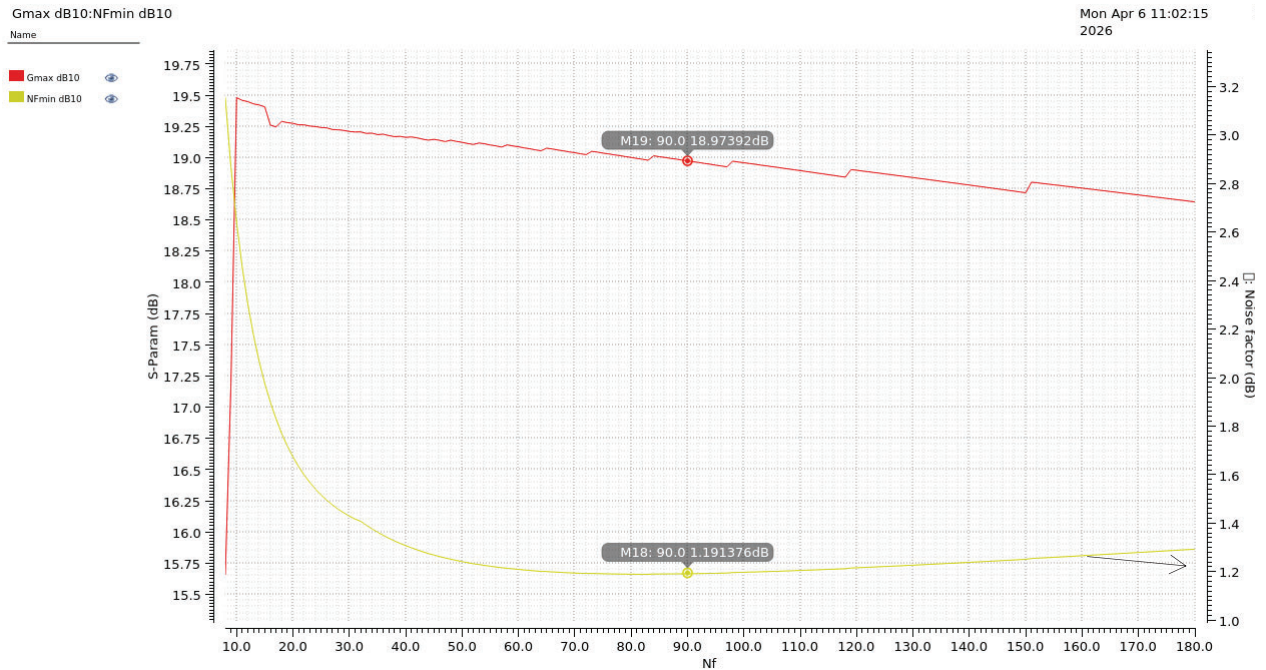


Figura 5.5. Variación del ancho de *finger*

En la Figura 5.6 se muestra la respuesta en frecuencia del LNA. Lo primero que se observa es que no es estable, debido a que el factor Kf es menor que la unidad en toda la banda [39], por lo que resulta necesario introducir una técnica de estabilización que eleve este factor. Para ello, se añade una bobina en la fuente (L_{source}) mostrada en la Figura 5.7. Además de mejorar la estabilidad, la incorporación de L_{source} también permite modificar la impedancia vista en la entrada del transistor, por lo que se intentará desplazar la impedancia óptima de ruido (G_{min}) hacia el centro de la carta de Smith para conseguir la mínima figura de ruido.

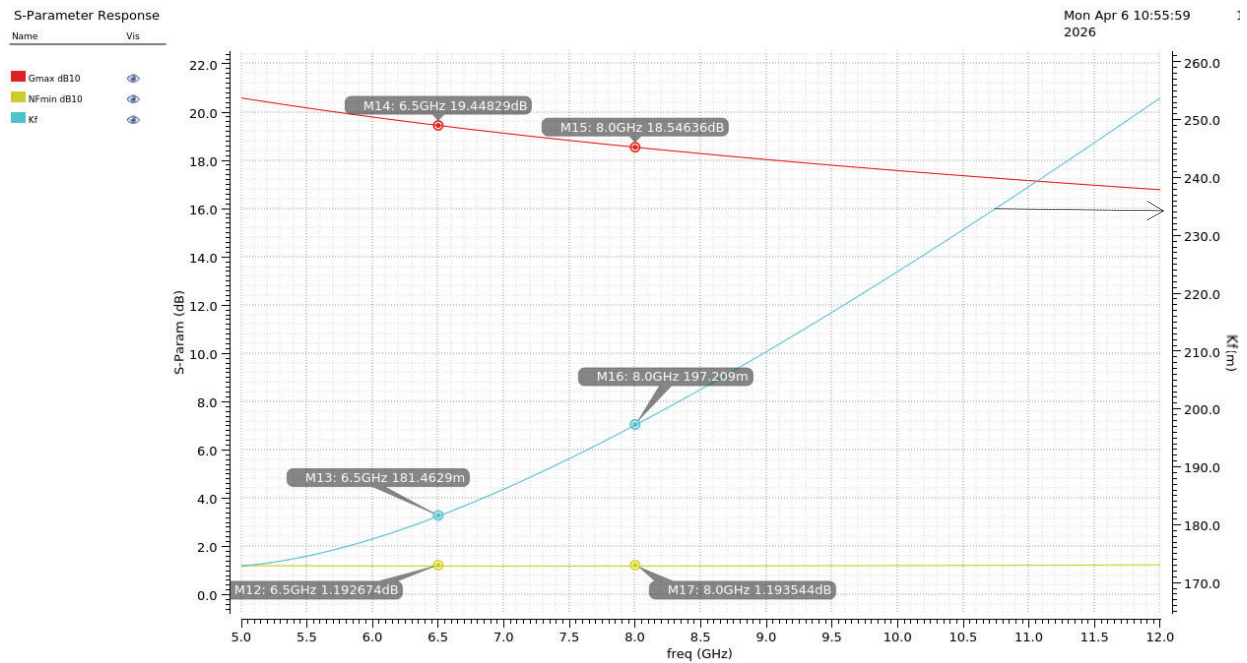


Figura 5.6. Respuesta en frecuencia del LNA

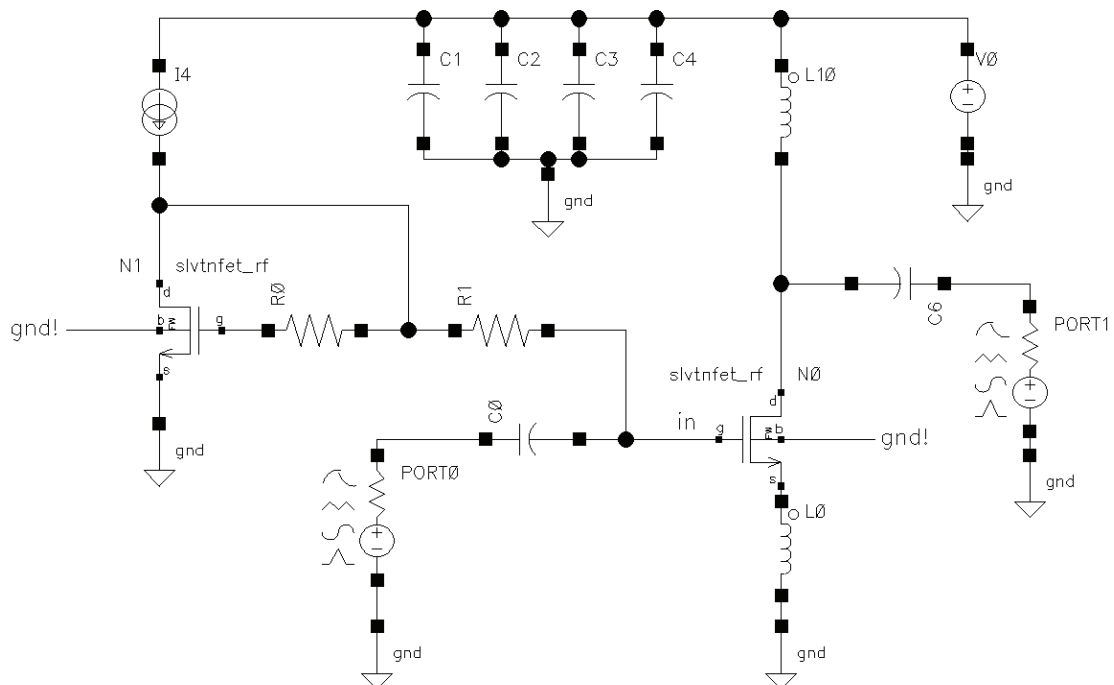


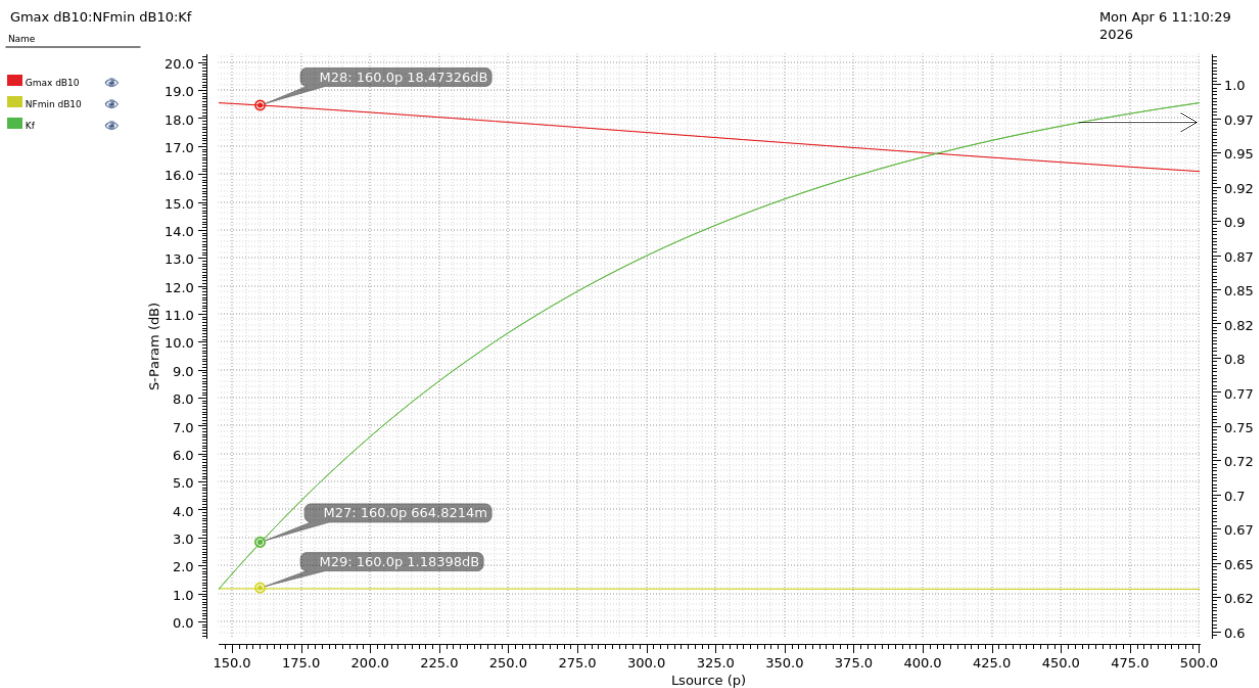
Figura 5.7. Esquemático con bobina en la fuente



El modelo real de inductor en espiral disponible en la tecnología se llama *indp*. Como se mencionó en el capítulo anterior, este tipo de bobinas no permite implementar inductancias inferiores a aproximadamente 142 pH a una frecuencia de 7,3 GHz manteniendo un factor de calidad aceptable, por lo que el barrido comenzará en 145 pH.

En cuanto a los resultados obtenidos, la Figura 5.8 muestra que, en términos de figura de ruido, la incorporación de L_{source} no produce mejora. Esto se debe a que el valor de G_{min} permanece constante para todo el barrido. Sin embargo, sí se observa que L_{source} contribuye ligeramente a mejorar la adaptación de entrada.

Por el momento, aunque L_{source} no presente mejoras significativas en cuanto a la adaptación y a la figura de ruido, permanecerá en el diseño ya que aporta estabilidad al circuito.



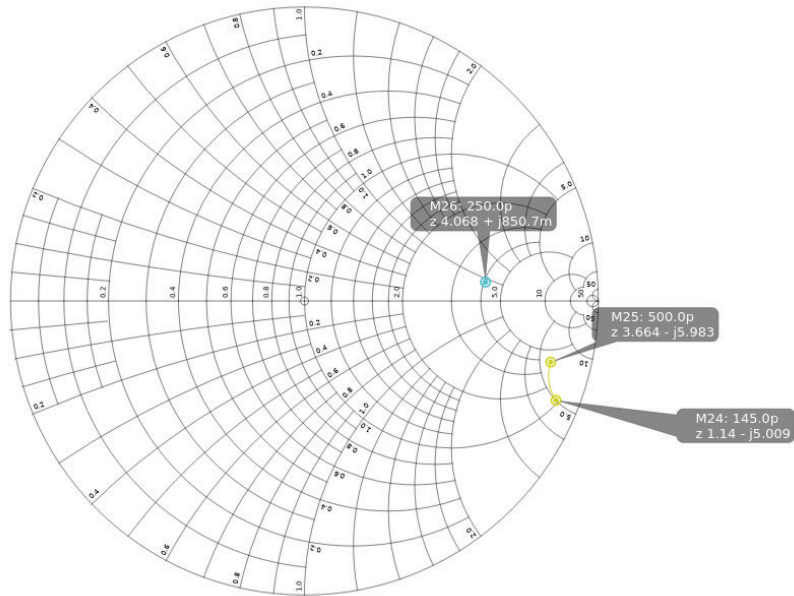
a)



Gmax dB10:NFmin dB10:S11:Gmin

Name	Vis
S11	
Gmin	

Mon Apr 6 11:10:29
2026



b)

Figura 5.8. Resultados de la variación de L_{source} para: a) G_{max} , NF_{min} y K_f , b) Carta de Smith para G_{min} y S_{11}

Para solucionar el problema de la figura de ruido, es necesario diseñar una red de adaptación en la entrada del transistor que transforme la impedancia óptima de ruido, asociada a G_{min} , a la impedancia de referencia de 50Ω del puerto de entrada [39].

Se empieza añadiendo una bobina a la entrada del transistor (L_{gate}). La Figura 5.9 recoge el barrido de la inductancia hasta 3,5 nH. Se observa que G_{min} se desplaza ligeramente hacia el centro de la carta, pero los resultados con solo L_{gate} son insatisfactorios. Por este motivo, se le añade a la red de entrada un condensador en paralelo (Figura 5.10).



S11:Gmin

Name	Vis
S11	
Gmin	

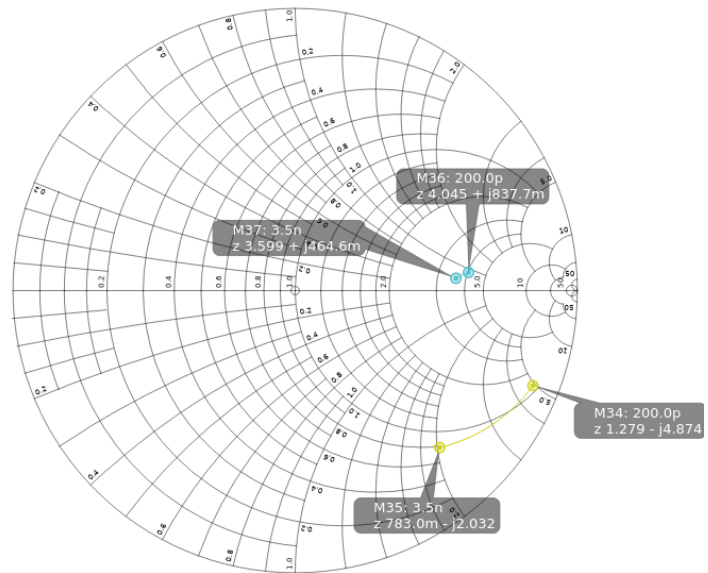


Figura 5.9. Resultados de la variación de L_{gate} en la carta de Smith para G_{min} y S_{11}

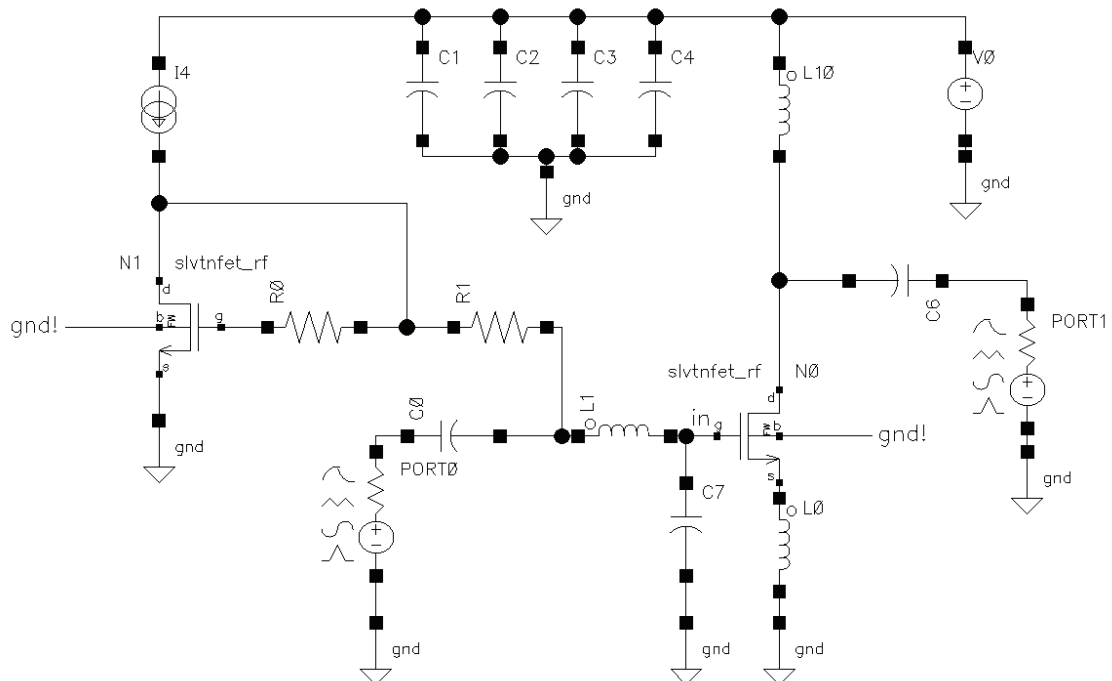


Figura 5.10. Esquemático con red de adaptación a la entrada



La aportación del condensador de entrada C_{gate} para un valor de $L_{gate} = 3$ nH se muestra en la Figura 5.11. Se observa que, gracias a la incorporación de este condensador, es posible desplazar G_{min} al centro de la carta de Smith, aproximando la impedancia de entrada a la condición de mínima figura de ruido. Tras el ajuste de ambos componentes, los resultados de L_{gate} y C_{gate} son 4 nH y 75 fF, respectivamente.

S11:Gmin

Name	Vis
S11	
Gmin	

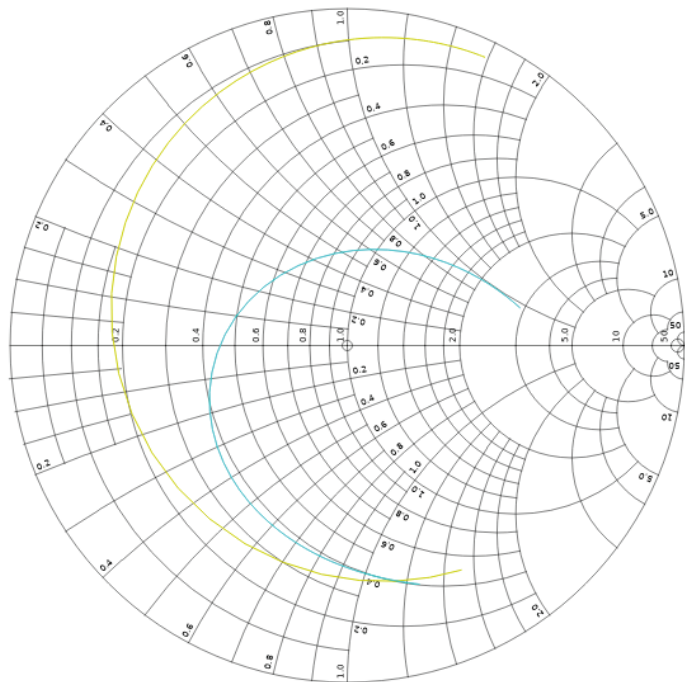


Figura 5.11. Resultados de la variación de C_{gate} en la carta de Smith para G_{min} y S_{11}



S11:Gmin

Name	Vis
S11	
Gmin	

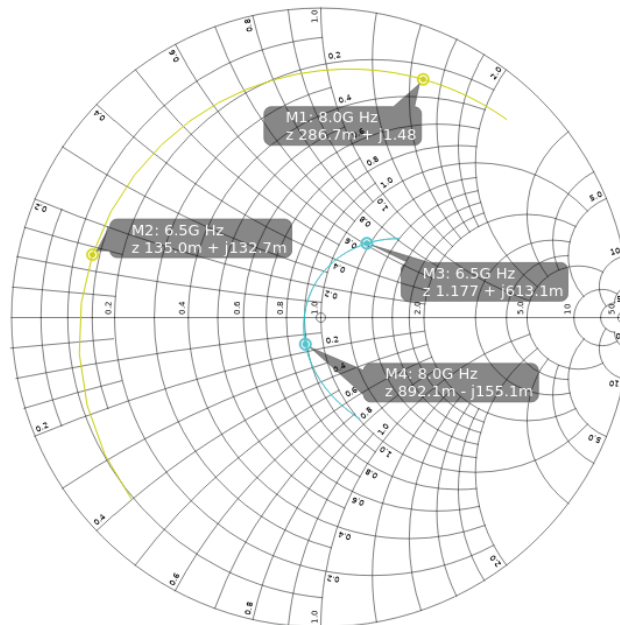


Figura 5.12. Resultados finales en la carta de Smith para G_{min} y S_{11}

La Figura 5.12 muestra que, aunque la adaptación de G_{min} es aceptable, el parámetro S_{11} varía demasiado en frecuencia. Por ello, se incorpora una red de realimentación compuesta por una resistencia y un condensador, como se muestra en la Figura 5.13. Esta red tiene como objetivo mejorar la adaptación de entrada y contribuir a un comportamiento más estable del amplificador en toda la banda de trabajo.

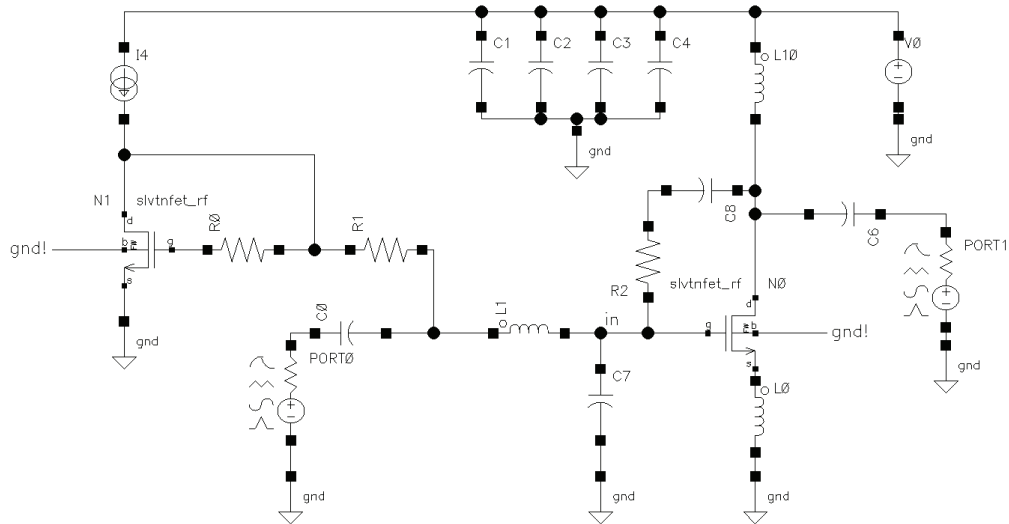


Figura 5.13. Esquemático con red de realimentación RC

Al incorporar la red de realimentación, resulta necesario reajustar los valores de L_{gate} y C_{gate} para mantener una buena adaptación en la entrada. La Figura 5.14 muestra el efecto que tiene esta red de realimentación en el diseño. Como puede observarse, mejora su respuesta en frecuencia y consigue bajar el valor de la inductancia de entrada, lo que significa menos área.

Esta reducción de L_{gate} resulta muy relevante desde el punto de vista de la implementación física, ya que las bobinas integradas suelen ocupar un área considerable dentro del layout. Por tanto, además de mejorar la respuesta en frecuencia, la red de realimentación permite obtener una solución más favorable en términos de área.



S11		
Name		Cfb
S11		
S11		25.0f
S11		50.0f
S11		75.0f
S11		100.0f
Gmin		
Gmin		25.0f
Gmin		50.0f
Gmin		75.0f
Gmin		100.0f

Mon Apr 6 13:12:41
2026

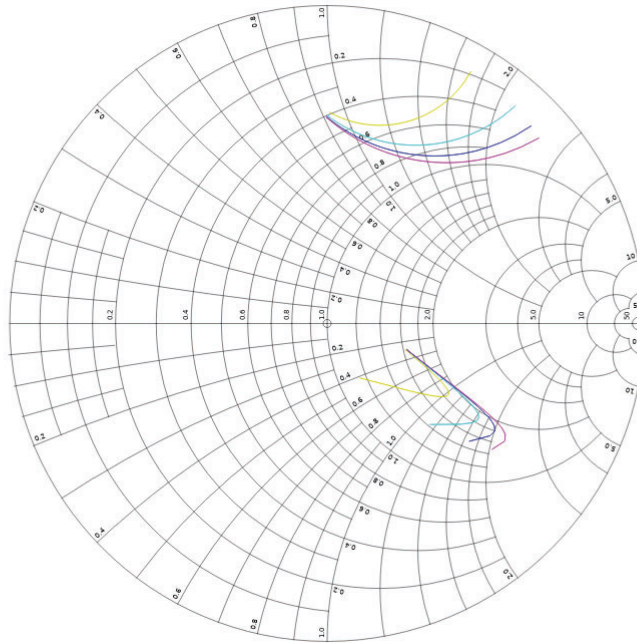
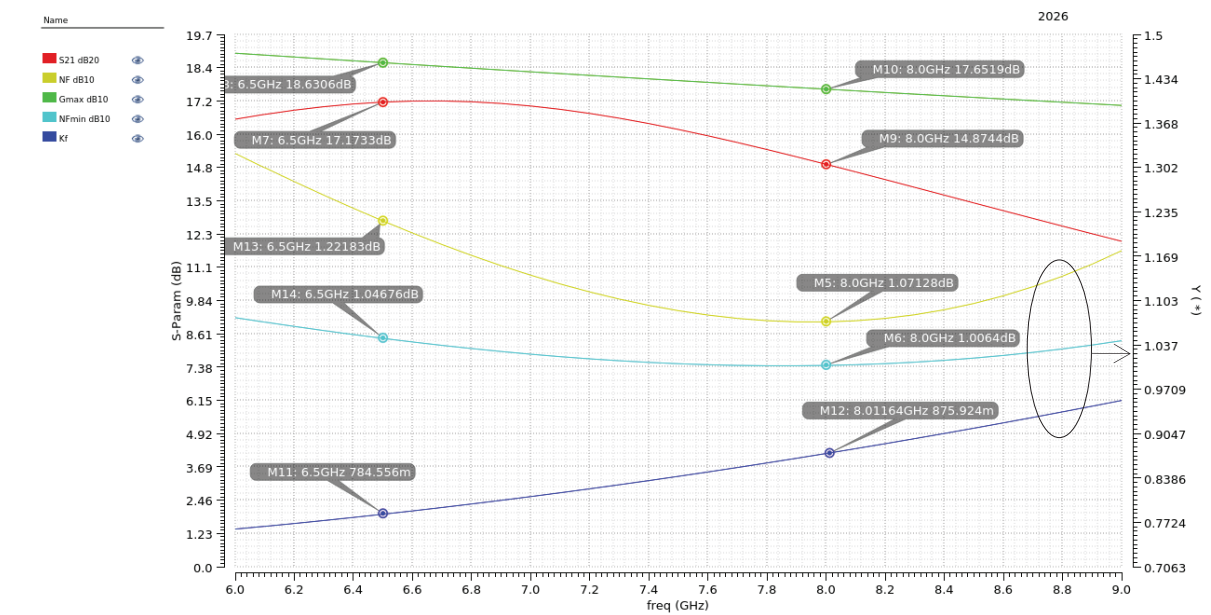


Figura 5.14. Resultados de la variación de la red de realimentación

Finalmente, las prestaciones obtenidas con esta configuración se recogen en la Figura 5.15. El principal inconveniente de la configuración fuente común es la falta de ganancia, teniendo en cuenta que uno de los objetivos del diseño es maximizar esta métrica dentro de las restricciones. Por otro lado, la variación en frecuencia de esta topología es aceptable, aunque presenta margen de mejora en términos de adaptación y respuesta en frecuencia.

Con el objetivo de incrementar la ganancia y mejorar el comportamiento global del amplificador, se decide modificar la arquitectura y pasar a una topología cascodo.



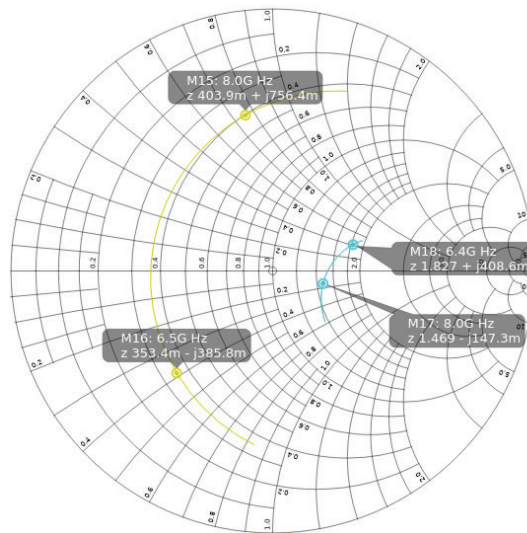
a)

S21 dB20:NF dB10:Gmax dB10:NFmin dB10:S11:Gmin:Kf



Mon Apr 6 13:56:41 2026

1



b)

Figura 5.15. Resultados finales: a) S_{21} frente G_{max} , NF frente NF_{min} y Kf, b) Carta de Smith para S_{11} y G_{min}



5.3. Cascodo

La Figura 5.16 presenta el amplificador en configuración cascodo. Se ha seleccionado esta topología porque permite obtener una ganancia superior a la configuración en fuente común, manteniendo al mismo tiempo una impedancia de salida elevada. Además, en esta etapa del diseño se sustituyen algunos componentes ideales, como R0, R3 o C0, por los reales disponibles en la tecnología. Esta sustitución permite obtener resultados más próximos al comportamiento esperado, aunque el ajuste completo con todos los componentes reales se abordará en el capítulo siguiente.

Si se analizan las ganancias en tensión de pequeña señal del LNA en fuente común y del LNA en configuración cascodo (Figura 5.17), se observa que la topología cascodo permite alcanzar una ganancia más elevada. Esto se debe a que el segundo transistor incrementa la resistencia de salida, lo que se traduce en una mayor ganancia de tensión. Las expresiones correspondientes a ambas ganancias se recogen en las ecuaciones (5.1) y (5.2).

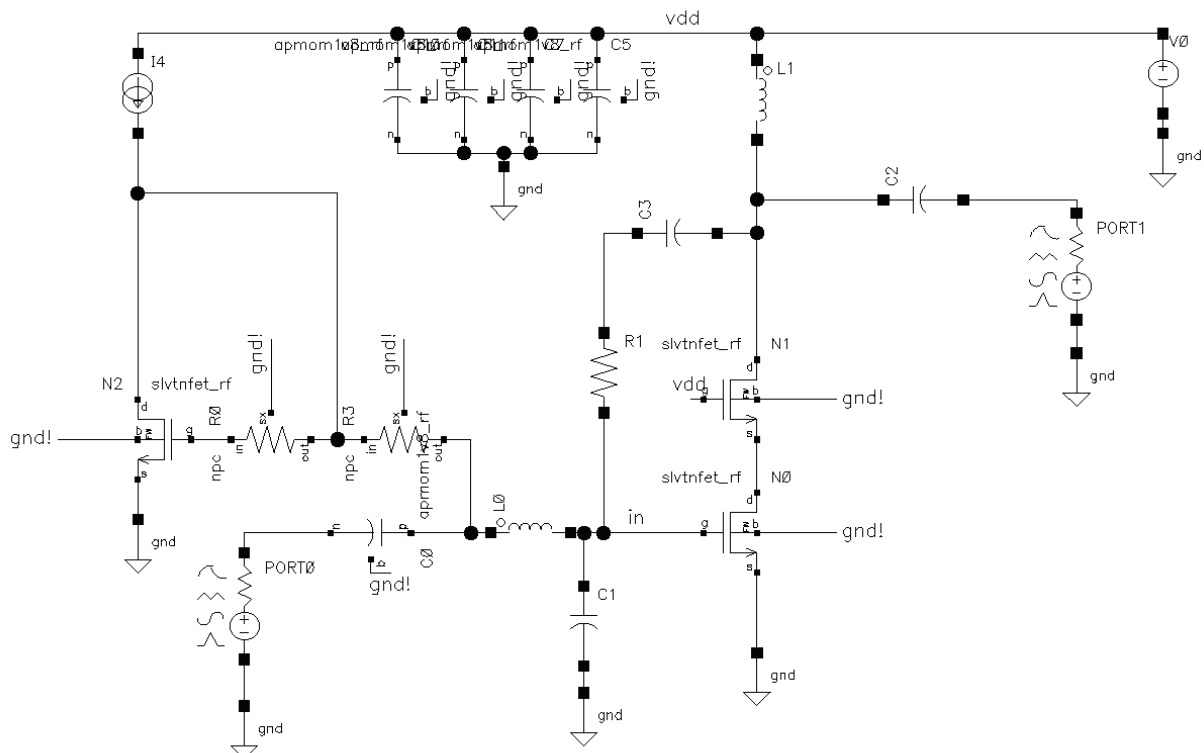


Figura 5.16. Esquemático de la configuración cascodo

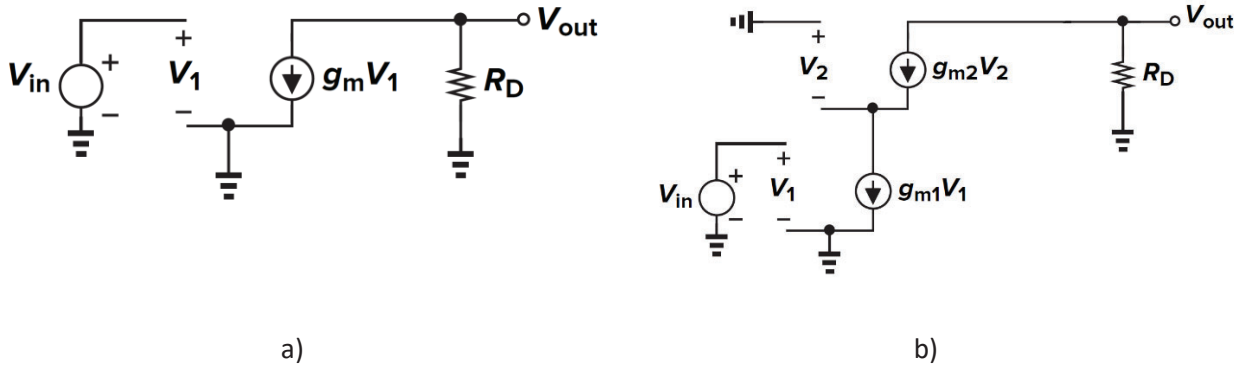


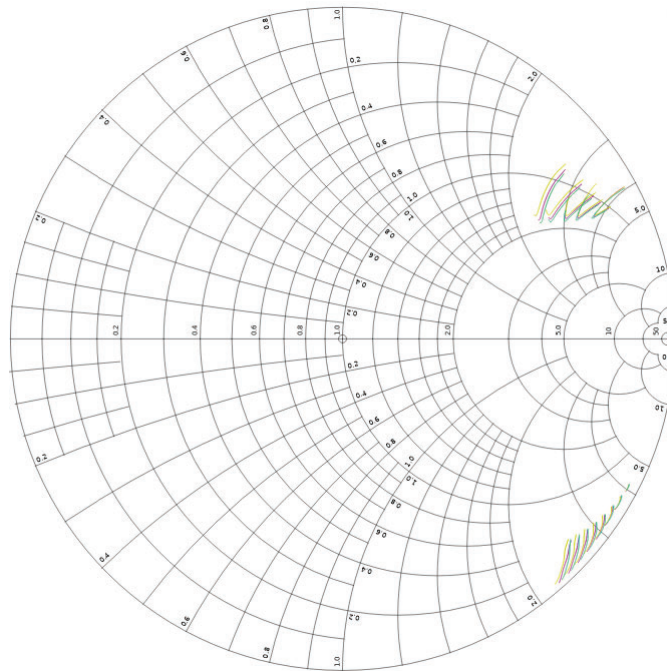
Figura 5.17. Modelo en pequeña señal de: a) Common Source, b) Cascodo

$$\frac{V_{out}}{V_{in}} = -g_{m1} * R_D \quad (5.1)$$

$$\frac{V_{out}}{V_{in}} = -g_{m1}(g_{m2} * R_D) \quad (5.2)$$

Al modificar el esquemático y adoptar la topología cascode, se sigue un flujo de diseño similar al empleado en la configuración anterior. El primer paso consiste en seleccionar la corriente de polarización más adecuada.

Se parte del diseño recogido en la Figura 5.16, donde se realiza un barrido de corriente para distintos anchos de transistor. Este análisis se lleva a cabo para los tres tipos de dispositivos anteriores: RVT_NFET, LVT_NFET y SLVT_NFET.



■ RVT ■ LVT ■ SLVT

Figura 5.18. Variación de G_{min} y S_{11} para diferentes corrientes de polarización con anchos de 15 hasta 120 μm con los tres FETs

Respecto a la representación en la carta de Smith, no se observan apenas diferencias entre los tres tipos de transistor. Teniendo en cuenta los resultados obtenidos en el apartado anterior, las mejores prestaciones en velocidad son del dispositivo con menor tensión umbral, el SLVT_NFET, por lo que se selecciona nuevamente este transistor para el amplificador.

La Figura 5.19 muestra la variación de la corriente de polarización para el transistor elegido. La densidad de corriente de polarización para obtener la mínima figura de ruido posee un valor similar a la configuración de fuente común, 0,167 mA/ μm . Aun así, se puede observar que no es necesario escoger exactamente la corriente para mínima figura de ruido, ya que existe una zona bastante plana en la que se obtiene una figura de ruido prácticamente equivalente con un consumo menor. Esta elección supone una reducción de la ganancia máxima disponible, que se aprecia que es superior a la obtenida en la configuración de fuente común. Se opta por escoger un ancho de transistor de 90 μm con una corriente de polarización de 3 mA. Esta configuración obtiene una figura de ruido mínima de 1,03 dB y una ganancia máxima de 30,1 dB.

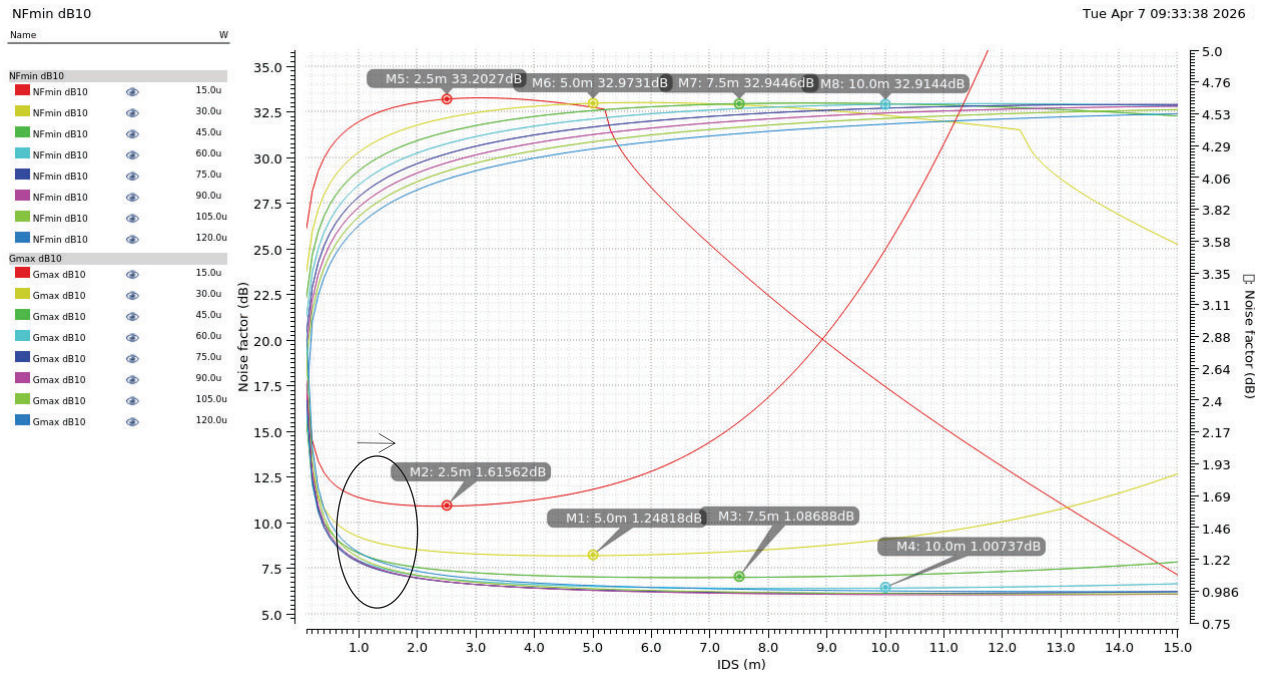


Figura 5.19. Variación de la corriente de polarización para anchos de 15 μm hasta 120 μm con SLVT_NFET

El siguiente paso se recoge en la Figura 5.20. Consiste en realizar un barrido del ancho de *finger*. Al igual que en el caso anterior, se selecciona un ancho de *finger* de 1 μm , que presenta un buen compromiso entre figura de ruido y ganancia máxima.

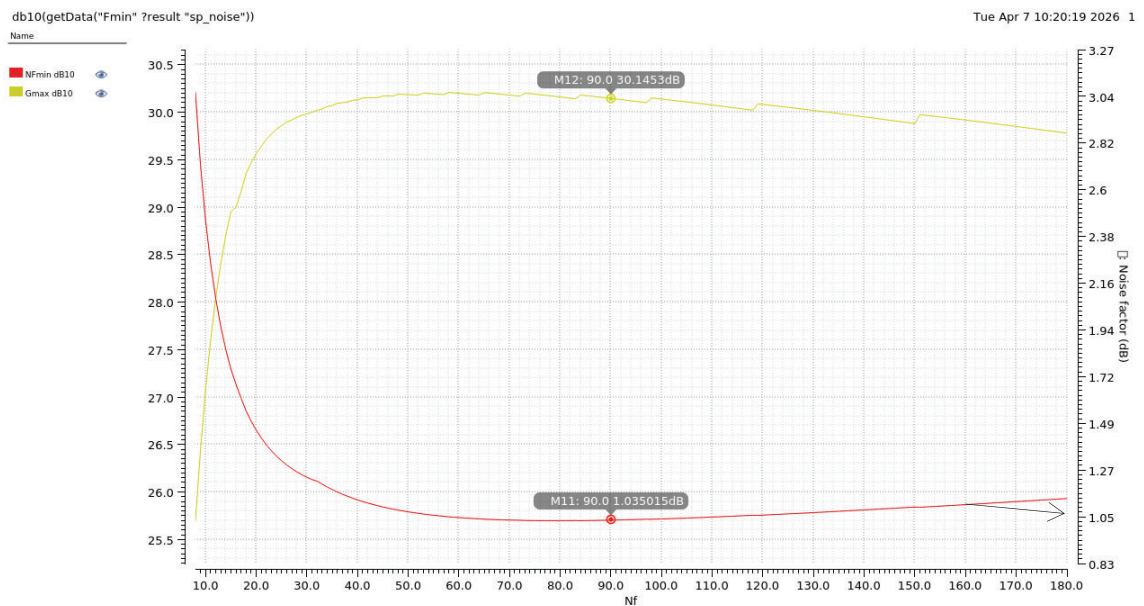
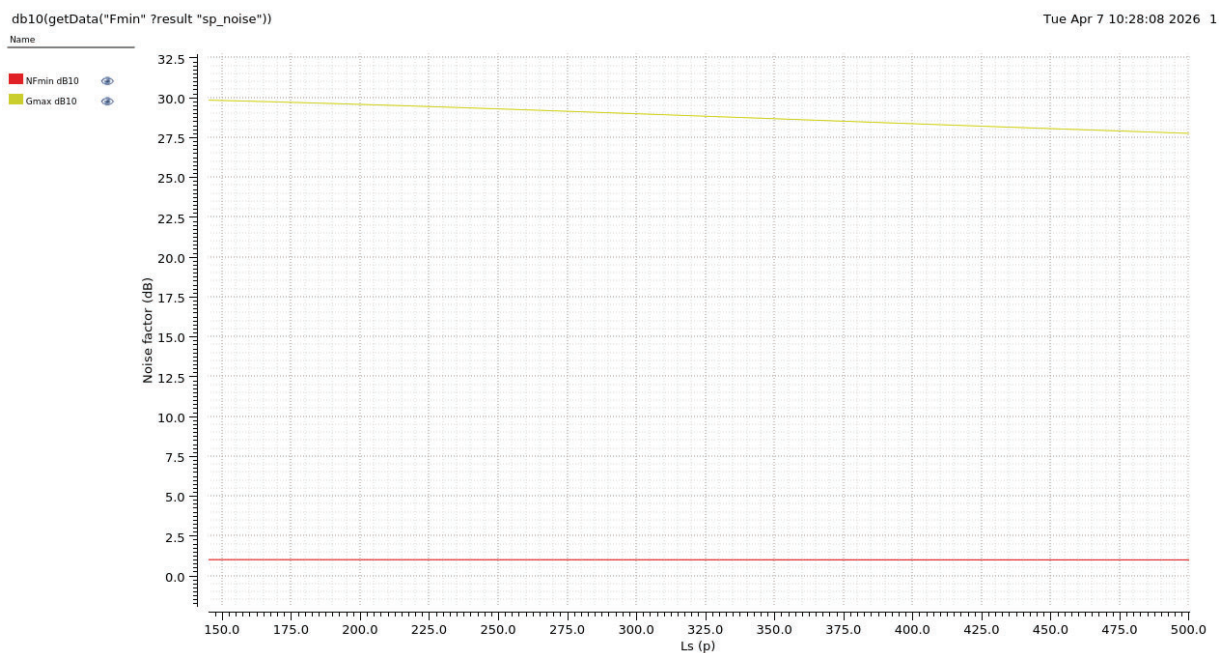


Figura 5.20. Variación del ancho de *finger*



Los siguientes pasos consisten en realizar la adaptación de entrada e implementar la red de realimentación. La Figura 5.21 recoge el efecto de la inductancia en la fuente, L_{source} . Como puede apreciarse en la carta de Smith, su aportación en cuanto a adaptación de la entrada es muy poco significativa.

En circuitos de radiofrecuencia, las bobinas integradas suelen representar una parte importante del área total del *layout* debido a su implementación física mediante estructuras en espiral de gran tamaño [40]. Por este motivo, se decide eliminar del diseño este inductor, reduciendo el área ocupada por el LNA.

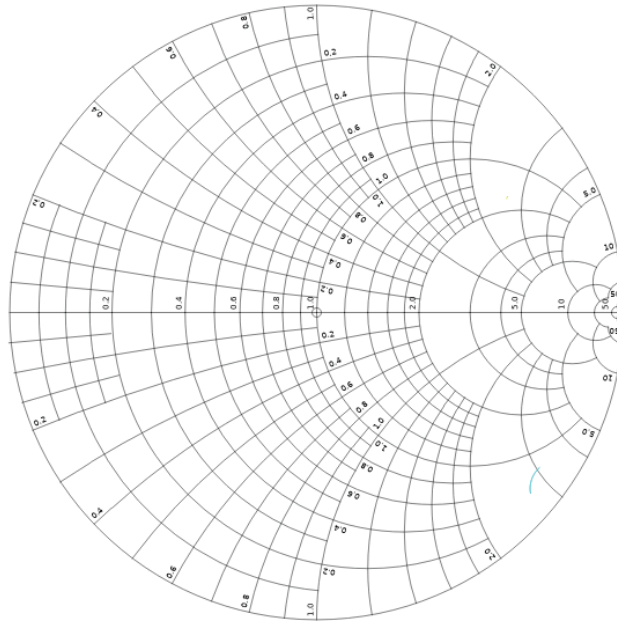


a)



NFmin dB10:Gmax dB10:Gmin:S11

Name	Vis
Gmin	
S11	



b)

Figura 5.21. Aportación de L_{source} en: a) G_{max} y NF_{min} , b) Carta de Smith para G_{min} y S_{11}

A continuación, se incorpora una red de adaptación en la puerta del transistor formada por una bobina y un condensador con el objetivo de desplazar G_{min} y S_{11} al centro de la carta de Smith (Figura 5.22). Al igual que en el apartado anterior, esta red permite ajustar la impedancia vista desde la entrada aproximando el circuito a la impedancia de mínima figura de ruido.

Para ello, se realiza un barrido del valor de la bobina de entrada con distintos valores del condensador C_{gate} . A partir de los resultados obtenidos, se seleccionan los valores de 4 nH para L_{gate} y 100 fF para el condensador. Estos valores acercan la impedancia de entrada al valor de mínimo ruido.



Gmin		Cgate
Name		
Gmin		
Gmin	20.0f	
Gmin	40.0f	
Gmin	60.0f	
Gmin	80.0f	
Gmin	100.0f	
S11		
S11	20.0f	
S11	40.0f	
S11	60.0f	
S11	80.0f	
S11	100.0f	

Tue Apr 7 10:37:48 2026

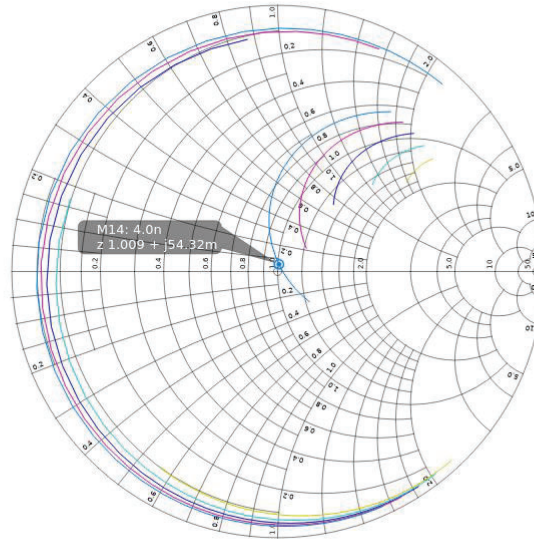


Figura 5.22. Aportación de la red de adaptación de entrada en la carta de Smith para G_{min} y S_{11} con C_{gate} de 20 fF hasta 100 fF

El siguiente paso consiste en añadir la red de realimentación y ajustar los valores de la red de adaptación de entrada. Este reajuste es necesario porque la realimentación modifica la impedancia vista desde la puerta del transistor y afecta a la adaptación.

La Figura 5.23 muestra la carta de Smith para los valores finales de la red de entrada y realimentación. Lo primero que se observa es que el S_{11} se encuentra muy alejado del centro de la carta, lo que indica que la adaptación de entrada todavía no es adecuada. Además, la Figura 5.24 recoge la respuesta en frecuencia de las principales métricas del LNA, donde se aprecia que los resultados obtenidos no cumplen las especificaciones.

Por tanto, resulta necesario incorporar un nuevo elemento al diseño para mejorar la adaptación. La Figura 5.25 muestra la incorporación de una resistencia en la carga de N1, cuyo objetivo es conseguir una adaptación de banda ancha y mejorar la respuesta del amplificador.



Gmin:S11

Name	Vis
Gmin	
S11	

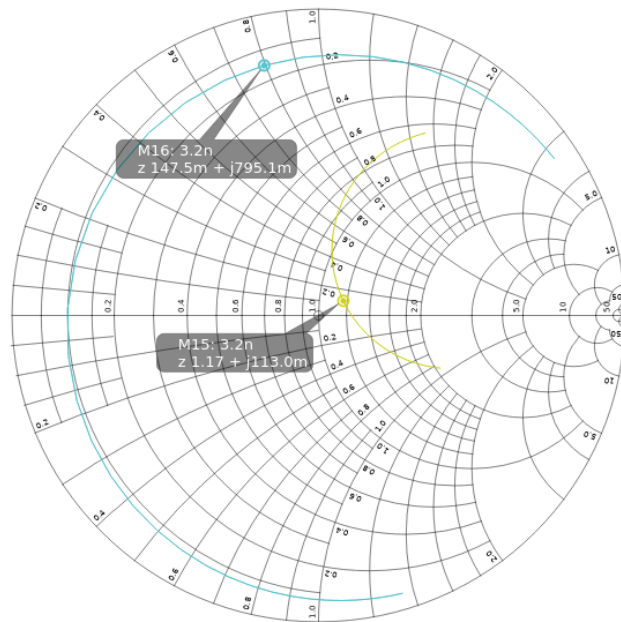


Figura 5.23. Solución final de la carta de Smith

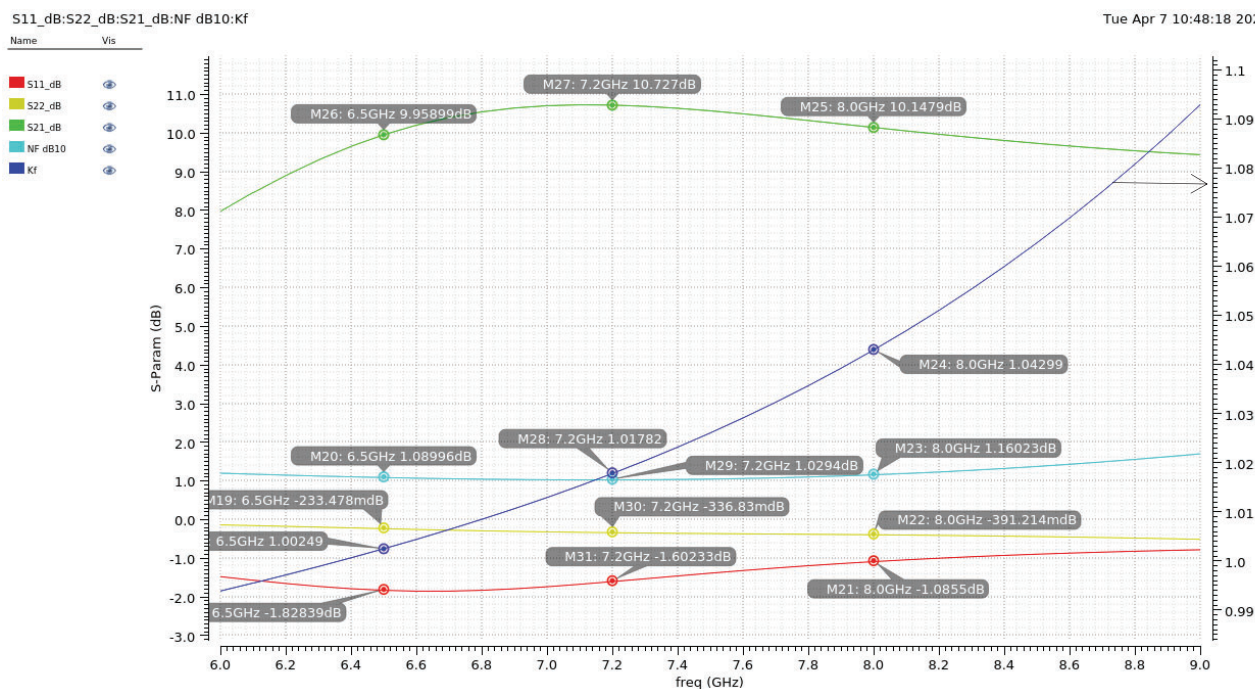


Figura 5.24. Variación en frecuencia de S_{21} , S_{11} , S_{22} , Kf y NF

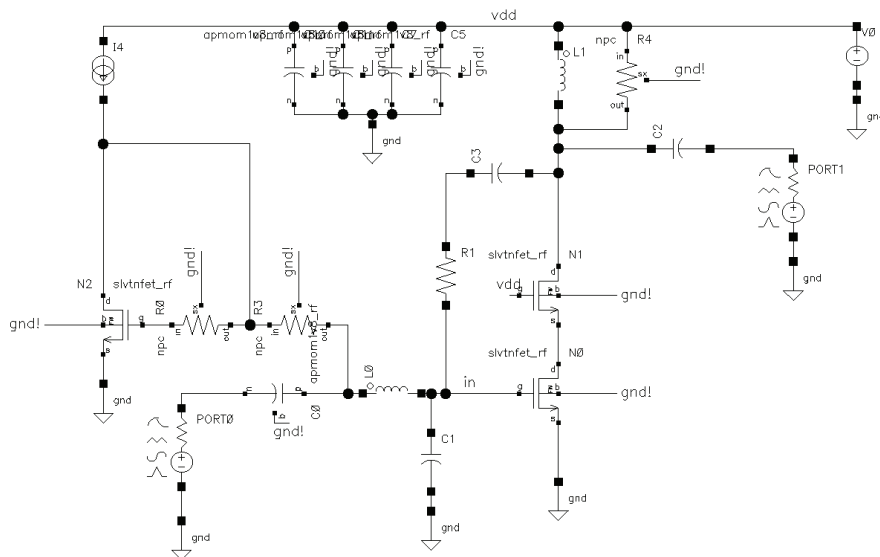


Figura 5.25. Esquemático con resistencia de drenador

Debido a la incorporación de la resistencia en el drenador del transistor N1, se obtiene una carga de banda ancha, como se muestra en la Figura 5.26. Ahora es posible ajustar la red de adaptación para conseguir una figura de ruido reducida y un valor del S_{11} satisfactorio. Para ello, es necesario desplazar el



lazo hacia el centro de la carta de Smith al mismo tiempo que el $G_{\min}$, buscando un compromiso entre adaptación de entrada y mínima figura de ruido. La Figura 5.27 muestra los resultados obtenidos tras el ajuste de los valores de los componentes.

Gmin:S11

Name	Vis
Gmin	
S11	

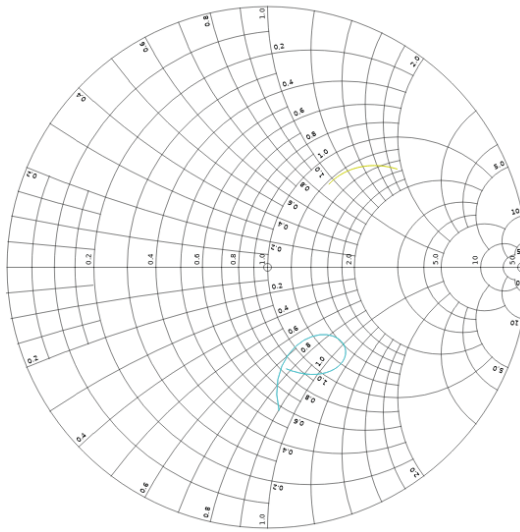


Figura 5.26. Efecto de la R_d en el S_{11}

Gmin:S11

Name	Vis
Gmin	
S11	

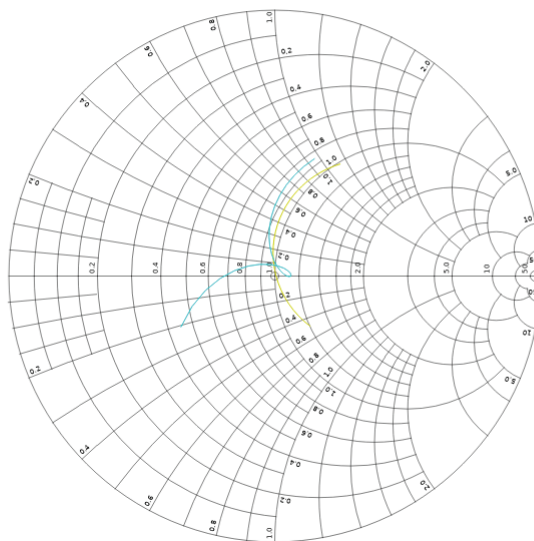
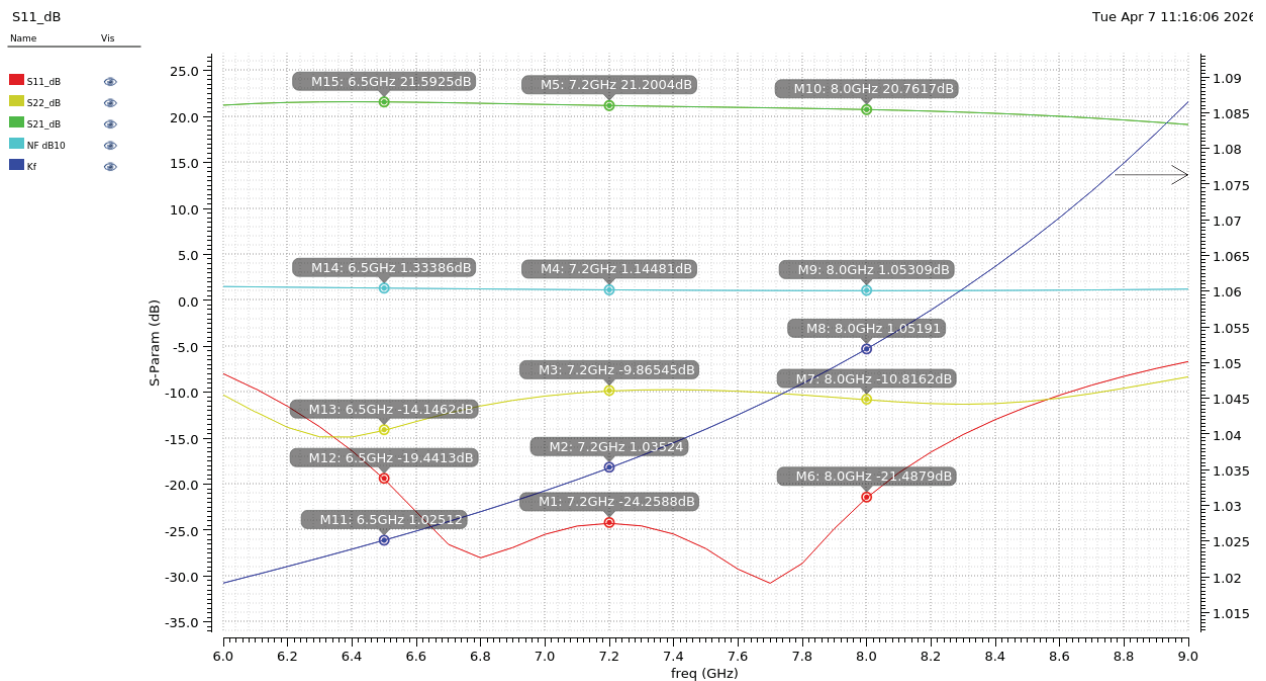


Figura 5.27. Adaptación de entrada y ruido



Una vez adaptada la entrada, el último paso consiste en adaptar la salida sin perder las prestaciones obtenidas previamente. Para ello, se varía la bobina de drenador L_{drain} y el condensador de salida C_{out} hasta obtener una adaptación de salida por debajo de -10 dB en toda la banda de operación.

La Figura 5.28 muestra las métricas finales del LNA en frecuencia tras adaptar su salida. En ella se puede comprobar el comportamiento global del circuito una vez ajustadas tanto la red de entrada como la red de salida y la de realimentación.



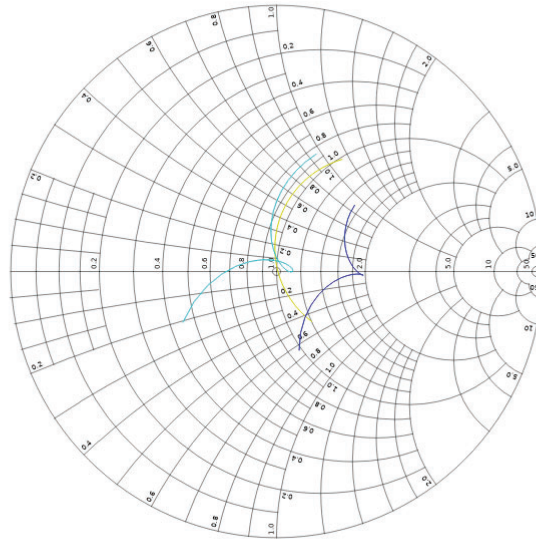
a)



S11_dB:S22_dB:S21_dB:NF dB10:Kf:Gmin:S11:S22

Tue Apr 7 11:16:06 2026

Name	Vis
Gmin	
S11	
S22	



b)

Figura 5.28. Métricas finales de: a) S_{21} , S_{11} , S_{22} , NF y Kf, b) Carta de Smith de S_{11} , S_{22} y G_{min}

5.4. Conclusiones

Con el diseño adaptado, se concluye que la ganancia cumple ampliamente las especificaciones, alcanzando un valor de 21,2 dB en el centro de la banda. La figura de ruido presenta un comportamiento muy favorable, con un valor máximo de 1,33 dB. Tanto el S_{11} como el S_{22} se encuentran adaptados con un valor por debajo de -10 dB en toda la banda de operación. Finalmente, el factor de estabilidad se encuentra por encima de la unidad, lo que indica que es estable en toda la banda.

En el siguiente apartado se llevará a cabo la sustitución progresiva de los componentes ideales por los de la tecnología de 22FDX de GlobalFoundries. Durante el proceso, se irán incorporando los componentes del PDK y reajustando sus valores para compensar los efectos negativos asociados al uso de componentes reales, como pérdidas resistivas, capacitancias parásitas o inductancias no ideales. Una vez obtenido el diseño final, se procederá a ajustar de nuevo los valores de los componentes para que el circuito funcione con todas las restricciones de automoción. Finalmente se hará un análisis estadístico con las simulaciones de Montecarlo para observar de forma realista las prestaciones del LNA teniendo en cuenta la incertidumbre de los procesos de fabricación.



6. Sustitución y ajuste de los componentes reales en el diseño

En este capítulo se lleva a cabo la sustitución de los componentes ideales por los componentes reales de la tecnología descrita anteriormente. En primer lugar, se irán sustituyendo los componentes de uno en uno, observando sus efectos individuales para posteriormente reajustar sus valores con el fin de obtener una solución óptima.

En segundo lugar, se llevará a cabo el análisis de los corners del diseño y se volverán a ajustar los valores de los componentes para satisfacer todos los casos. Los corners del diseño son conjuntos de parámetros de simulación que representan distintas variaciones extremas del proceso de fabricación y operación. Su finalidad es comprobar cómo se comporta un circuito en escenarios extremos. En fabricación las características de los componentes no son idénticas, varían de una oblea a otra o incluso entre chips dentro de una misma oblea. El objetivo de verificar que funciona en todos los corners es asegurarse de que no se descarten circuitos por problemas en la fabricación y todos funcionen correctamente. Los corners que se pasarán serán los TT, SS, FF, SF y FS.

Finalmente, se realizan simulaciones de Montecarlo para analizar la distribución probabilística de las métricas del diseño usando las variaciones estadísticas del proceso de fabricación. A diferencia del análisis de corners, no se analizan los casos extremos. Este tipo de simulación permite estudiar de forma más realista la dispersión de los parámetros del circuito.

6.1. Sustitución de los componentes del PDK

En esta sección se sustituyen uno a uno los componentes del diseño por los de la tecnología y se analiza su impacto en el diseño. Antes de comenzar, la Figura 6.1 muestra los resultados con los componentes ideales.

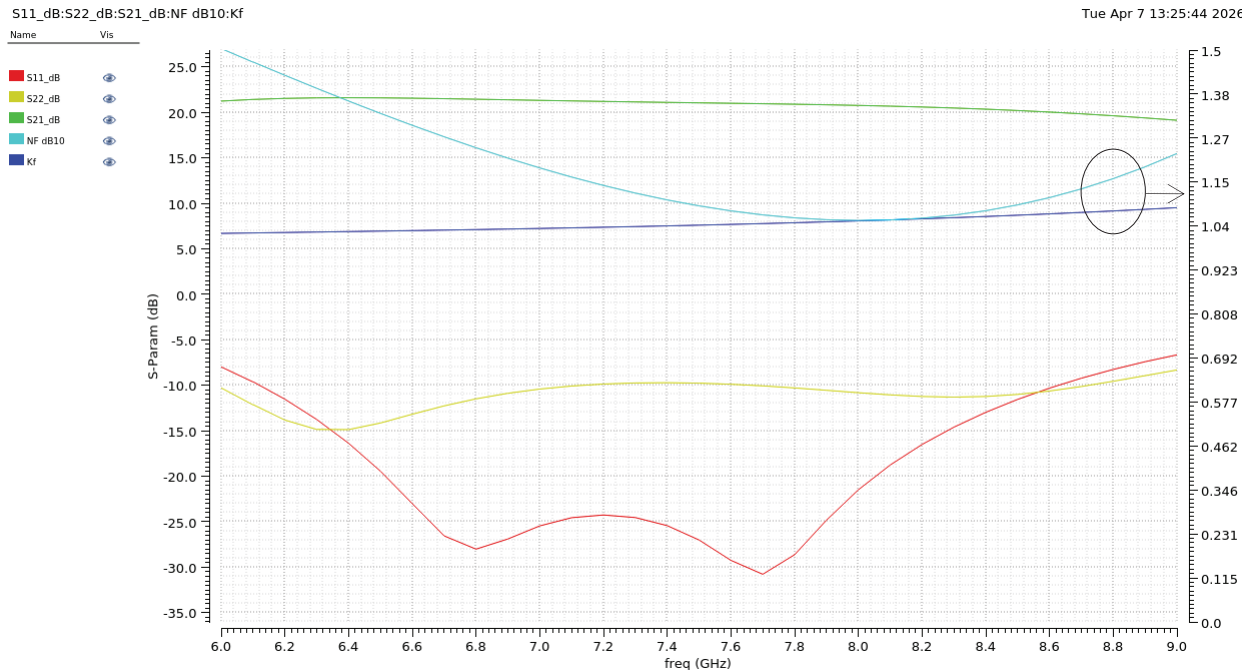


Figura 6.1. Métricas del LNA con componentes ideales

Se empieza por los componentes más críticos, las bobinas. La Figura 6.2 muestra los resultados obtenidos tras la sustitución de la bobina de entrada, L_{gate} . El primer efecto que se observa es el aumento notable de la figura de ruido. Esto se debe a que cualquier componente en la puerta del transistor de entrada contribuye al ruido total del circuito.

Además, una bobina ideal presenta un factor de calidad infinito, por lo que no introduce pérdidas resistivas. En cambio, la bobina real empleada posee un factor de calidad de 7, que se asocia a una resistencia equivalente aproximada de 25 Ω . Esto explica el incremento de la figura de ruido, la reducción de la ganancia y el desajuste de impedancias observado tras la sustitución.

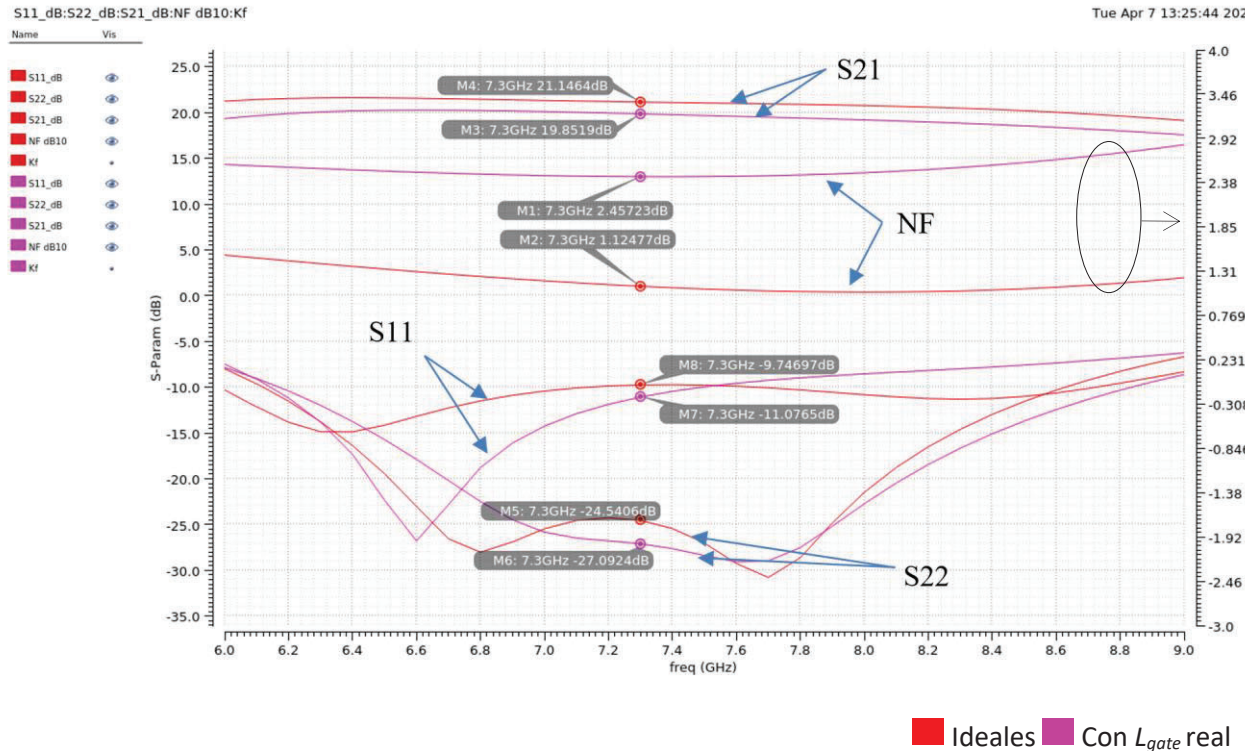


Figura 6.2. Comparativa de las métricas ideales con la sustitución de L_{gate}

La Figura 6.3 muestra los resultados obtenidos tras la incorporación de la bobina de drenador, L_{drain} . En este caso, la comparación se realiza con respecto al diseño anterior, en el que únicamente se había sustituido L_{gate} por una bobina real del kit.

Al igual que ocurre con la bobina de entrada, esta bobina provoca un desajuste notable de las impedancias de entrada y salida, además reduce ligeramente la ganancia obtenida. La figura de ruido apenas se ve afectada, ya que gran parte de esta proviene de la etapa de entrada y esta bobina se encuentra en el drenador del transistor cascode.

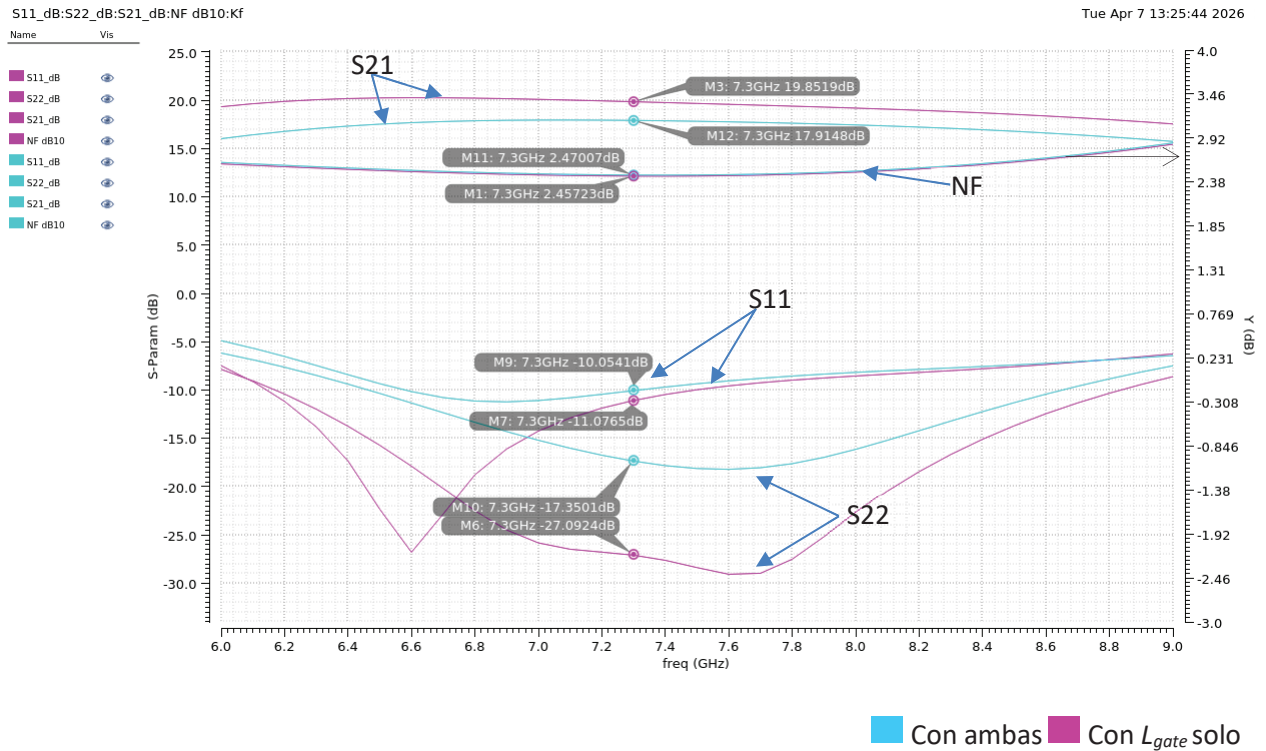


Figura 6.3. Comparativa de las métricas con la sustitución de L_{gate} y L_{drain}

Con las bobinas ya sustituidas, el siguiente paso consiste en incorporar progresivamente los condensadores y las resistencias reales del kit. En primer lugar, se sustituye el condensador de entrada C_{gate} . Los resultados se recogen en la Figura 6.4, donde se aprecia un ligero aumento de la figura de ruido al final de la banda de operación. Las impedancias de entrada y salida y la ganancia apenas se ven afectadas por la sustitución de este componente.

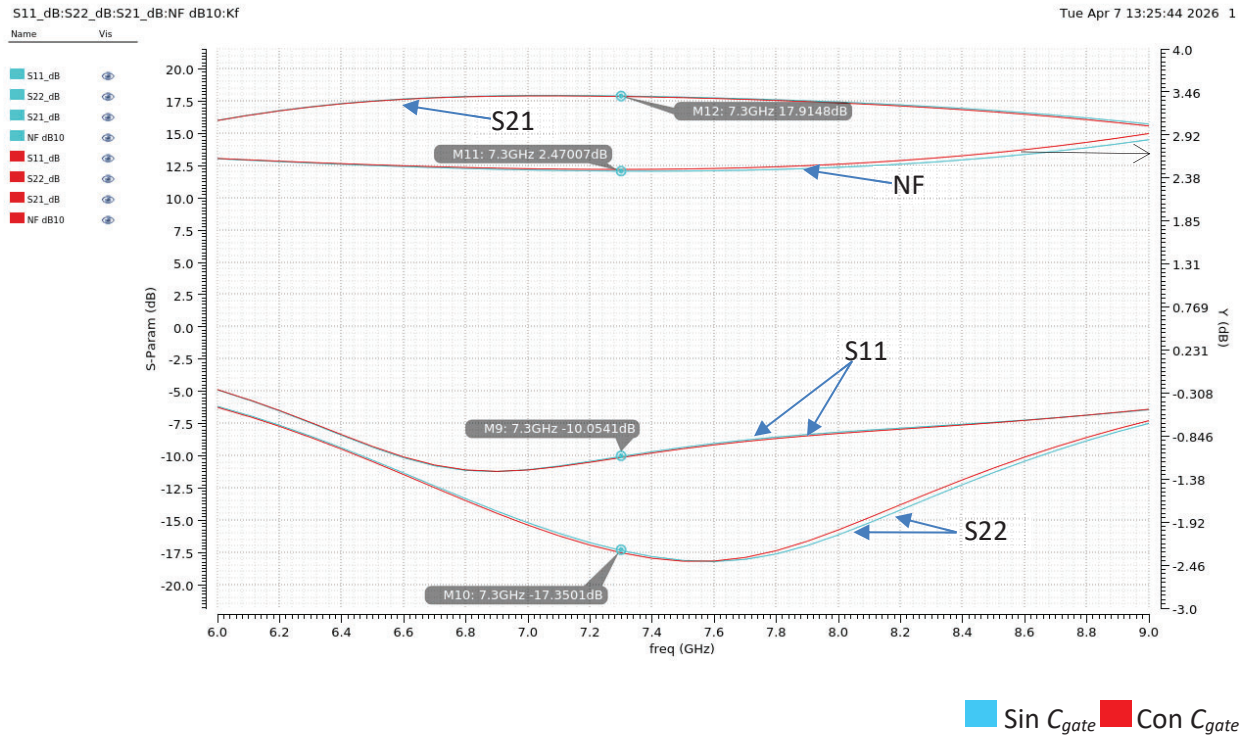


Figura 6.4. Comparativa de las métricas con la sustitución de C_{gate}

La Figura 6.5 recoge los efectos de añadir el condensador de salida C_{out} . Al igual que con la sustitución de C_{gate} , se aprecia un ligero aumento de la figura de ruido al final de la banda. Además, las impedancias de entrada y salida presentan un pequeño desajuste, aunque el impacto global sobre el comportamiento del circuito es poco significativo.

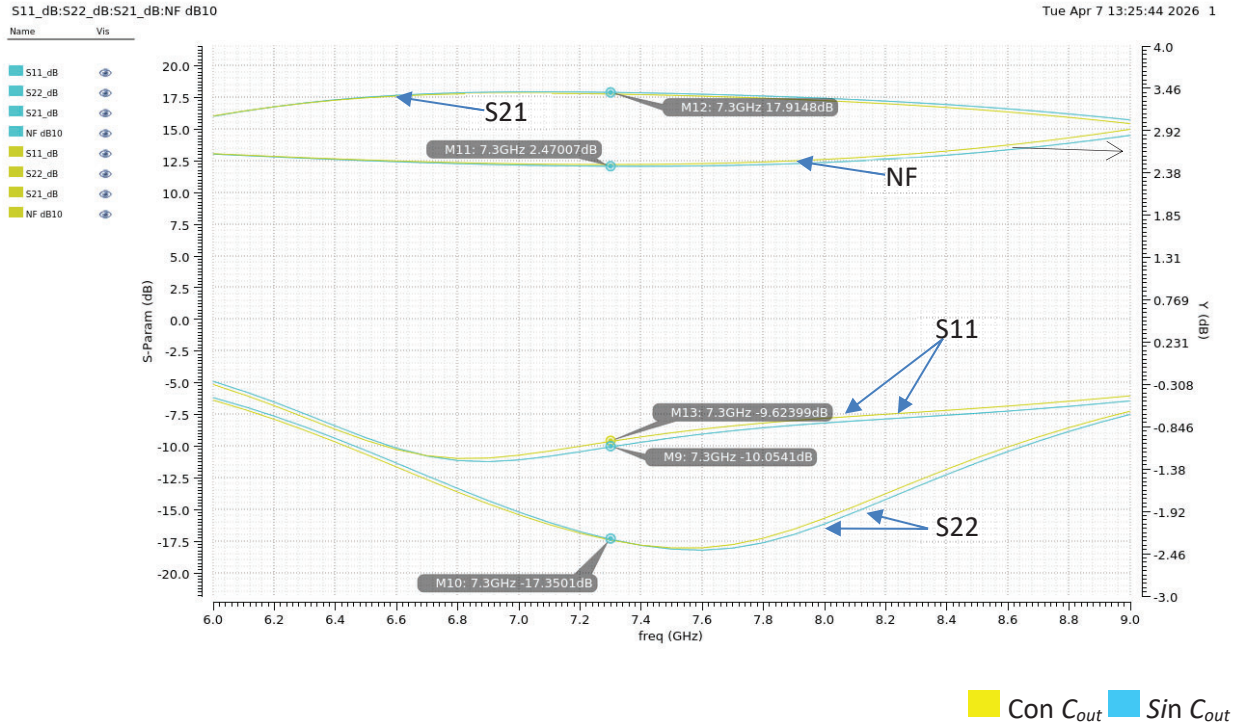


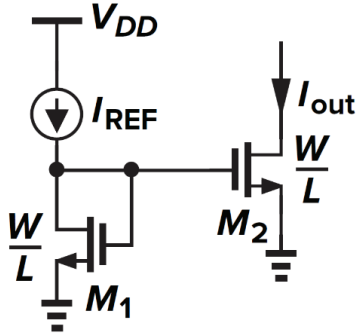
Figura 6.5. Comparativa de las métricas con la sustitución de C_{out}

A continuación, se procede a dimensionar el transistor del espejo para que funcione con una corriente de referencia de $100 \mu A$, que proporcionará un circuito de polarización diseñado por la empresa.

La corriente que circula por un transistor en saturación viene dada por la ecuación (6.1).

$$I_{DS} = \frac{1}{2} \cdot K \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \quad (6.1)$$

Por lo que, si se conectan las puertas de ambos transistores (Figura 6.6) se puede demostrar que V_{GS} de M1 es igual a la V_{GS} de M2, si no se tiene en cuenta la modulación del canal. Esto hace que M1 y M2 tengan las corrientes de drenador recogidas en (6.2) y (6.3).



a)

$$I_{REF} = I_{DS\ M1} = \frac{1}{2} \cdot K \cdot \frac{W_1}{L_1} \cdot (V_{GS} - V_{TH})^2 \quad (6.2)$$

$$I_{DS\ M2} = \frac{1}{2} \cdot K \cdot \frac{W_2}{L_2} \cdot (V_{GS} - V_{TH})^2 \quad (6.3)$$

b)

Figura 6.6. Espejo de corriente: a) Esquemático, b) Corrientes de drenador

Si se igualan las tensiones V_{GS} se obtiene:

$$V_{GS} = \sqrt{\frac{2I_{DS}L}{KW}} + V_{TH} \quad (6.4)$$

$$V_{GS1} = V_{GS2} ; \sqrt{\frac{2I_{DS1}L_1}{KW_1}} + V_{TH} = \sqrt{\frac{2I_{DS2}L_2}{KW_2}} + V_{TH}$$

donde V_{TH} y K se consideran iguales para ambos transistores, por lo que se obtiene que:

$$\frac{I_{DS1}L_1}{W_1} = \frac{I_{DS2}L_2}{W_2} \quad (6.5)$$

$$\frac{I_{DS1}}{I_{DS2}} = \frac{W_1L_2}{W_2L_1}$$

Como las longitudes de puerta son iguales se concluye que:

$$\frac{I_{DS2}}{I_{DS1}} = \frac{W_2}{W_1} \quad (6.6)$$

Por lo que, si se quiere usar una corriente de referencia de 100 μA para generar una corriente de polarización de 3 mA, manteniendo la anchura de transistor W_2 de 90 μm , se requiere de un transistor en el espejo de ancho 3 μm .

La Figura 6.7 recoge las métricas del diseño tras redimensionar el transistor del espejo de corriente. Como puede observarse, esta modificación provoca una reducción de la ganancia y un ligero aumento de



la figura de ruido. Además, empeora el S_{11} , reflejando una peor adaptación de entrada. Por el contrario, el S_{22} mejora, indicando una adaptación de salida más favorable.

Estos resultados muestran que es necesario ajustar adecuadamente la tensión V_{GS} del transistor, ya que una pequeña variación en el punto de operación puede afectar de forma significativa a las prestaciones del LNA.

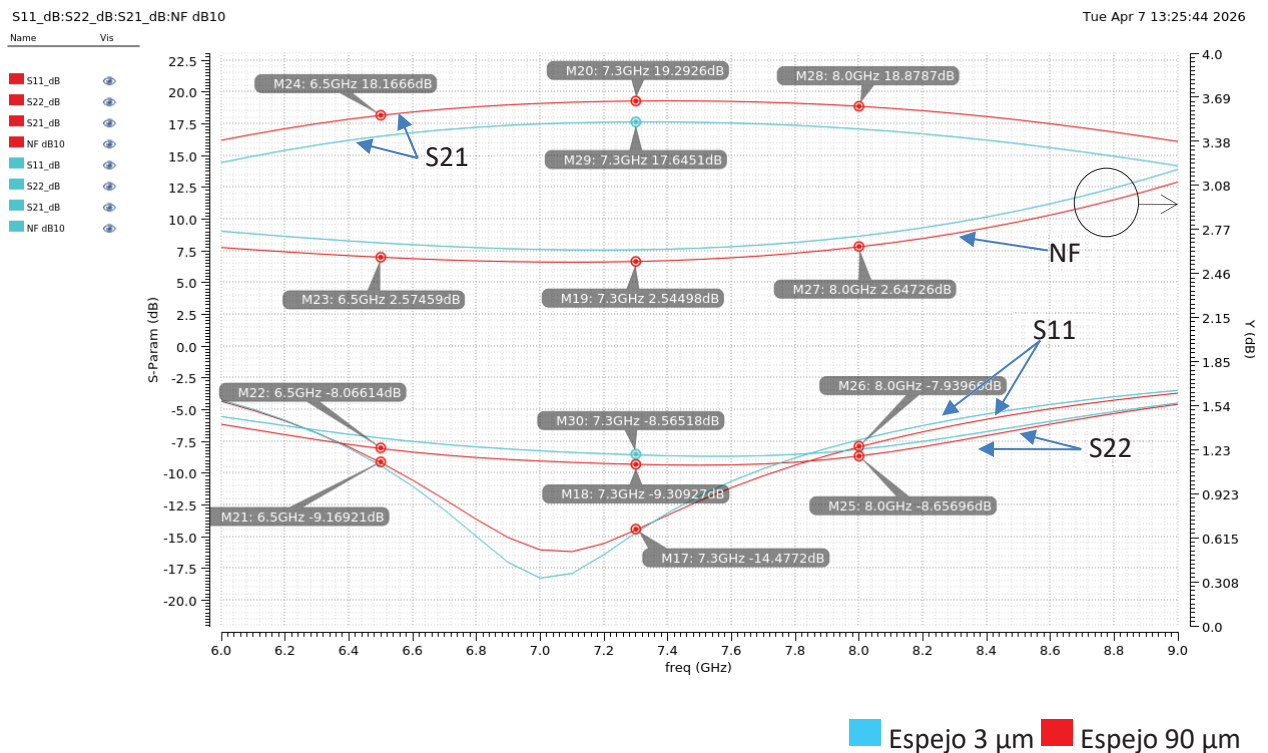


Figura 6.7. Comparativa de las métricas con la redimensión del espejo

Finalmente, se sustituyen los componentes restantes: la red de realimentación completa incluyendo la resistencia y el condensador y la resistencia de drenador. La Figura 6.8 recoge los resultados obtenidos.

El principal inconveniente observado al incorporar todos los componentes reales es la impedancia de salida. El S_{22} presenta un valle menos pronunciado que en el caso anterior y supera el límite de -10 dB al inicio y final de la banda. La adaptación de entrada también empeora en gran medida, esto se debe en gran parte a la red de realimentación. Finalmente, la ganancia del circuito desciende de nuevo y la figura de ruido es ligeramente mayor.



A pesar de los efectos negativos asociados a la incorporación de los componentes reales, el circuito sigue cumpliendo las especificaciones en términos de ganancia y figura de ruido. Por tanto, el siguiente paso consiste en reajustar los valores de los componentes reales con el objetivo de mejorar la adaptación de entrada y salida.

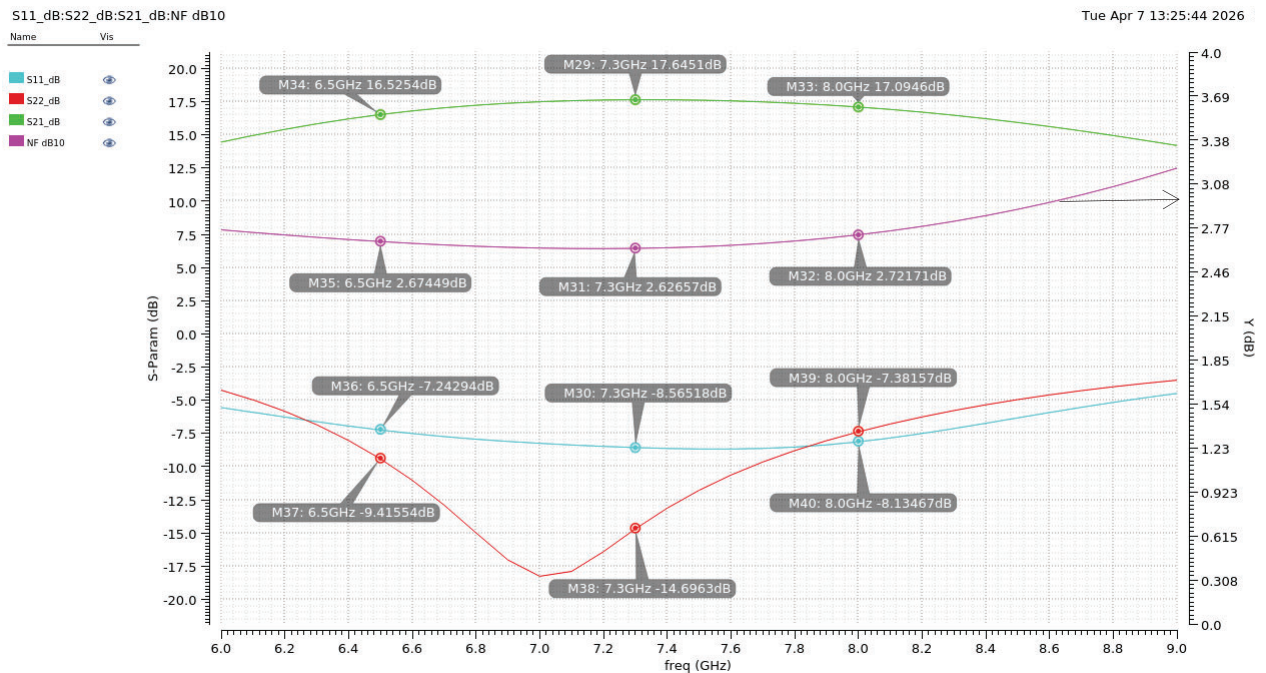


Figura 6.8. Métricas finales con todo del kit

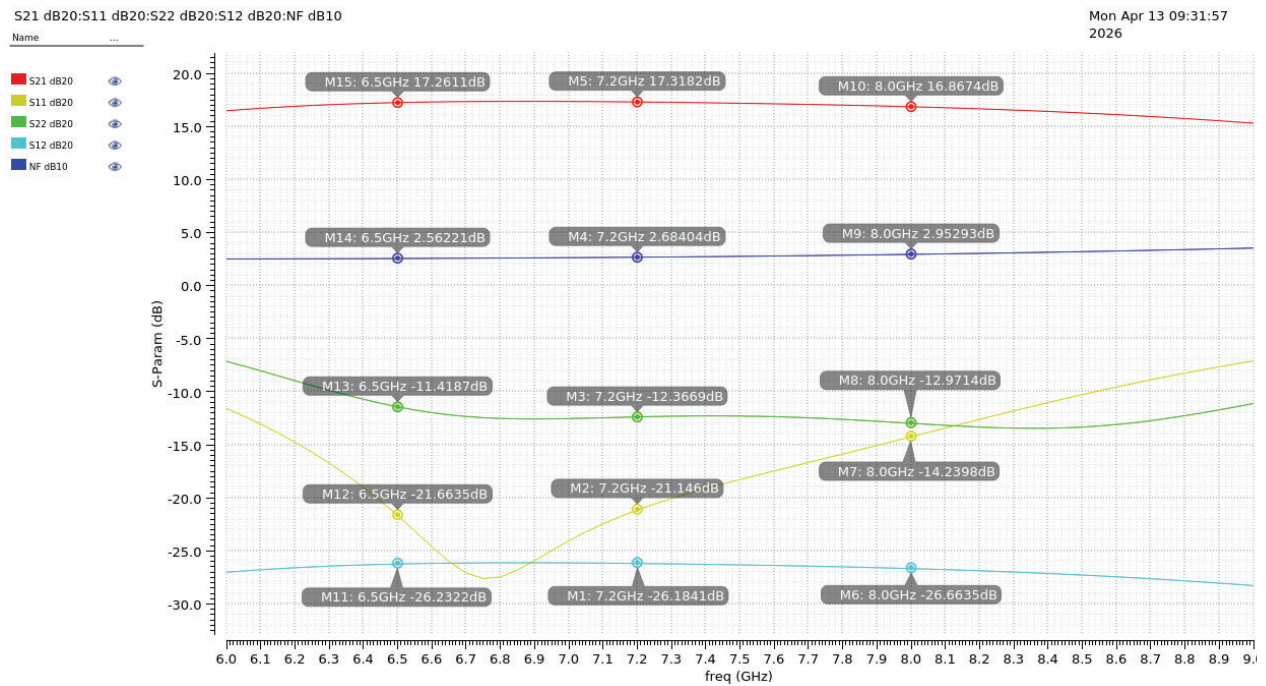
En la Figura 6.9 se recogen las métricas finales obtenidas tras reajustar los valores del circuito considerando dos posibles soluciones de diseño. La diferencia principal entre ambos casos se encuentra en el valor de la resistencia de realimentación, que introduce un compromiso importante entre ganancia y adaptación de impedancias.

Por un lado, al aumentar el valor de la resistencia de realimentación, se consigue una mayor ganancia. Sin embargo, esta mejora se obtiene a costa de empeorar la adaptación de entrada y salida. Por otro lado, al reducir el valor de dicha resistencia, la ganancia disminuye, pero el circuito presenta una adaptación más favorable.

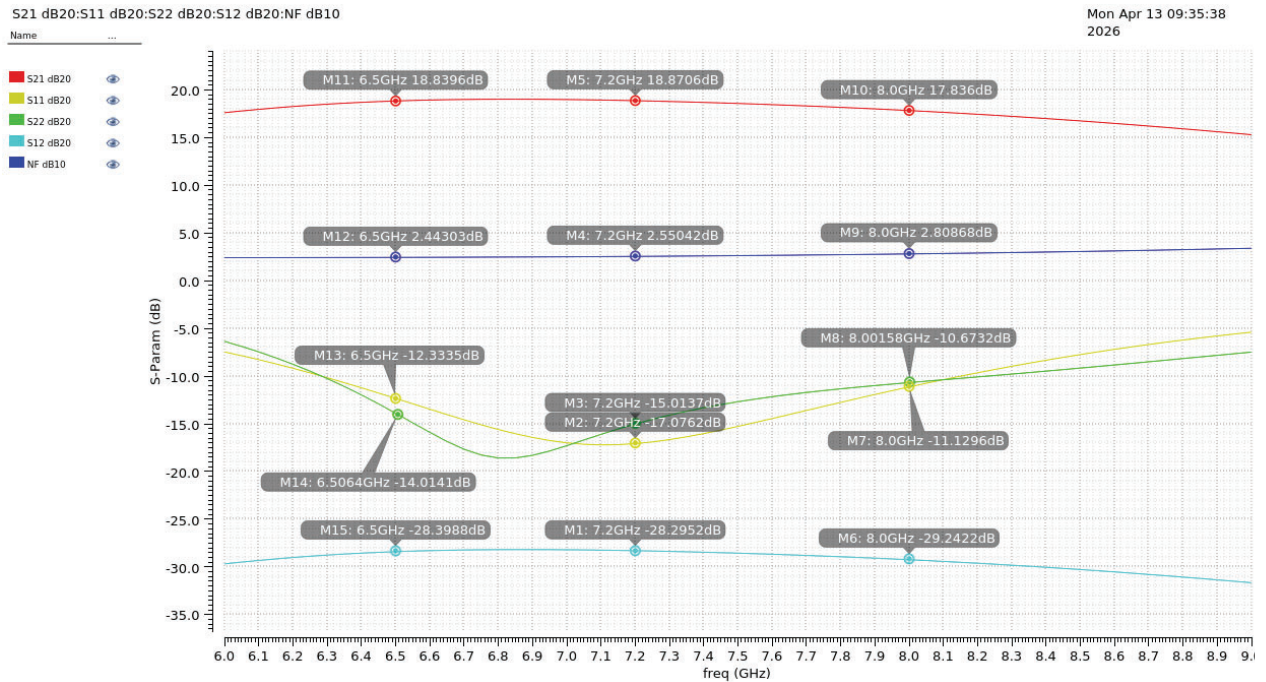
Teniendo en cuenta que en el apartado siguiente se realizará el análisis de corners del diseño, la adaptación de entrada y salida se convierte en un aspecto crítico. En estas condiciones, variaciones de proceso, temperatura o tensión de alimentación pueden desplazar la respuesta en frecuencia de las



impedancias y hacer que el circuito deje de estar adaptado. Por este motivo, se selecciona la solución que presenta una mejor adaptación, aunque implique una ligera reducción de ganancia, ya que ofrece un mayor margen de seguridad para garantizar el funcionamiento del LNA en todos los casos considerados.



a)



b)

Figura 6.9. Métricas post ajuste con los componentes del kit: a) Mejor ajuste, b) Mejor ganancia

La Figura 6.10 y Figura 6.11 recogen los resultados de linealidad del circuito. Como puede observarse, el diseño cumple las especificaciones establecidas, con un valor de P_{1dB} de -19 dBm, valor superior al requisito mínimo de -30 dBm.

Además, los valores de $IP3$ obtenidos se encuentran dentro de un rango comparable al de otros LNAs publicados en la literatura, especialmente si se tienen en cuenta las restricciones de bajo consumo [11]–[17]. Aunque la linealidad no sea la métrica principal de optimización en esta etapa del diseño, los resultados obtenidos pueden considerarse adecuados y coherentes con el comportamiento esperado para un LNA de estas características.

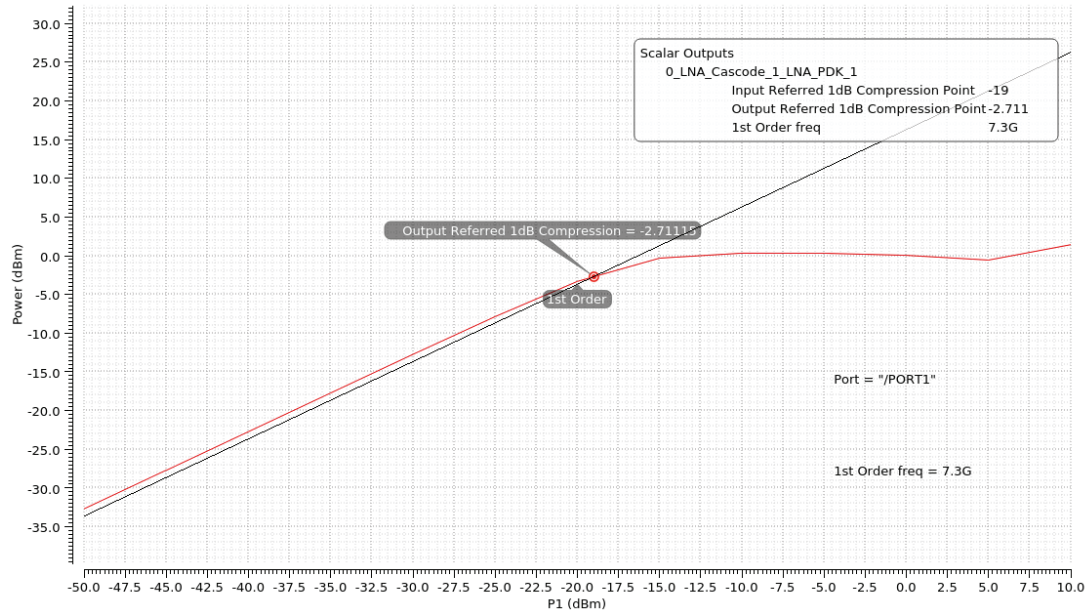


Figura 6.10. Resultados de linealidad: P_{1dB}

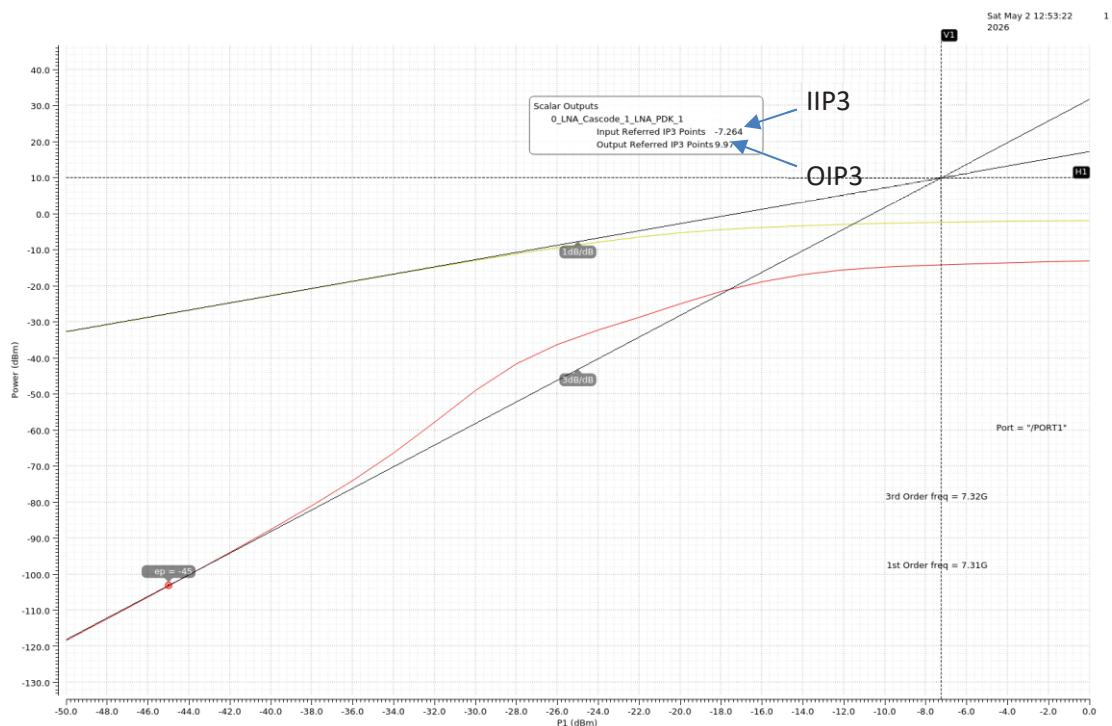


Figura 6.11. Resultados de linealidad: IIP3 y OIP3



6.2. Ajuste de corners y Montecarlo

En este apartado se reajustan los valores del circuito nuevamente para garantizar su funcionamiento en todos los casos. Para ello, se realiza un análisis de los corners del diseño. Los corners del diseño son conjuntos de parámetros de simulación que representan distintas variaciones extremas del proceso de fabricación y de operación. Dentro de los corners del diseño, la tecnología cuenta con numerosos modelos de componentes según el que se desee utilizar, de los cuales se escogen los 5 más importantes: *SS*, *SF*, *FS*, *FF* y *TT* del tipo *pre*. Se escoge el tipo *pre* debido a que el modelo SPICE añade una estimación de las parásitas a la hora de simular. Existe el tipo *post*, pero se utiliza para simulaciones *post-layout*. La Tabla 6.1 presenta las definiciones recogidas en el manual de la tecnología de los modelos de corners mencionados anteriormente. Para cada uno de estos modelos, se realiza una simulación con -40 y 150 °C, además de una tensión de alimentación ± 10 % del valor nominal.

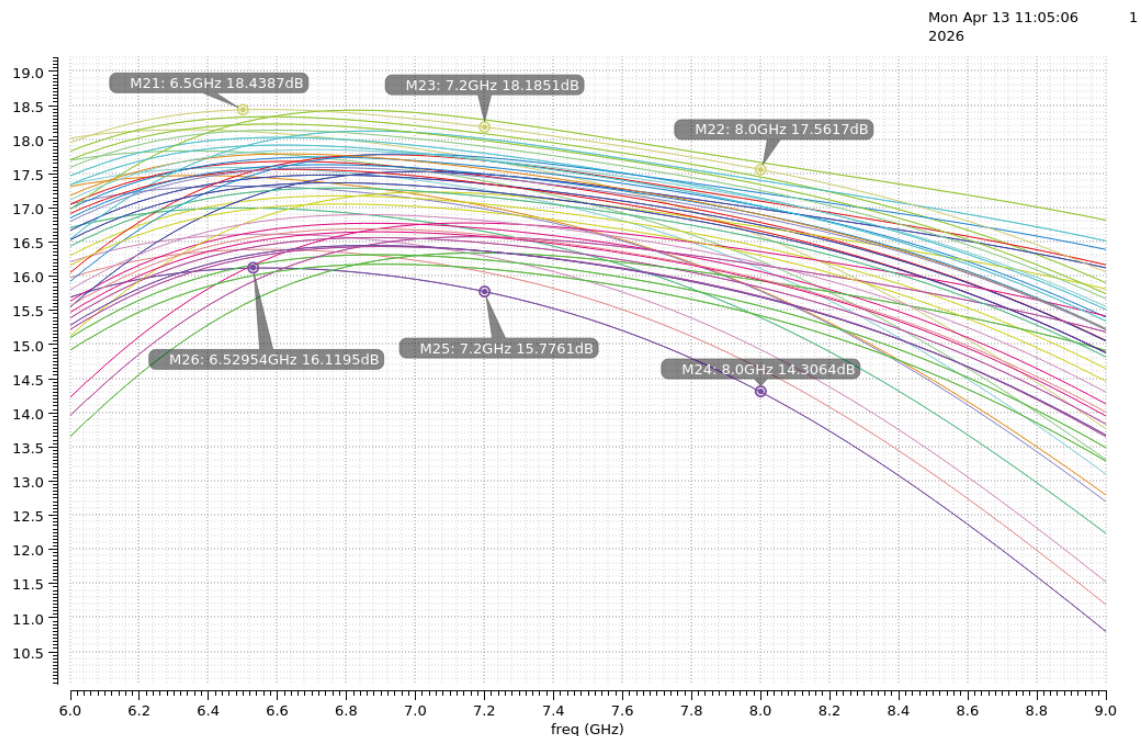
Tabla 6.1. Definición de los *corners*

FET <i>Corner</i>	Definición
TT	Proceso nominal estándar
FF	Fast N / Fast P: mejor caso para un dispositivo individual. Corresponde a 3σ (por defecto) del Montecarlo total. Representa el mejor caso a 3σ del transistor crítico individual del circuito.
SS	Slow N / Slow P: peor caso para un dispositivo individual. Corresponde a 3σ (por defecto) del Montecarlo total. Representa el peor caso a 3σ del transistor crítico individual del circuito.
FS	Fast N / Slow P: <i>corner</i> de desbalance entre el par de dispositivos N y P. Corresponde a 3σ de la segunda dirección del PCA del Montecarlo total del par N-P. Representa un caso de desbalance del par CMOS crítico del circuito.
SF	Slow N / Fast P: <i>corner</i> de desbalance entre el par de dispositivos N y P. Corresponde a 3σ de la segunda dirección del PCA del Montecarlo total del par N-P. Representa un caso de desbalance del par CMOS crítico del circuito.

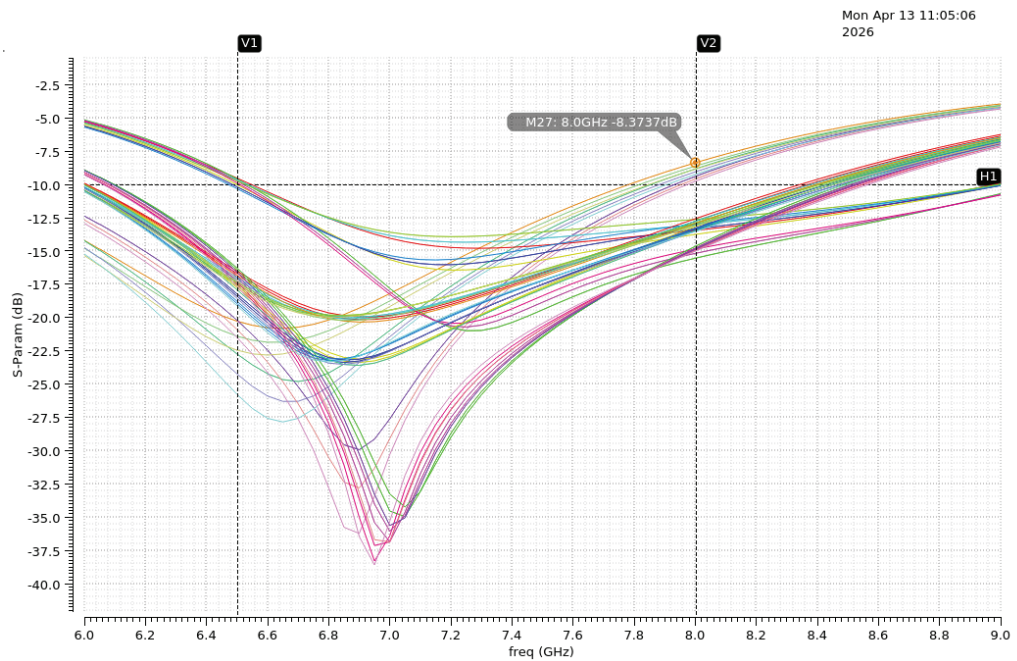


La Figura 6.12 muestra las simulaciones de las métricas del diseño para todos los casos mencionados. Se puede observar que en el caso de S_{21} y del ruido, existen *corners* que proporcionan mejores prestaciones que otros, en concreto, para el tipo SS con +10 % de alimentación y a -40°C se obtiene la mayor ganancia con la menor figura de ruido. Al contrario, FF con -10% de alimentación y 150°C otorga la peor de las ganancias y el ruido más alto. De forma evidente, el *corner* de mejores prestaciones es el que más consume, con una corriente en DC de 3,8 mA, valor que no difiere tanto del obtenido en el *corner* con peores prestaciones, con un consumo de 3,2 mA.

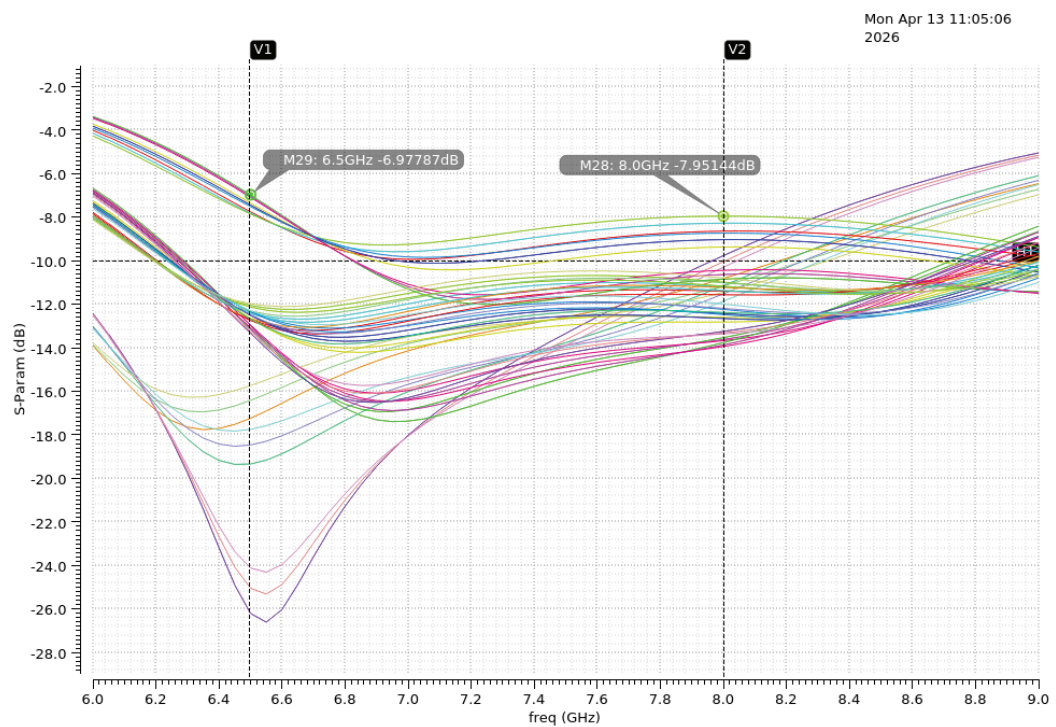
Aun así, si se observan las impedancias de entrada y salida se aprecia que, para algunos casos, dejan de estar adaptadas. En concreto con el S_{11} no se observa un desajuste muy grande salvo al final de la banda para los casos de SS. Sin embargo, el S_{22} obtiene resultados no aceptables para los casos de tipo FF, que se encuentran por encima de -10 dB en toda la banda. Es necesario un reajuste de los valores para que se cumplan todos los casos.



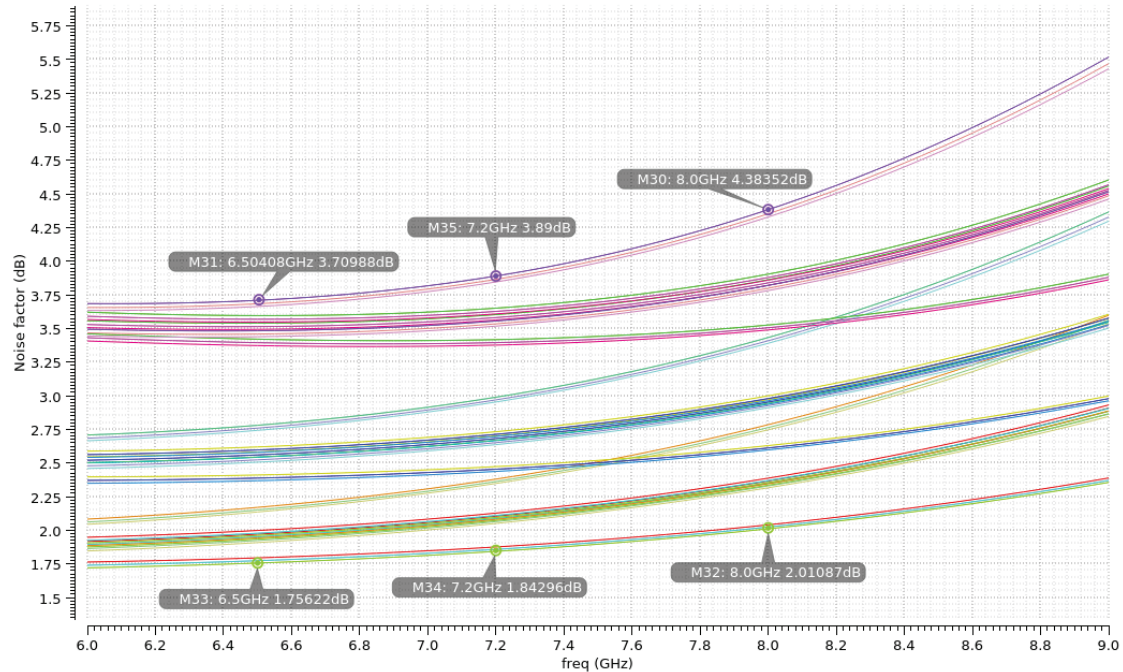
a)



b)



c)



d)

Figura 6.12. Corners: a) S_{21} , b) S_{11} , c) S_{22} y d) NF

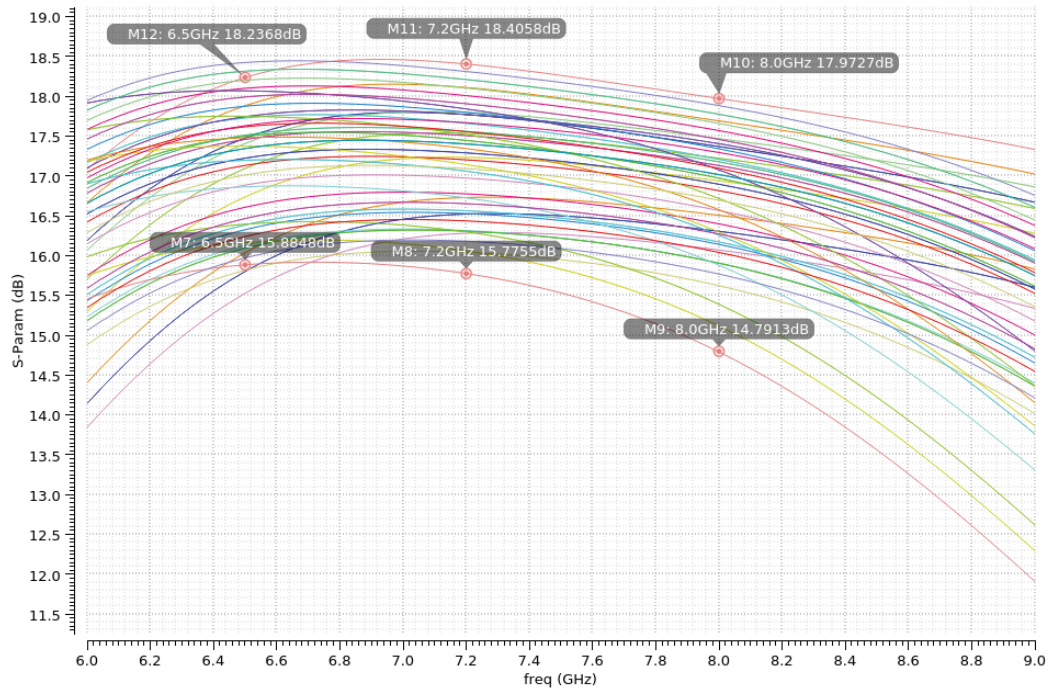
La Figura 6.13 recoge los resultados de los *corners* después de reajustar los valores de los componentes. Tras el ajuste, se mantienen ganancias similares al caso anterior, al igual que con la figura de ruido y el consumo de corriente, donde sus peores casos siguen siendo los mismos. Sin embargo, se puede observar que ahora el S_{11} y el S_{22} se encuentran adaptados para todos los casos, aunque en unos pocos casos extremos el valor al final de banda se encuentra por encima, pero se aproxima a -10 dB.

Con estos valores se obtienen las métricas de la Figura 6.14 para el caso nominal. En todos sus aspectos el circuito cumple con las especificaciones y posee una adaptación correcta.



Mon Apr 13 10:34:15
2026

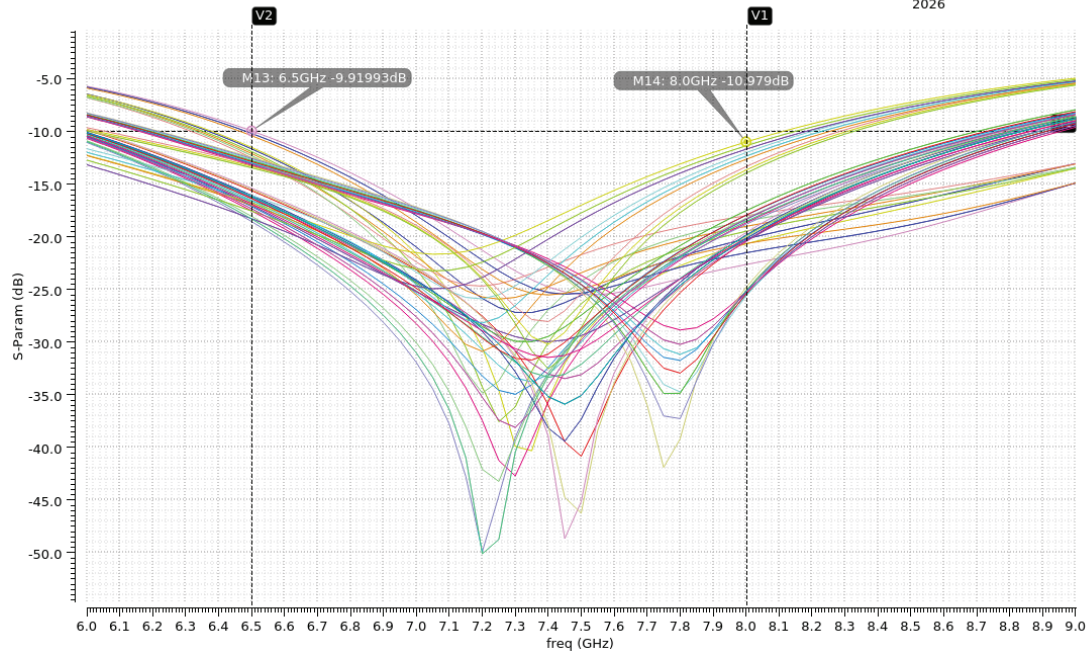
1



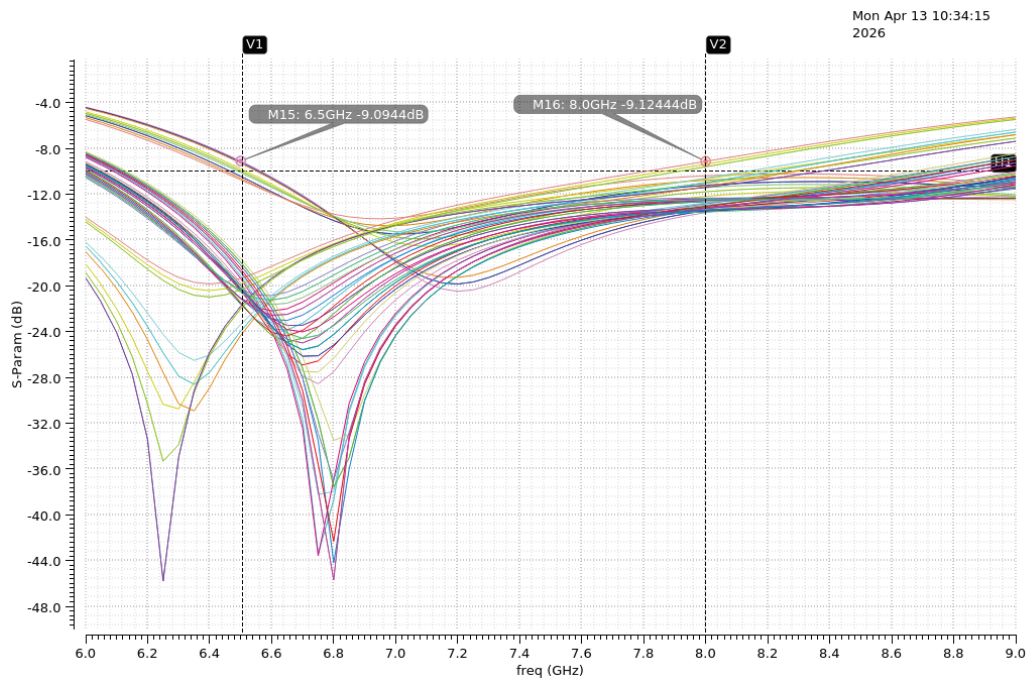
a)

Mon Apr 13 10:34:15
2026

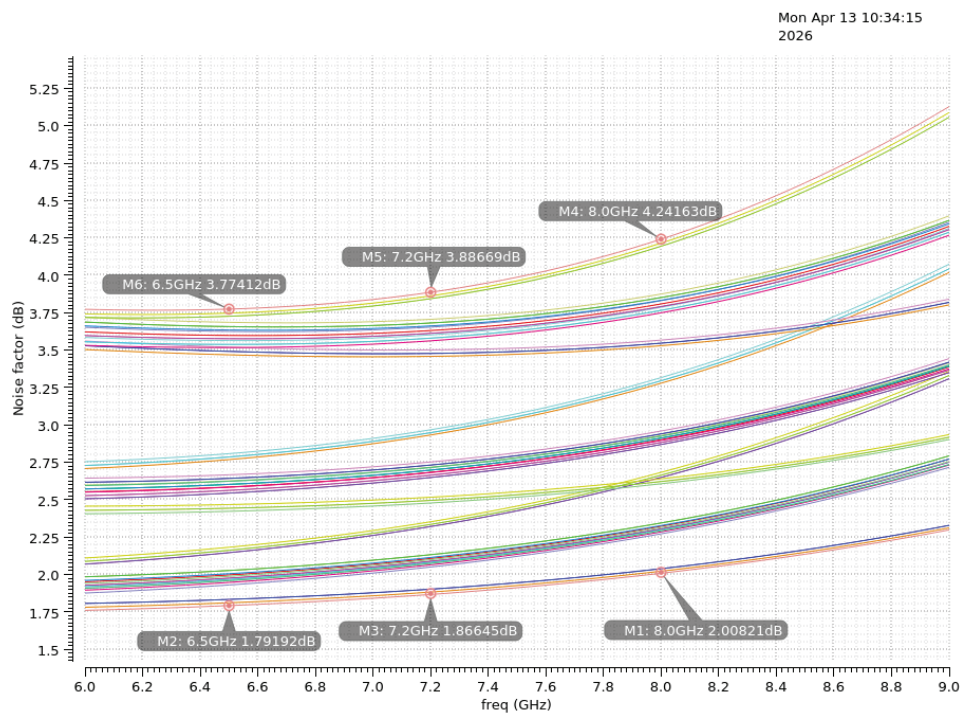
1



b)



c)



d)

Figura 6.13. Corners ajustados: a) S_{21} , b) S_{11} , c) S_{22} y d) NF

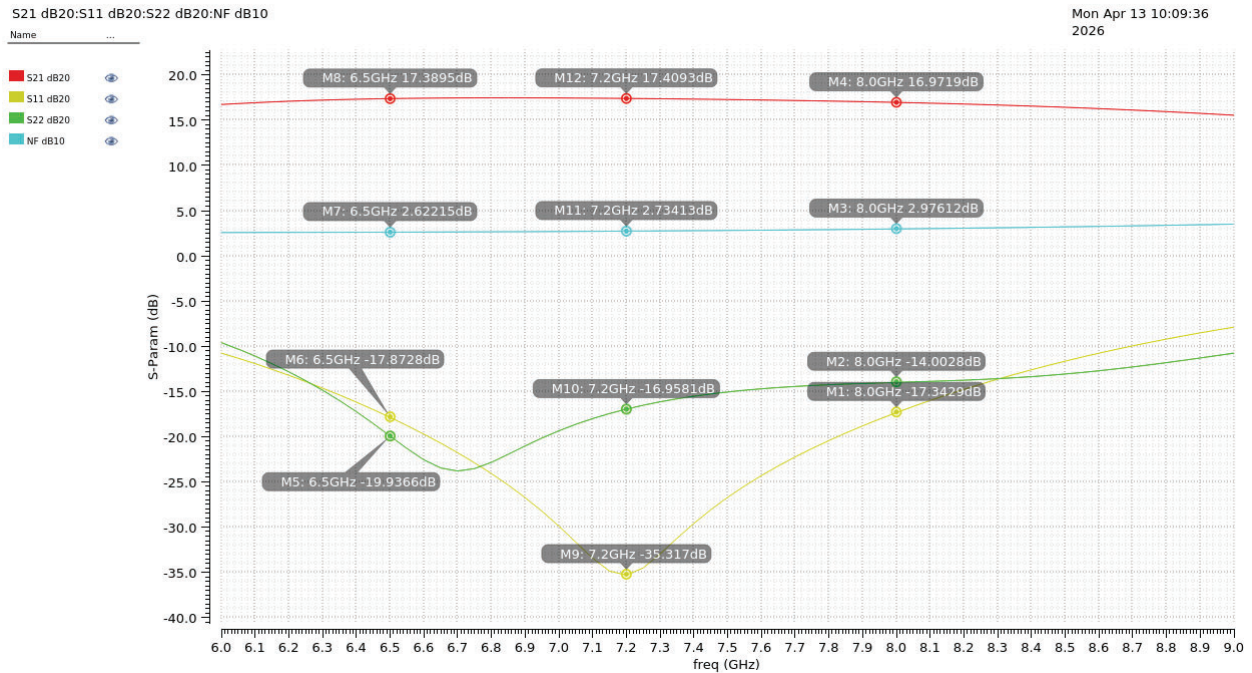


Figura 6.14. Métricas finales en nominal

Antes de realizar las simulaciones de Montecarlo de las métricas principales, se analizan los resultados de linealidad en los *corners* del proceso. La Figura 6.15 recoge los resultados del P_{1dB} . En el peor de los casos, el P_{1dB} referido a la entrada se encuentra a $-24,4$ dBm, que cumple con las especificaciones.

En cuanto al IP3, la Figura 6.16 recoge su variación en *corners*. En el peor de los casos posee una temperatura de 150°C , una tensión de alimentación de $0,72$ V y se sitúa en el *corner* de proceso FF. En este caso se obtiene un IIP3 de $-14,4$ dBm que, en comparación con el resultado nominal, tiene una variación algo significativa, pero se considera aceptable.

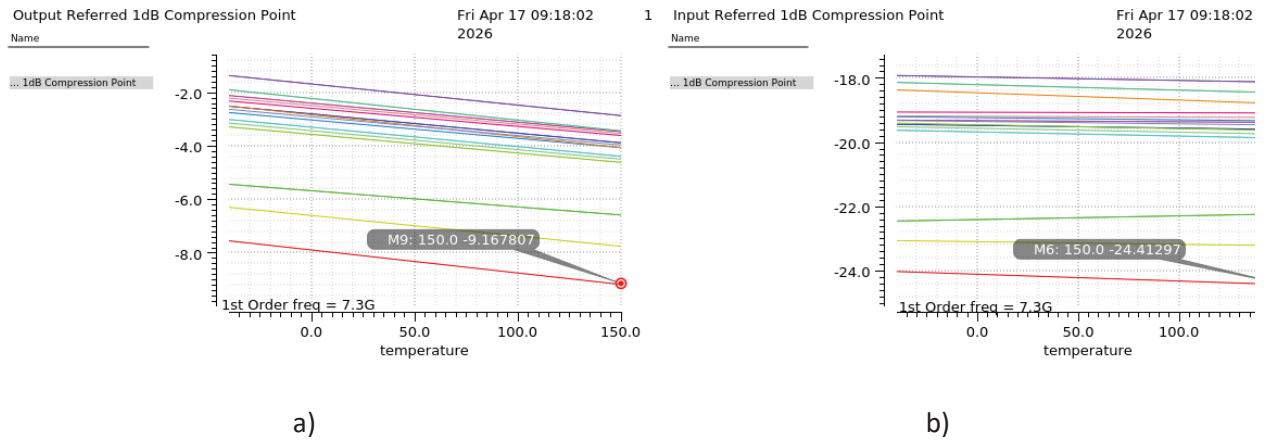


Figura 6.15. P_{1dB} en corners referido a: a) entrada, b) salida

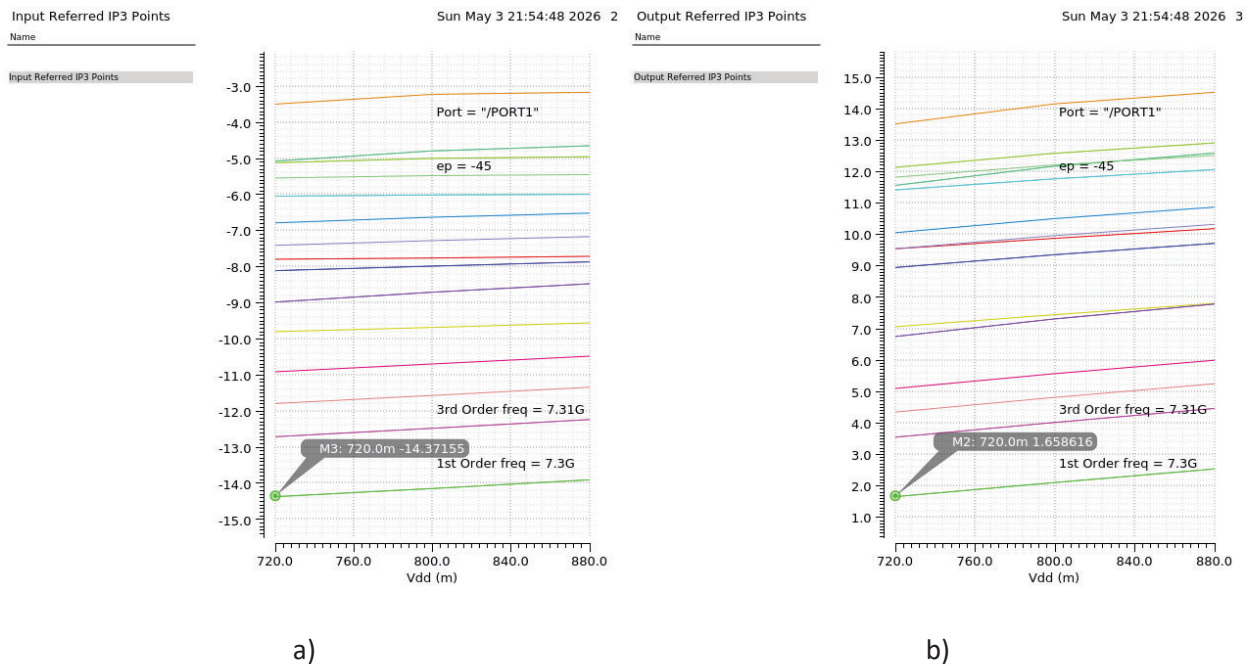


Figura 6.16. IP3 en corners: a) IIP3, b) OIP3

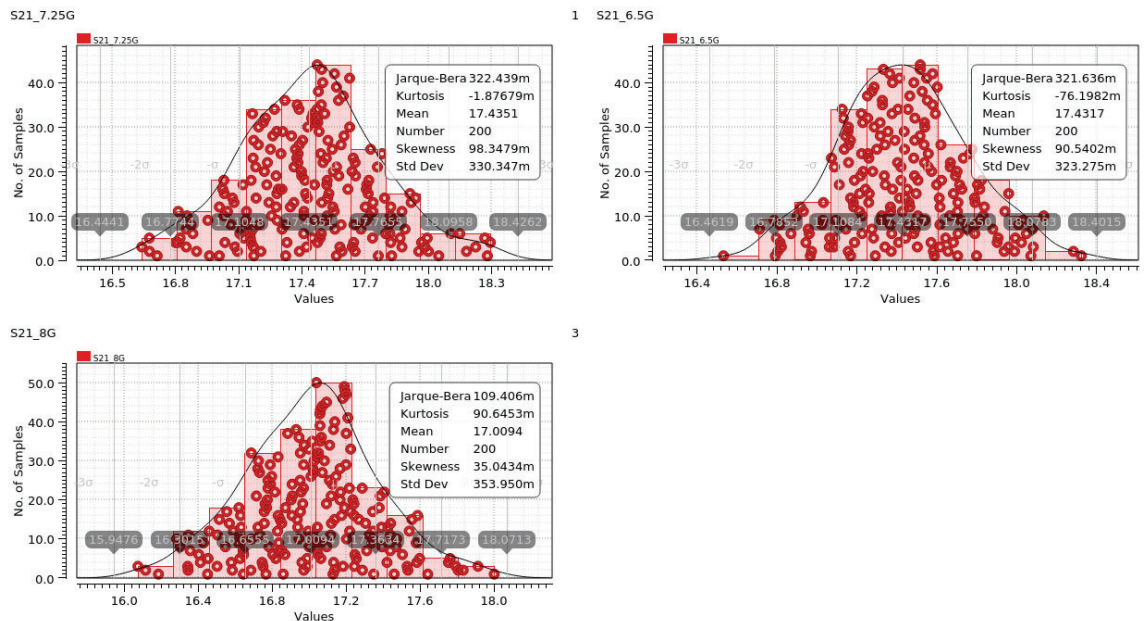
Finalmente se hace un análisis de Montecarlo con el fin de estudiar el efecto de las variaciones estadísticas del proceso de fabricación sobre las prestaciones del circuito. A diferencia del análisis de *corners*, la simulación de Montecarlo considera un gran número de muestras aleatorias de los parámetros tecnológicos, lo que permite obtener una visión más realista de la dispersión del comportamiento del diseño. La combinación de ambos análisis permite verificar que el circuito mantiene un funcionamiento



adecuado en condiciones límite y al mismo tiempo estimar la distribución esperada de sus prestaciones una vez fabricado.

En un diseño ideal, se supone que todos los transistores, resistencias, condensadores y bobinas tienen sus valores exactos. Sin embargo, en fabricación real siempre aparecen pequeñas variaciones debidas al proceso tecnológico, como cambios en las dimensiones, tensiones umbrales, resistividad y capacidades parásitas, entre otros. El análisis de Montecarlo introduce esas variaciones de forma aleatoria y realiza muchas simulaciones del circuito, cada una con una combinación distinta de parámetros.

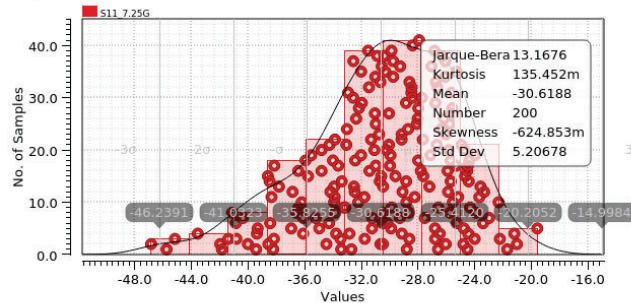
La Figura 6.17 muestra los resultados del análisis para las principales prestaciones del diseño. Para facilitar la interpretación de los resultados, la Tabla 6.2 recoge los valores máximos y mínimos que surgen de estos análisis, dando una idea de entre qué valores se encuentra este diseño.



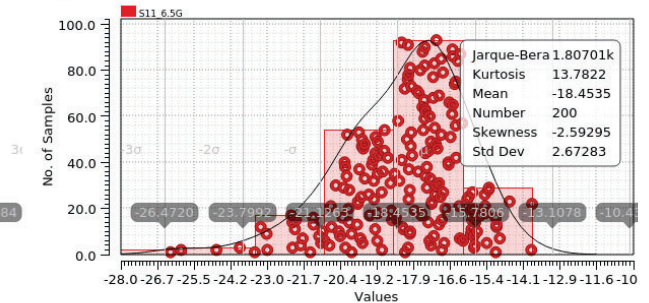
a)



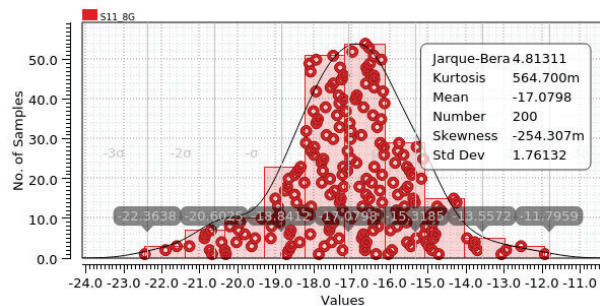
S11_7.25G



1 S11_6.5G



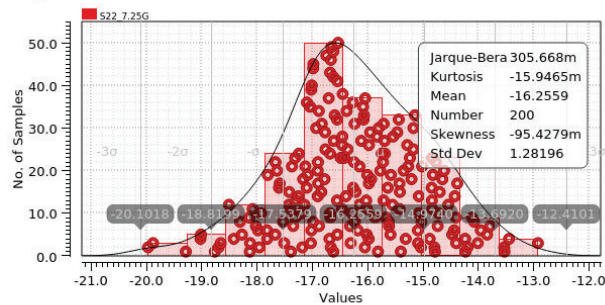
S11_8G



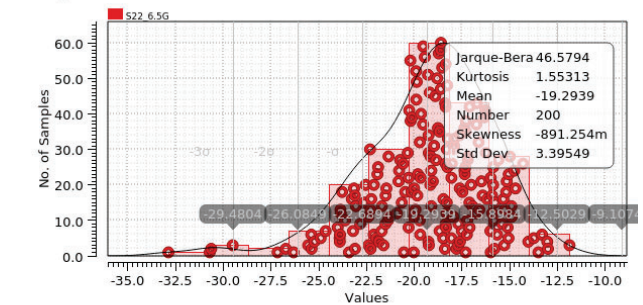
3

b)

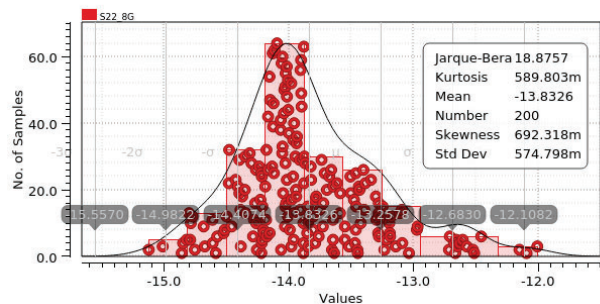
S22_7.25G



1 S22_6.5G



S22_8G

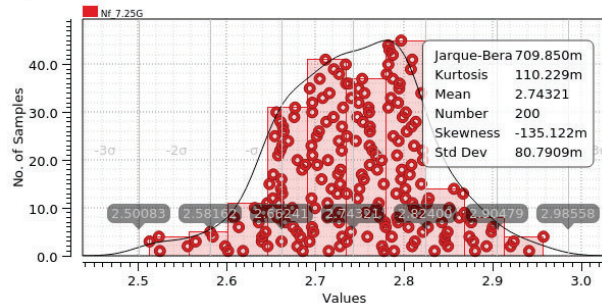


3

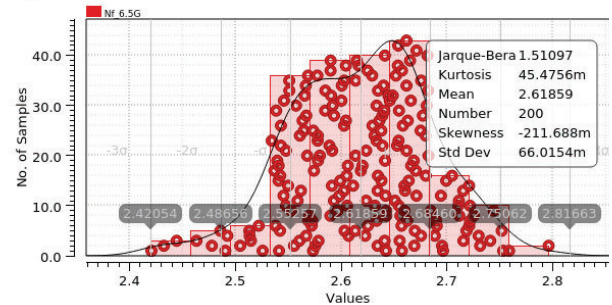
c)



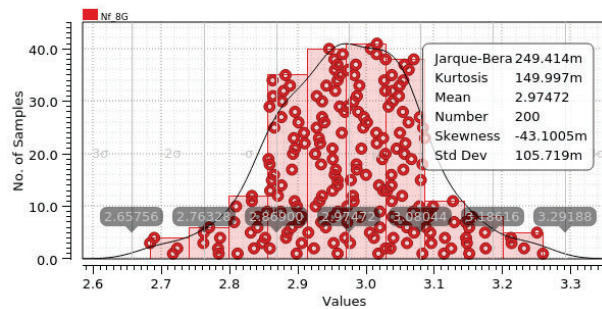
Nf_7.25G



1 Nf_6.5G



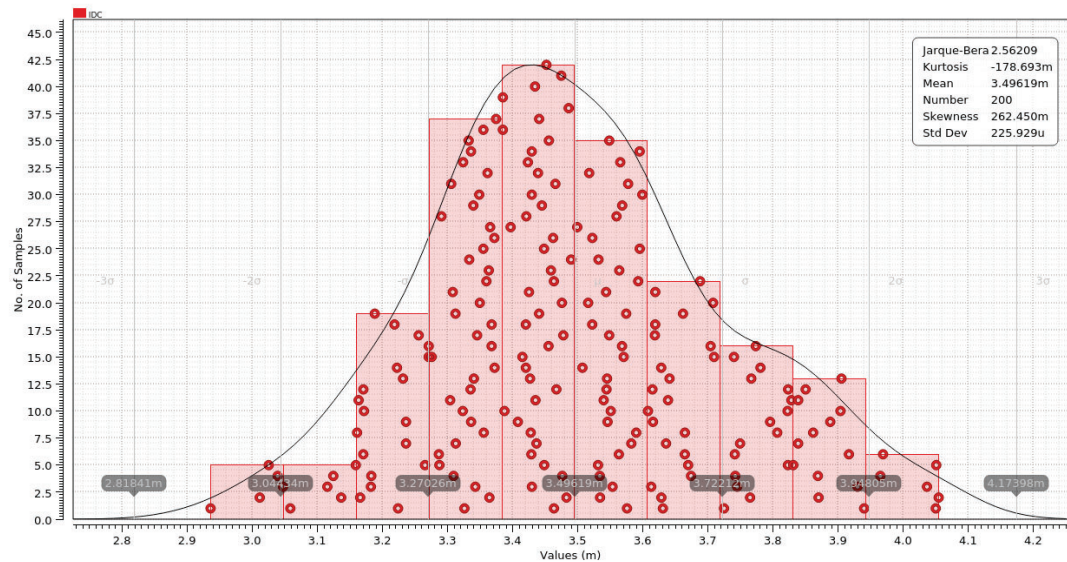
Nf_8G



3

d)

IDC



1

e)

Figura 6.17. Montecarlo: a) S_{21} , b) S_{11} , c) S_{22} , d) NF, e) Consumo corriente



Tabla 6.2. Variación de Montecarlo de las métricas principales

Medida	Valor mínimo	Valor medio	Valor máximo
S_{21} (dB)	15,9	17,4	18,4
NF (dB)	2,42	2,75	3,29
S_{11} (dB)	-46,2	-30,6	-13,1
S_{22} (dB)	-29,5	-16,3	-12,5
Consumo de corriente (mA)	3	3,5	4,05

A partir de los resultados obtenidos en el análisis de Montecarlo, se observa que las prestaciones del circuito presentan una dispersión moderada frente a las variaciones estadísticas del proceso de fabricación, pero aceptables. La ganancia se mantiene entre 16 dB y 18,4 dB, con un valor medio de 17,4 dB, lo que indica que el LNA conserva una ganancia adecuada. Del mismo modo, la figura de ruido permanece entre 2,42 dB y 3,29 dB, manteniéndose dentro de un rango aceptable para la aplicación considerada. En cuanto a la adaptación, tanto S_{11} como S_{22} presentan valores inferiores a -10 dB en todo el conjunto de muestras, lo que confirma que el circuito mantiene una correcta adaptación de entrada y salida en todo momento. Por último, el consumo de corriente varía entre 3 mA y 4,05 mA, con un valor medio de 3,5 mA, mostrando una variación razonable respecto al valor nominal.

6.3. Conclusiones

Tras el estudio de los *corners*, se puede concluir que el circuito cumple con las especificaciones en todos los casos y gracias al estudio de Montecarlo, se estima que el circuito mantendrá unas prestaciones adecuadas durante su fabricación. Estos análisis permiten comprobar que el LNA mantiene un comportamiento robusto frente a las variaciones del proceso tecnológico, la temperatura y la tensión de alimentación, aspectos importantes en aplicaciones de automoción. Los resultados obtenidos muestran que las métricas como la ganancia, figura de ruido, la adaptación de entrada y salida y el consumo de corriente, se mantienen dentro de unos márgenes aceptables considerando la dispersión estadística del proceso de fabricación.

El siguiente capítulo se centrará en la realización del *layout* del circuito. En esta etapa se llevará a cabo la implementación física del diseño, teniendo en cuenta las reglas de diseño. Posteriormente, se hará una extracción de parásitas y simulaciones electromagnéticas, con lo que será posible comprobar si las prestaciones obtenidas en simulación se mantienen tras considerar los efectos físicos asociados al *layout*.



7. Layout

Una vez finalizado el diseño del LNA a nivel de esquemático y tras haber sustituido los componentes ideales por los modelos reales de la tecnología 22FDX de GlobalFoundries, el siguiente paso consiste en realizar la implementación física del circuito.

El diseño de *layout* se considera una etapa esencial en circuitos de radiofrecuencia, ya que no significa simplemente trasladar el esquemático a una geometría física. Las interconexiones metálicas, las vías, los contactos, los planos de masa y alimentación o la posición de los componentes introducen efectos parásitos que pueden modificar los resultados obtenidos en simulación. Pequeñas variaciones en las inductancias, capacidades o resistencias parásitas pueden desplazar la respuesta en frecuencia del amplificador y provocar que el circuito deje de cumplir las especificaciones.

Por este motivo, durante el diseño de la implementación física es necesario seguir los criterios recomendados para la implementación física de circuitos de radiofrecuencia, como minimizar la longitud de las pistas críticas, reducir la impedancia de las conexiones de masa o colocar los elementos de adaptación lo más cerca posible de los transistores principales [41].

En este capítulo se recoge el proceso seguido para realizar el *layout* del LNA. En primer lugar, se realiza un *floorplan* preliminar para estimar la localización de los componentes y poder obtener una idea de las pistas que harán falta implementar para realizar las interconexiones. Posteriormente, se irán realizando los *layouts* de cada uno de los componentes del circuito, comenzando por los dos transistores que componen la etapa de amplificación principal. Después, se lleva a cabo la implementación física de la red de adaptación de entrada, compuesta por el condensador de entrada C_{in} , la inductancia de puerta L_{gate} y el condensador C_{gate} . A continuación, se realiza el *layout* de la red de adaptación de salida, que incluye la bobina de drenador L_{drain} , la resistencia paralela R_d y el condensador de salida C_{out} . Finalmente, se diseña la red de realimentación, el espejo de corriente y los condensadores de desacoplo.

Para cada uno de los bloques diseñados se realizarán las verificaciones necesarias para comprobar que el *layout* cumple las reglas de diseño de la tecnología mediante el análisis DRC (*Design Rule Check*) y que mantiene la equivalencia con el esquemático mediante el análisis LVS (*Layout versus Schematic*). Una vez superadas estas verificaciones, se lleva a cabo la extracción de parásitos o las simulaciones



electromagnéticas, según corresponda, que serán incorporadas a la hora de simular el impacto del *layout* sobre las prestaciones del LNA.

Finalmente, se integrarán todos los bloques diseñados anteriormente en un *floorplan* final, donde se incorporará el plano de alimentación y de tierra y se interconectarán todos los componentes entre sí. Con este diseño final se obtiene el *layout* completo del circuito, al que se le realizarán las verificaciones de DRC y de LVS. Una vez realizada la verificación, se procederá a realizar una simulación completa del *layout*, donde se observan las inductancias y acoplos que surgen de la inclusión de los planos de alimentación y masa.

7.1. Consideraciones previas del *layout* en circuitos RF con tecnología 22FDX

Antes de comenzar con el *layout* del LNA, es necesario describir brevemente las capas físicas principales de la tecnología 22FDX de GlobalFoundries. Esta tecnología dispone de un conjunto de capas físicas y lógicas que definen los dispositivos, las interconexiones metálicas, las vías y las regiones dopadas. La Figura 7.1 muestra un esquema lateral de las capas físicas que incluye la tecnología.

La tecnología dispone de siete capas principales de cobre, distribuidas en dos capas M, tres capas C, una capa IA y una capa OI. A estas se añade la capa superior LB, implementada en aluminio, que se utiliza en los niveles superiores de interconexión y donde se encuentran las bobinas del kit. Las capas inferiores, M1 y M2, se emplean principalmente para interconexiones locales, como las conexiones próximas a las puertas de los transistores o a las tiras de polisilicio de las resistencias. Las capas intermedias, C1, C2 y C3, permiten interconectar distintos bloques del circuito, siempre que se cumplan las restricciones de electromigración. Además, en estas capas también se implementan estructuras como los condensadores APMOM. Por otro lado, las capas superiores, IA, OI y LB, resultan más adecuadas para conexiones de radiofrecuencia, alimentación y tierra, debido a su menor resistencia. Este conjunto de capas metálicas forma parte del BEOL (*Back End of Line*) de la tecnología.

Además de las capas metálicas, existen otras capas fundamentales para definir los dispositivos. La capa RX define las regiones activas o de difusión, donde se forman las zonas de fuente, drenador y contactos de sustrato. La capa PC, correspondiente al polisilicio, se emplea para definir la puerta de los transistores y puede situarse tanto sobre zona activa como sobre aislante. Por otro lado, las capas NPLUS y PPLUS determinan las regiones dopadas de tipo n+ y p+, respectivamente. También aparece la capa HYBRID, que



identifica regiones donde se elimina la capa de aislante y queda expuesto el sustrato. Estas capas pertenecen al FEOL (Front End of Line).

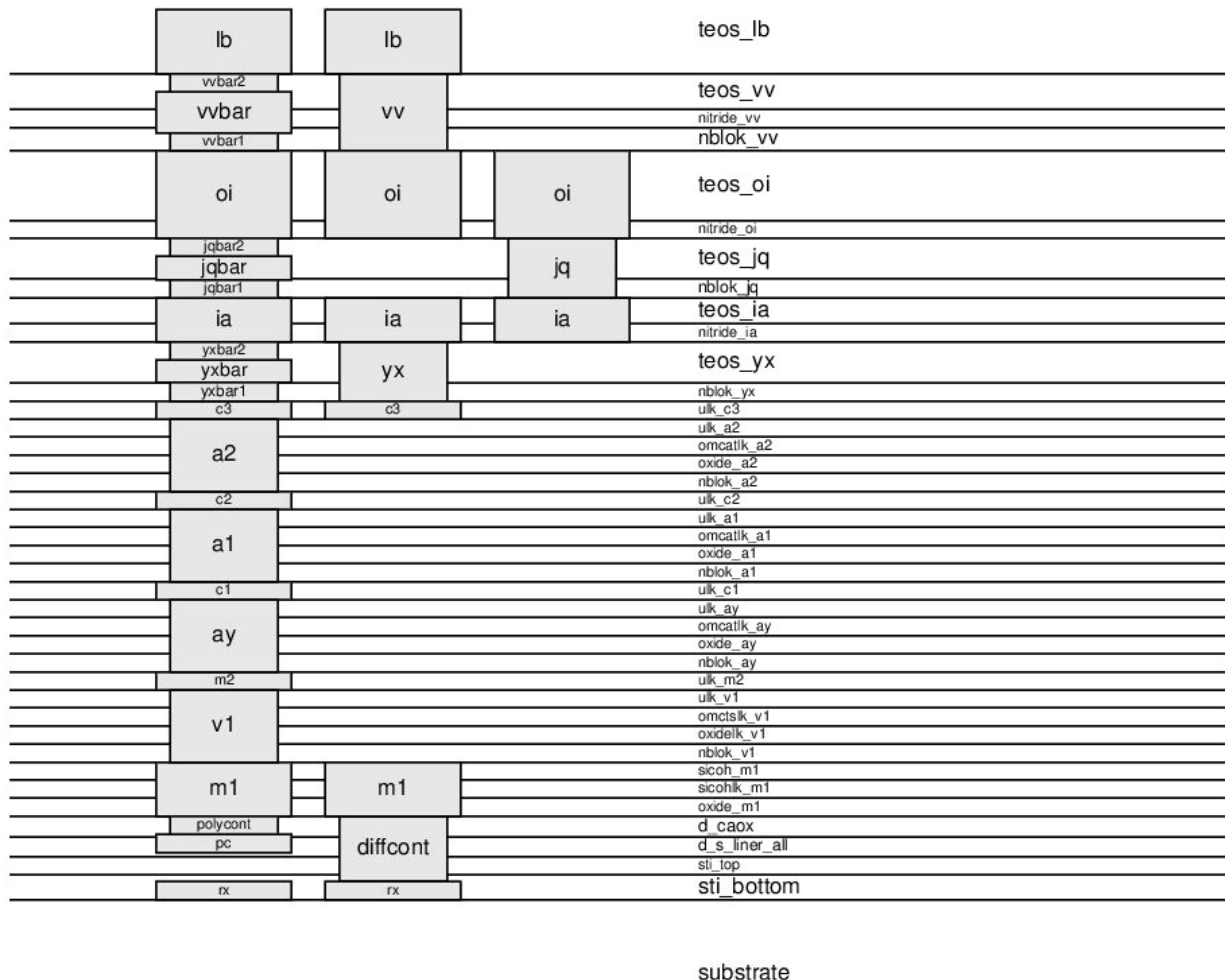


Figura 7.1. Vista lateral de las capas físicas

La conexión entre las diferentes capas se realiza mediante vías o contactos. Para comunicar los niveles FEOL con los BEOL, los contactos CA permiten conectar la capa RX con la primera capa metálica M1 y los contactos CB el polisilicio con M1. A partir de ahí, las vías permiten enlazar las distintas capas metálicas. V1 conecta M1 con M2, las vías tipo A interconectan los niveles C entre ellos, las vías Y conectan la última capa C con IA. JQ conecta IA con la última capa de cobre, OI. Finalmente, las vías VV conectan con la capa de aluminio LB. En un diseño de radiofrecuencia, una mala conexión entre metales puede introducir



resistencias o capacidades no deseadas. Por este motivo, siempre que sea posible, se usarán varias vías en paralelo para reducir los efectos parásitos.

Por último, la tecnología incluye capas lógicas que no representan una región física, pero que son necesarias para que el PDK y las herramientas de verificación identifiquen correctamente el tipo de dispositivo o región. Existen numerosas capas lógicas, las más relevantes para el diseño son aquellas asociadas a los dispositivos, que delimitan el área donde se encuentran, como la capa SLVTN, que se usa para marcar los transistores. También aparece la capa BFMOAT, que se usa para bloquear la fabricación de pozos tipo p, se encuentra debajo de las bobinas.

Una vez identificadas las capas principales de la tecnología, es necesario tener en cuenta las reglas de diseño asociadas al proceso de fabricación. Estas reglas, definidas por el fabricante en el manual de la tecnología, establecen las restricciones geométricas y eléctricas que debe cumplir cualquier *layout* para poder ser fabricado. Entre ellas se incluyen valores mínimos y máximos de anchura, separación entre metales o área, así como restricciones para los contactos, vías, metales, dispositivos activos, pasivos, pads, etc.

Por tanto, durante la implementación física del LNA, cada dispositivo, interconexión, vía y pista debe colocarse respetando las reglas impuestas por el PDK de 22FDX. La Figura 7.2 muestra un ejemplo de las numerosas reglas que se deben seguir.



Figura 7.2. Separación mínima entre dos metales tipo C

Antes de comenzar con el *layout* de los distintos bloques, se realizará un análisis de electromigración para estimar la corriente máxima que soportan las pistas metálicas. Este estudio permitirá seleccionar anchuras de metal adecuadas para realizar las interconexiones.



7.2. Electromigración

La electromigración es un fenómeno de degradación que aparece en las pistas metálicas cuando circula una cierta densidad de corriente a través de ellas. La tecnología recoge en su manual las ecuaciones de corriente máxima para metales y vías, incluyendo diferentes parámetros para corriente continua, corriente eficaz y corriente pico. Estos resultados deben multiplicarse por un factor que depende de las condiciones de temperatura, tiempo de vida deseado y el nivel de fiabilidad.

Aunque el consumo del LNA es reducido, es necesario comprobar que las pistas presentan una anchura suficiente para soportar la corriente. La corriente máxima esperada en el diseño se obtiene a partir de las simulaciones en continua y de *corners* realizadas previamente, donde el máximo consumo del circuito es de 4 mA. Esta será la corriente utilizada en el análisis.

Además de la corriente, la temperatura es otro parámetro fundamental. A mayor temperatura, mayor es la movilidad de los electrones, por tanto, mayor es el riesgo de degradación por electromigración. Ya que el LNA está orientado a aplicaciones de automoción, donde el circuito debe funcionar correctamente en condiciones de temperatura exigentes, la estimación de electromigración debe realizarse considerando 150 °C.

El tiempo de vida del circuito también condiciona la corriente máxima. Una pista es capaz de soportar una corriente elevada durante un tiempo corto antes de degradarse. Por tanto, el tamaño de las pistas debe tener en cuenta el tiempo de vida útil previsto por la empresa de cuatro años y medio.

Se ha elaborado una tabla de cálculo parametrizable, en donde en base al ancho de pista que se introduzca, aparezca la corriente máxima que esta pista soportaría durante cuatro años y medio, junto con sus valores para mínimo y máximo ancho. En la Tabla 7.1 se encuentran recogidos los valores de corriente continua que soporta cada metal para una pista de 1 μm .

Tabla 7.1. Valores máximos de corriente para una pista de 1 μm de ancho

METALS	Min W (μm)	Max W (μm)	Min W	Current	Max W
M1	0,04	1,7	0,0283	0,0966	0,1646
M2	0,04	1,7	0,0257	0,0781	0,1328
Cx	0,044	4,1	0,0402	0,0916	0,3755
BA/BB	0,09	10,8	0,1292	0,1594	1,8358
IA/IB	0,36	10,8	3,1752	1,0415	11,3440
JA/JB	0,45	10,8	6,5726	1,5026	14,6783
QA/QB	1,2	18	37,3058	3,5501	69,9799
OI	1,8	30,6	71,1002	4,7951	132,8339
LB	1,8		2,2610	0,3675	

En el caso del LNA diseñado, el consumo máximo en *corners* es de 4 mA, por lo que las conexiones de alimentación deben dimensionarse teniendo en cuenta esta corriente. Para estas pistas se empleará el metal OI, con una anchura superior a 1,8 μm , que corresponde con la anchura mínima disponible para este metal. En la interconexión entre el drenador del transistor cascode y la bobina de carga se utilizará la capa metálica LB, ya que la conexión de la bobina sale directamente a través de este metal. En este caso, la anchura necesaria será superior a 10 μm .

Por otro lado, los transistores del LNA cuentan con 90 *fingers*, por lo que la corriente total de 4 mA se distribuye entre todos ellos. Esto implica que por cada *finger* circula una corriente aproximada de 44 μA . Sin embargo, en los contactos de drenador y fuente, el ancho máximo de pista disponible es de 40 μm , al encontrarse en una región muy estrecha. Si se extrajese la conexión mediante una pista de metal M1 con estas dimensiones, la corriente máxima soportada sería de aproximadamente 28 μA . Por este motivo, la conexión se realizará mediante un *stack* formado por M1, M2 y C1, permitiendo que la corriente se distribuya simultáneamente por los diferentes metales.

Para la conexión de la corriente de referencia del espejo de 100 μA , se utilizará un metal de tipo C con una anchura superior a 1,2 μm . Finalmente, en las conexiones a tierra se empleará el metal LB con la mayor anchura posible, junto con el mayor número de vías permitido. Con ello se busca reducir la resistencia de retorno a tierra.



Teniendo en cuenta estas restricciones, siempre que sea posible, se aplicará un margen adicional del 30 % respecto a las dimensiones mínimas. Por ejemplo, si una pista requiere una anchura mínima de $1\text{ }\mu\text{m}$, se utilizará una anchura de al menos $1,3\text{ }\mu\text{m}$. Esto permite minimizar el efecto de la electromigración y proporciona un *layout* más fiable ante variaciones de fabricación.

A continuación, se desarrollará el floorplan preliminar del LNA, donde se definirá la ubicación de los distintos bloques que forman el circuito. En este apartado se analizará la posición de la red de entrada, el par cascode, la red de realimentación, la red de salida, el espejo de polarización y los condensadores de desacoplo para estimar las conexiones necesarias entre ellos.

Una vez realizado el análisis de la ubicación de los componentes del circuito, se procederá a realizar el *layout* de forma individual de cada bloque, donde se realizará una extracción de parásitos o simulación electromagnética con el objetivo de incorporar estos efectos al esquemático y analizar su impacto sobre las prestaciones del circuito.



7.3. Floorplan preliminar

Antes de comenzar con el diseño físico de cada bloque de forma individual, se realiza un floorplan preliminar del LNA. El objetivo de este paso es hacer una distribución inicial de los bloques y estimar las conexiones necesarias entre ellos. Posteriormente, en el diseño de cada bloque, se tendrán en cuenta las longitudes aproximadas de las pistas, los metales y la orientación de las pistas. De esta forma, las simulaciones electromagnéticas o extracciones de parásitos de cada bloque incluirán las interconexiones reales. Este enfoque permite anticipar los efectos parásitos que van a surgir de las conexiones antes de integrar todos los bloques en un único diseño. La Figura 7.3 recoge el floorplan realizado.

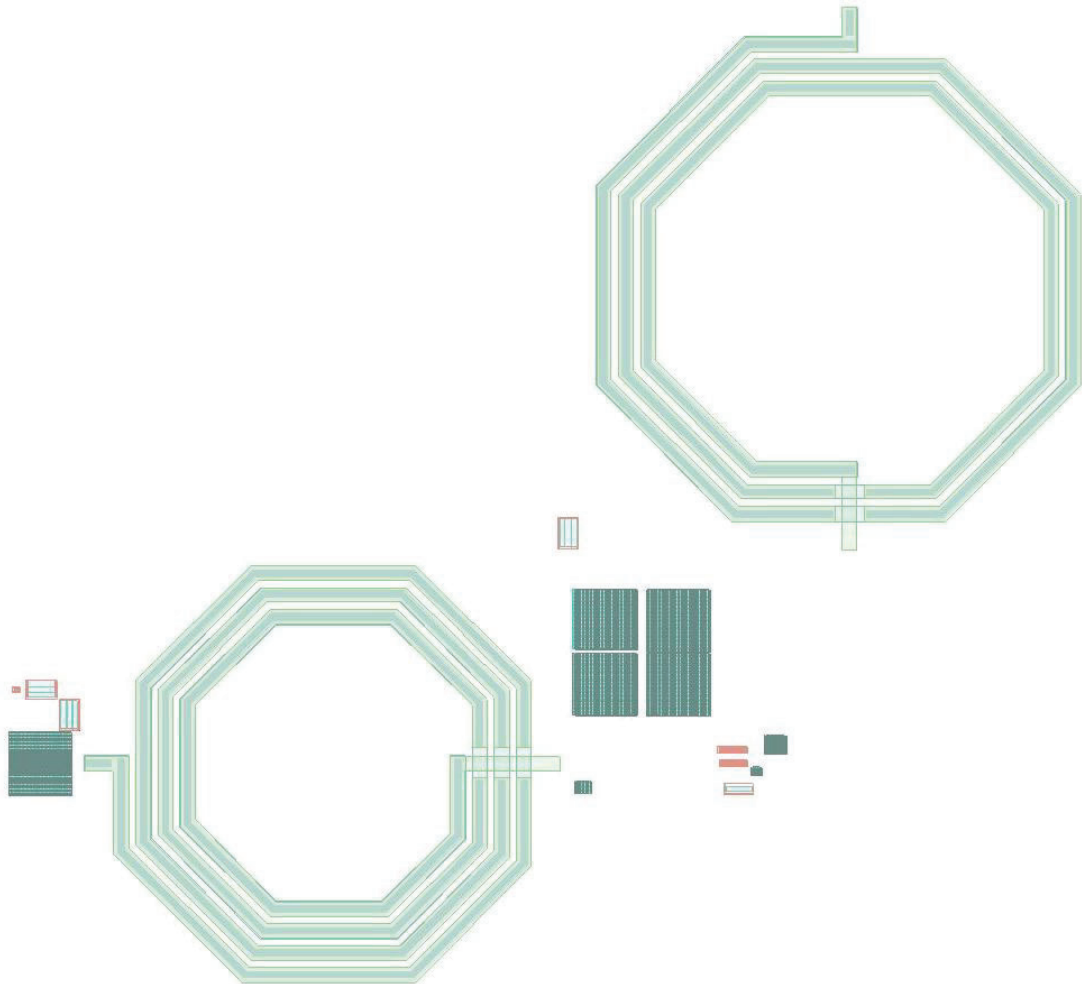


Figura 7.3. Floorplan preliminar del LNA



Una vez analizado el floorplan con detalle y definida la ubicación de cada componente, se procederá a realizar el *layout* de cada uno de los bloques descritos anteriormente. Este flujo de diseño permite que cada bloque se diseñe teniendo en cuenta su posición final dentro del circuito completo, evitando que las interconexiones posteriores introduzcan efectos parásitos no previstos que puedan degradar las prestaciones del LNA y el trabajo de reajuste sea una tarea compleja.

7.4. Transistores del par cascode

El primer bloque diseñado corresponde a los dos transistores principales del LNA. La Figura 7.4 recoge la instancia de uno de estos transistores. Si se observa la imagen con detalle, se observan varias tiras de color rojo, que representan el polisilicio empleado para formar la puerta del transistor. Estas puertas se encuentran interconectadas a través de dos tiras de metal M1 en los extremos del polisilicio. En paralelo a estas puertas se sitúan de forma alternada las regiones de drenador y fuente, que se conectan al metal M1 mediante contactos CA. La zona marcada en verde corresponde con la región activa, situada bajo el polisilicio y se conecta con él a través de los contactos CB. Por otro lado, las zonas amarilla y marrón representan las regiones dopadas n+ y p+, respectivamente. Se encuentran debajo de los anillos de metal M1 que conectan estas regiones del sustrato a través de CA.

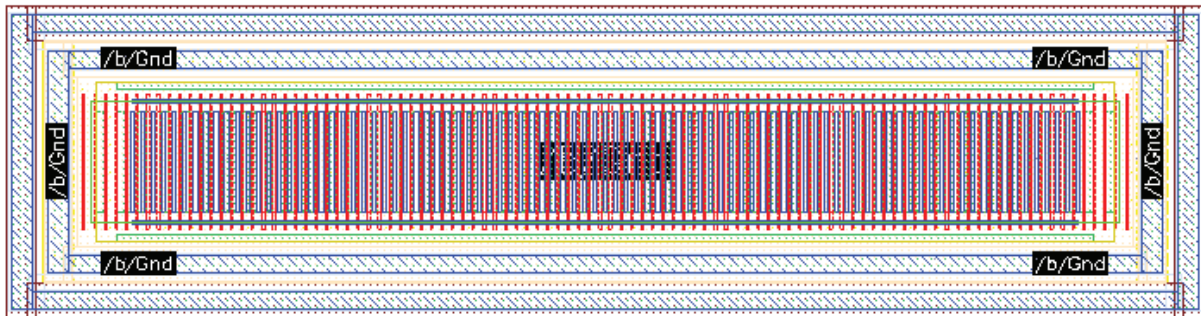


Figura 7.4. Instancia de un transistor SLVT con ancho de $90\ \mu\text{m}$ y 90 *fingers*

A partir de esta instancia, se colocará un segundo transistor de características idénticas sobre el primero, de forma que ambos dispositivos queden dispuestos verticalmente para implementar la configuración cascode. Para ello, el drenador del transistor inferior se conectará con la fuente del transistor superior, formando el nodo intermedio. Las conexiones correspondientes a las puertas, drenador y fuente del cascode se realizarán utilizando el metal LB. En la zona central de ambos transistores, la conexión entre los transistores se llevará a cabo mediante el *stack* metálico descrito anteriormente, formado por M1, M2 y C1, repartiendo la corriente entre los metales. Finalmente, ambos transistores quedarán unidos mediante



una tira ancha de C1. La Figura 7.5 muestra el *layout* completo de ambos transistores conectados que forman la etapa de amplificación principal del LNA.

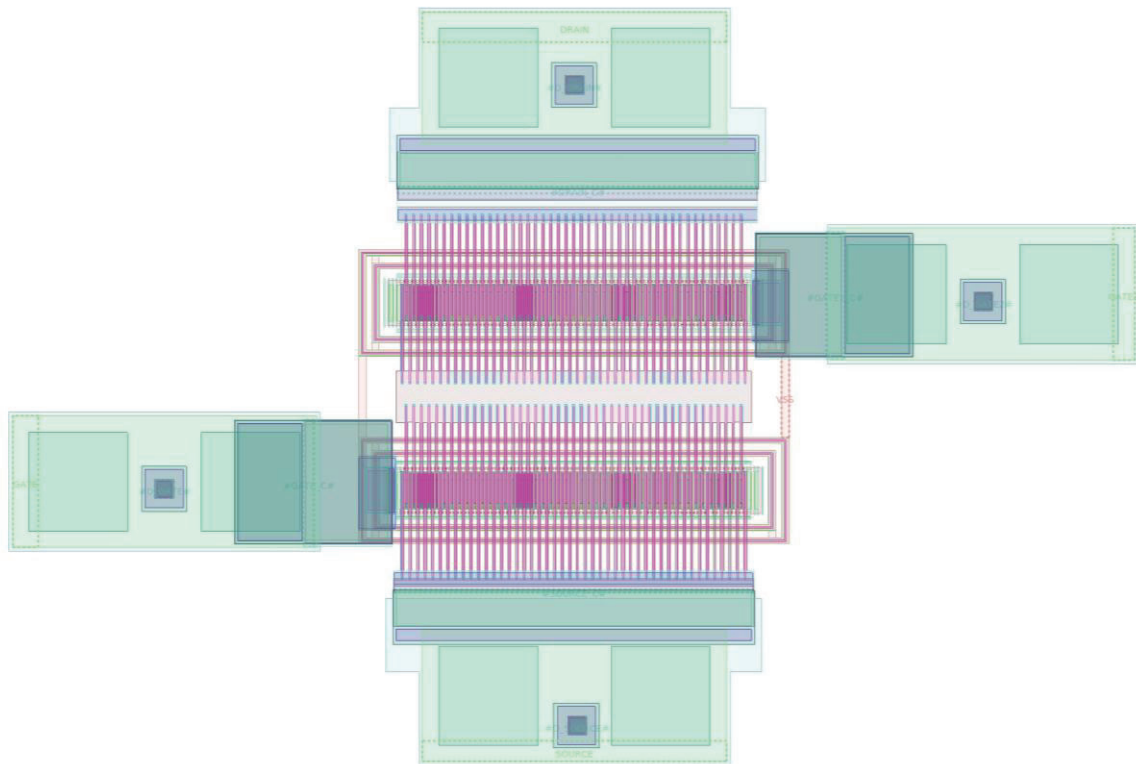


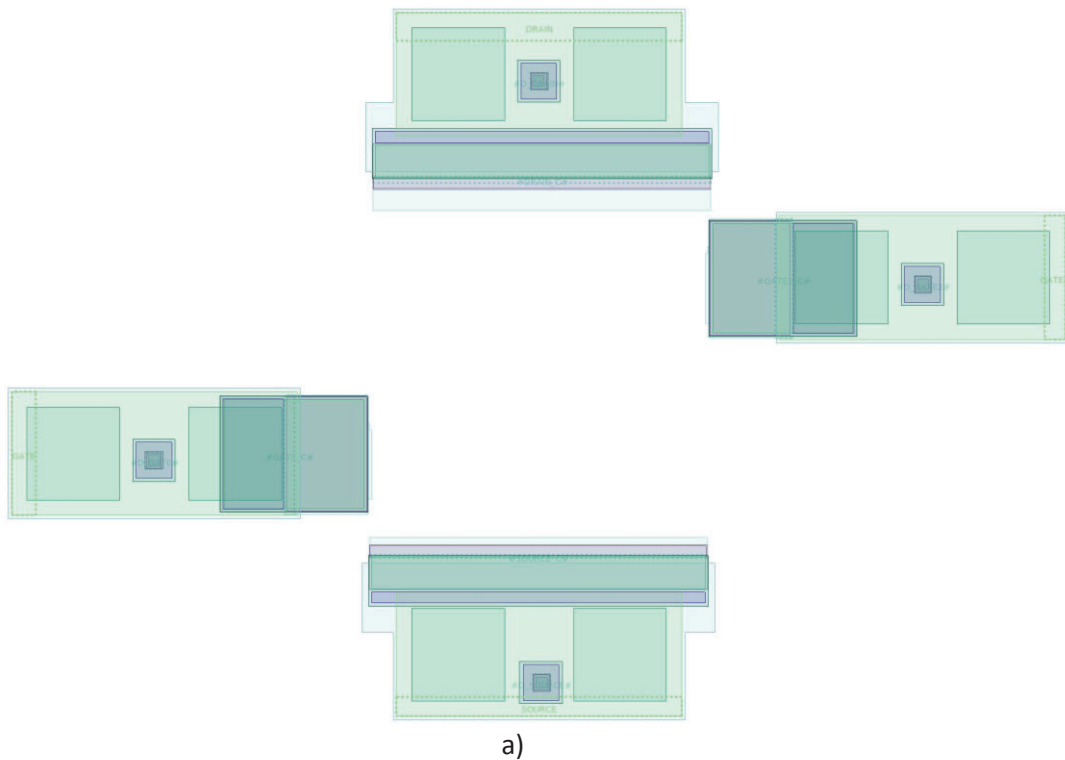
Figura 7.5. *Layout* completo de los transistores del par cascode

Se ha decidido situar la puerta del transistor superior hacia la derecha, ya que esta disposición facilita la colocación de la red de realimentación en el espacio disponible entre el drenador del transistor superior y la entrada del transistor principal inferior. Además, esta orientación permite ubicar de forma más sencilla los condensadores de desacoplo cerca del transistor, reduciendo la longitud de las interconexiones, por tanto, las posibles parásitas.

En las conexiones externas del bloque, en la capa LB, se observan cuatro cuadrados de metal OI. Estos elementos corresponden a vías que conectan con diodos de *tie-down*, usados para eliminar el efecto antena. Durante el proceso de fabricación, las capas metálicas se forman y se someten a procesos de pulido, en los que pueden aparecer cargas eléctricas debidas a la electricidad estática. Estas cargas podrían encontrar un camino hacia la puerta del transistor a través de las vías y dañar el óxido de puerta. Por este motivo, se han incorporado cuatro diodos, uno en cada terminal, con el objetivo de proporcionar un camino de descarga y proteger las puertas de los transistores frente a este efecto.



Tras la incorporación de estos diodos, el *layout* cumple correctamente con las verificaciones DRC y LVS, lo que confirma el cumplimiento de las reglas de diseño y la equivalencia con el esquemático. A continuación, el diseño se dividirá en dos partes para su análisis. Por un lado, los metales superiores se simularán mediante un análisis electromagnético, ya que estas capas contribuyen a las inductancias introducidas en el circuito. Por otro lado, a los metales inferiores y a las regiones no metálicas se les realizará una extracción de parásitos de resistencia, capacidad y acoplo capacitivo. Esta partición se realiza porque no es posible extraer todos los efectos físicos del diseño completo mediante un único método. Por este motivo, la separación del análisis se realizará a partir de la capa C2. La Figura 7.6 muestra la partición del diseño.



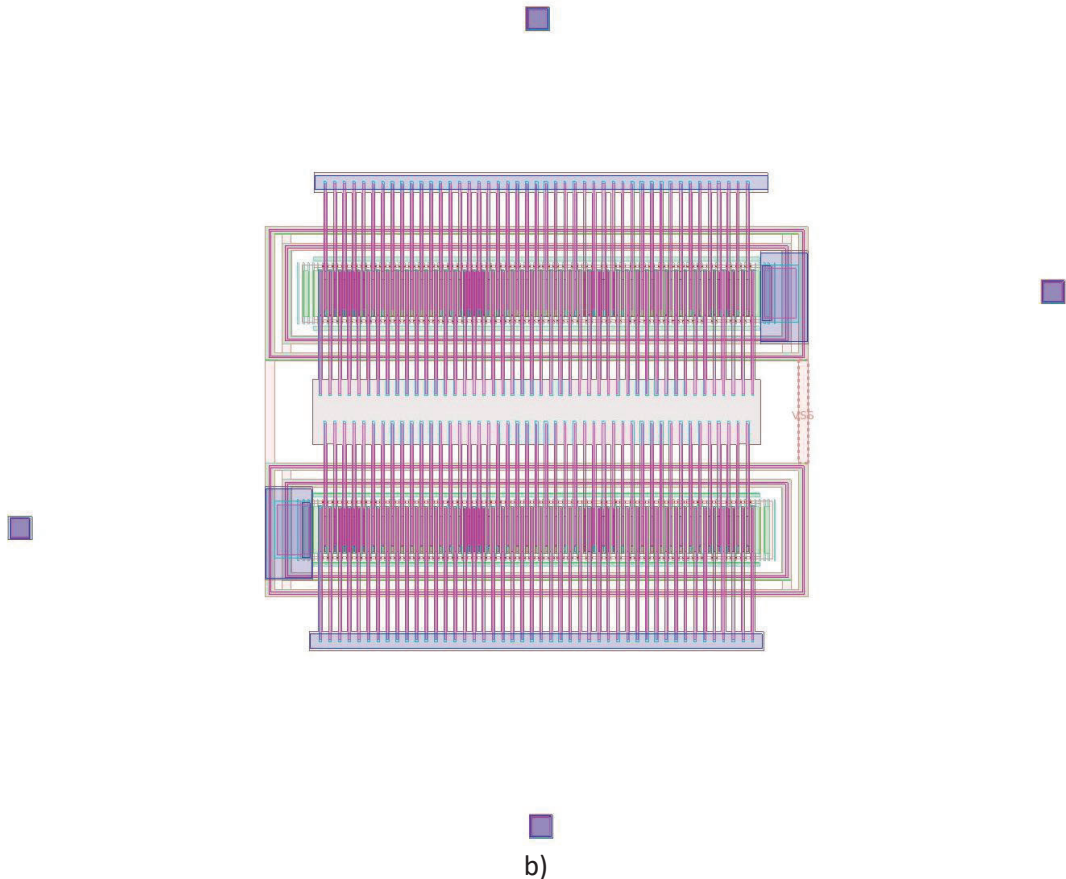


Figura 7.6. Layout dividido en: a) electromagnético, b) extracción de parásitas

Una vez simuladas ambas partes, se incorporan en un único esquemático y se incluyen en el LNA completo. La Figura 7.7 compara las prestaciones del LNA con componentes reales del kit frente a la incorporación del *layout* de los transistores. En general, se observa que la inclusión del *layout* de los FETs no modifica significativamente el comportamiento del circuito, aunque sí introduce algunas variaciones debido a los efectos negativos asociados al *layout* de los transistores.

En cuanto a la ganancia, se aprecia una degradación aproximada de 0,8 dB. En el centro de la banda, la ganancia pasa de 17,18 dB en el caso sin *layout* a 16,61 dB tras incorporarlo, manteniéndose por encima de las especificaciones. A 6,5 y 8 GHz, la ganancia también se mantiene por encima de 15 dB, por lo que el circuito sigue cumpliendo la especificación establecida. Respecto a la figura de ruido, se aprecia que empeora. Este comportamiento es esperable, ya que los elementos parásitos asociados a la puerta, fuente y drenador del transistor de entrada afectan directamente al ruido total del LNA.



En cuanto a las adaptaciones de entrada y salida se puede apreciar que se han desplazado ligeramente en frecuencia. La adaptación de entrada es algo distinta, especialmente al inicio de la banda, donde empeora. Aun así, se mantiene por debajo de -10 dB en todo el rango de operación. Lo mismo ocurre con la adaptación de salida, que modifica su respuesta en frecuencia, pero se mantiene por debajo del valor límite.

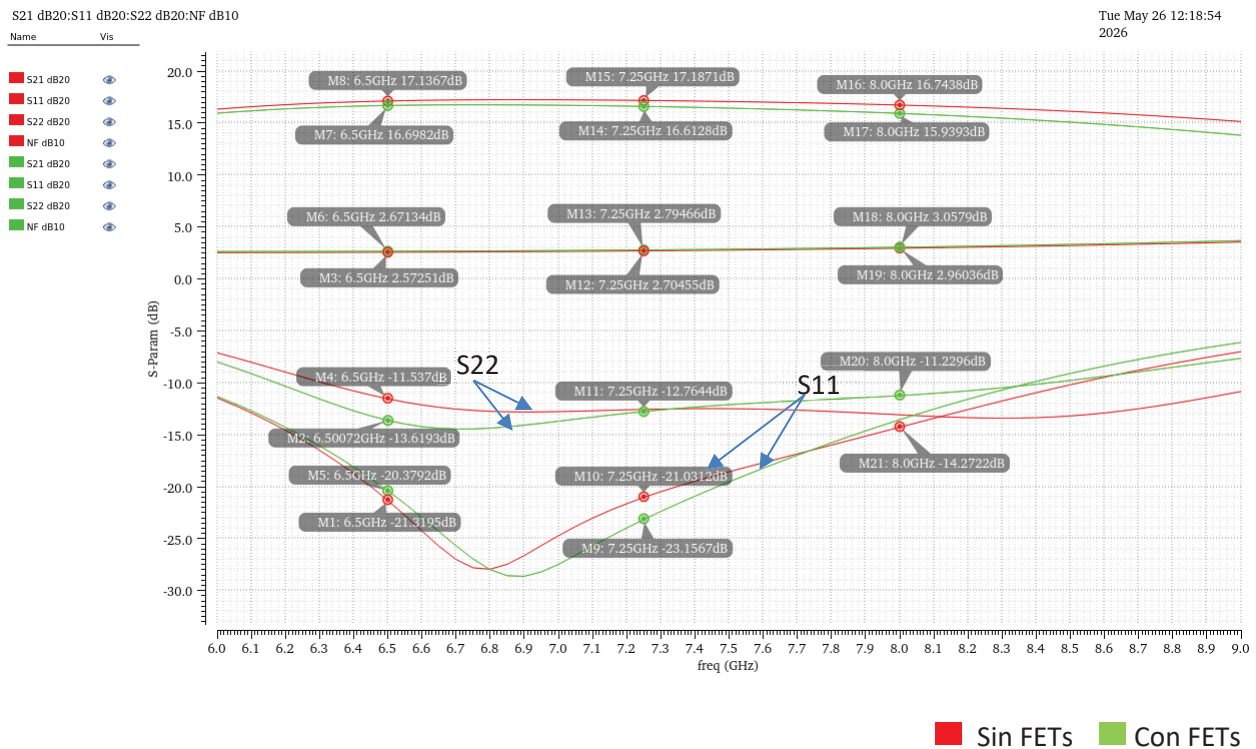


Figura 7.7. Simulaciones *post-layout* de los transistores

En conjunto, los resultados obtenidos muestran que el *layout* de los transistores se ha realizado correctamente y que las parásitas introducidas por este bloque no degradan en gran medida las prestaciones del LNA. Aunque se observa una ligera reducción de la ganancia y aumento de la figura de ruido, así como un pequeño desplazamiento en las adaptaciones de entrada y salida, el circuito mantiene un comportamiento adecuado en toda la banda de operación.

Una vez verificado este bloque, el siguiente apartado se centrará en el diseño e incorporación de la implementación física de la red de adaptación de entrada.



7.5. Red de adaptación de entrada

El segundo de los bloques diseñados corresponde con la red de adaptación de entrada, compuesta por el condensador de entrada C_{in} , la bobina L_{gate} y el condensador C_{gate} . Este bloque tiene la función de adaptar la impedancia vista desde la puerta del transistor principal hacia el puerto de entrada, con el fin de minimizar la figura de ruido y tener la máxima transferencia de potencia posible.

En la Figura 7.8 se muestra el *layout* de la red de entrada. Para su implementación, se ha decidido conectar todos los componentes a través del metal LB, ya que es la capa de metal en la que se encuentra la bobina. Además, es el metal utilizado para acceder a la puerta del transistor principal del par cascode. A la izquierda de la imagen se encuentra C_{in} , seguido por la bobina en espiral L_{gate} . A la salida de esta bobina se encuentra el condensador C_{gate} , conectado en paralelo, en cuyo nodo se conectará la puerta del transistor principal del par cascode. Ambos condensadores se encuentran entre los metales C1 y C3, por lo que es necesario introducir un stack de vías que permita elevar la conexión hasta la capa LB.

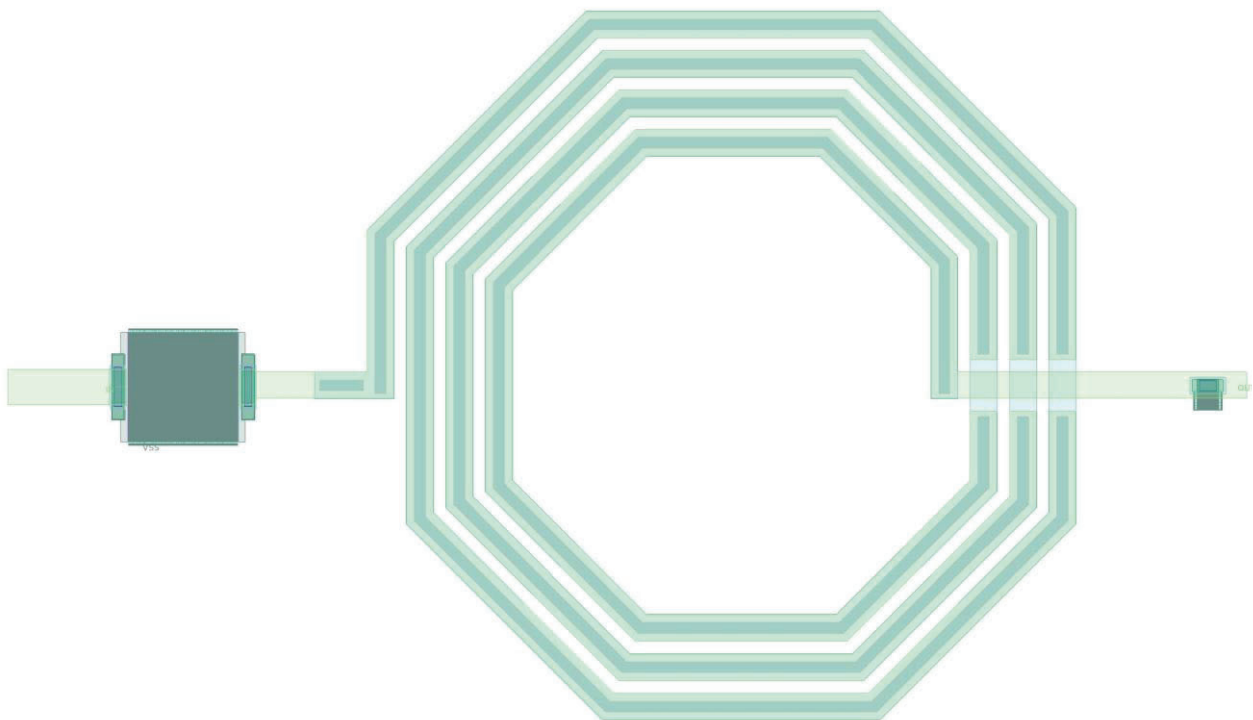


Figura 7.8. *Layout* de la red de adaptación de entrada



A partir del diseño, se realizan las verificaciones de DRC y LVS, que confirman que el *layout* cumple con las reglas de diseño y la equivalencia con el esquemático. Posteriormente, se realiza una simulación electromagnética, con el objetivo de considerar las inductancias y acoplos asociados a las conexiones metálicas. En este caso no se realiza una extracción de parásitas, como en el caso anterior, ya que la red está implementada principalmente en metales altos, cuya contribución está asociada principalmente a efectos inductivos.

Cabe destacar que gracias al floorplan preliminar de la sección anterior, es posible analizar desde esta etapa el efecto de las pistas necesarias para conectar la red de entrada con la puerta del transistor principal, así como la conexión con el puerto de entrada de la señal RF. Integrar estas pistas en la simulación permite obtener un comportamiento más cercano al real del circuito y anticipar parte de los efectos parásitos que aparecerán después al integrar todos los bloques en un único *layout*. Gracias a considerar esto, se simplifica el trabajo posterior de reajustar los componentes una vez conectado el diseño completo.

La Figura 7.9 muestra los resultados obtenidos al incorporar los efectos de la simulación electromagnética de la red de entrada, comparándolos con el caso anterior, donde se consideran los componentes reales del kit.

En primer lugar, se observa que la ganancia apenas se ve afectada, con una bajada aproximada de 0,3 dB. Sin embargo, se aprecia un aumento de la figura de ruido, que se incrementa aproximadamente un 10 %. Este deterioro se debe principalmente a las resistencias parásitas de las pistas y vías de la red de entrada, ya que cualquier pérdida situada antes de la puerta del transistor principal contribuye directamente al ruido total del LNA.

En cuanto a la adaptación de salida apenas se observan variaciones significativas. Por el contrario, la adaptación de entrada presenta un desplazamiento en frecuencia esperable. Las pistas de interconexión añaden inductancia adicional a la entrada, por lo que modifican la impedancia vista desde el puerto de entrada. Aun así, el circuito mantiene buenas prestaciones y la adaptación continúa dentro de los límites establecidos en toda la banda de operación.

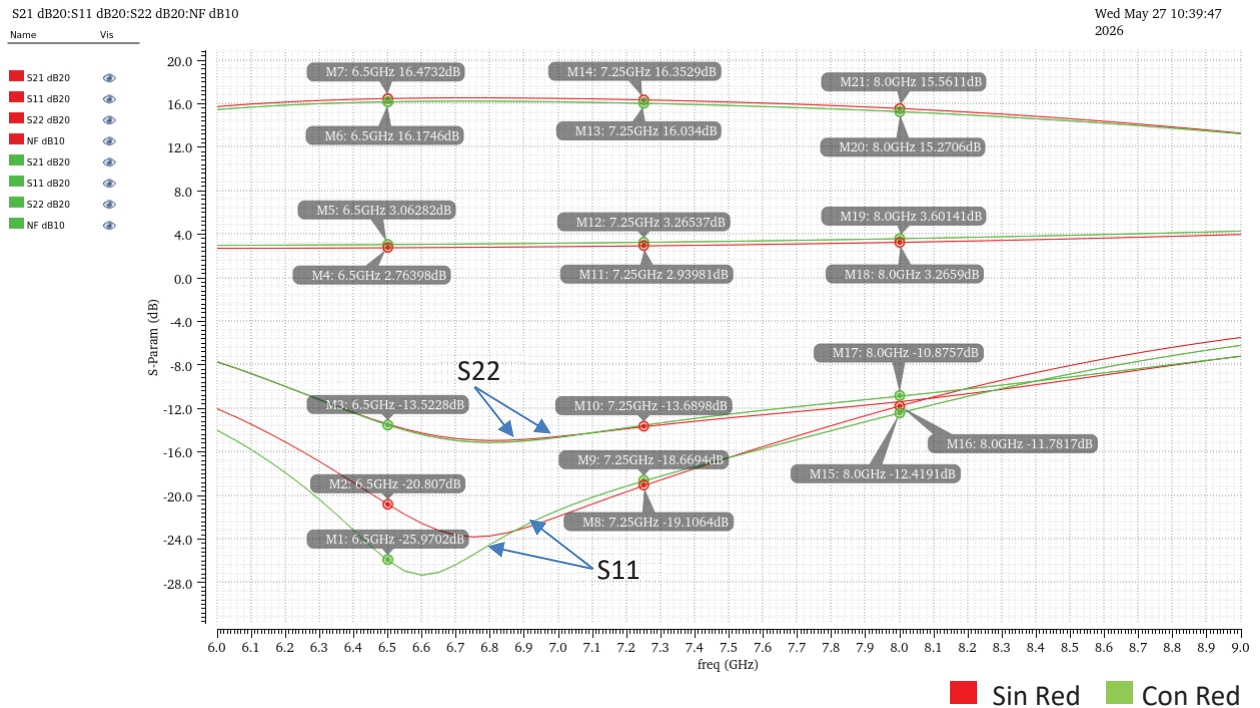


Figura 7.9. Simulación *post-layout* de la red de entrada

En conjunto, los resultados obtenidos muestran que la incorporación de la red de entrada introduce cierta degradación en las prestaciones del LNA, especialmente en la figura de ruido y en la adaptación de entrada. No obstante, el circuito sigue manteniendo un comportamiento adecuado dentro de la banda de operación.

Una vez diseñada la red de adaptación de entrada, el siguiente apartado se centrará en el diseño del *layout* de la red de salida y de la carga situada en el drenador del transistor cascode. Este bloque está formado por el tanque RL compuesto por la bobina L_{drain} y la resistencia R_d y por el condensador de salida C_{out} .



7.6. Red de adaptación de salida

En esta sección se diseña la implementación física de la red de adaptación de salida y carga del drenador, compuesta por la bobina L_{drain} , la resistencia R_d y el condensador de salida C_{out} . El objetivo de esta red es adaptar la impedancia de salida del LNA para favorecer la máxima transferencia de potencia hacia el puerto de salida.

La Figura 7.10 muestra la implementación física de esta red. Al igual que en la red de entrada, la conexión entre los diferentes elementos se realiza mediante el metal LB, ya que es donde se encuentra implementada la bobina. En la parte superior de la figura se sitúa la bobina L_{drain} , cuyo terminal superior se conecta a la tensión de alimentación V_{dd} . El terminal inferior conecta con el drenador del par cascode a través de una tira de metal LB. De esta pista, se conecta la resistencia R_d , que conecta por uno de sus terminales con V_{dd} . Finalmente, desde este mismo nodo, se extrae la señal de RF hacia el puerto de salida a través del condensador C_{out} .

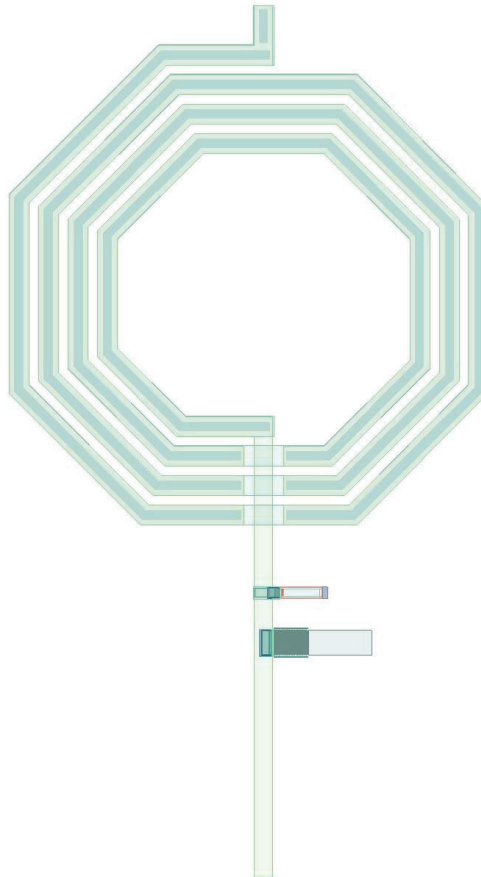


Figura 7.10. Layout de la red de adaptación de salida



Una vez verificado que el *layout* cumple con el DRC y LVS, se realiza una simulación electromagnética con el objetivo de observar los efectos asociados a la implementación física de las interconexiones. Para que los resultados obtenidos sean correctos, la resistencia de carga R_d no se incluye dentro de la simulación electromagnética.

La Figura 7.11 muestra la impedancia calculada por el simulador electromagnético de una resistencia de 2,3 K Ω frente a su valor proporcionado por el PDK. Se observa que cuando se introduce esta resistencia su valor es de 93 Ω frente a los 2,3 k Ω que proporciona el modelo. Esto se debe a que dicha resistencia está implementada en polisilicio y el simulador electromagnético no resuelve de forma adecuada este tipo de estructura. Por este motivo, se ha optado por poner la resistencia como una caja negra dentro del simulador. De esta forma, la simulación electromagnética tiene en cuenta todos los metales y vías que llegan hasta los terminales de entrada y salida de la resistencia en metal M1, pero no incluye la resistencia, que usará el modelo proporcionado por GlobalFoundries.

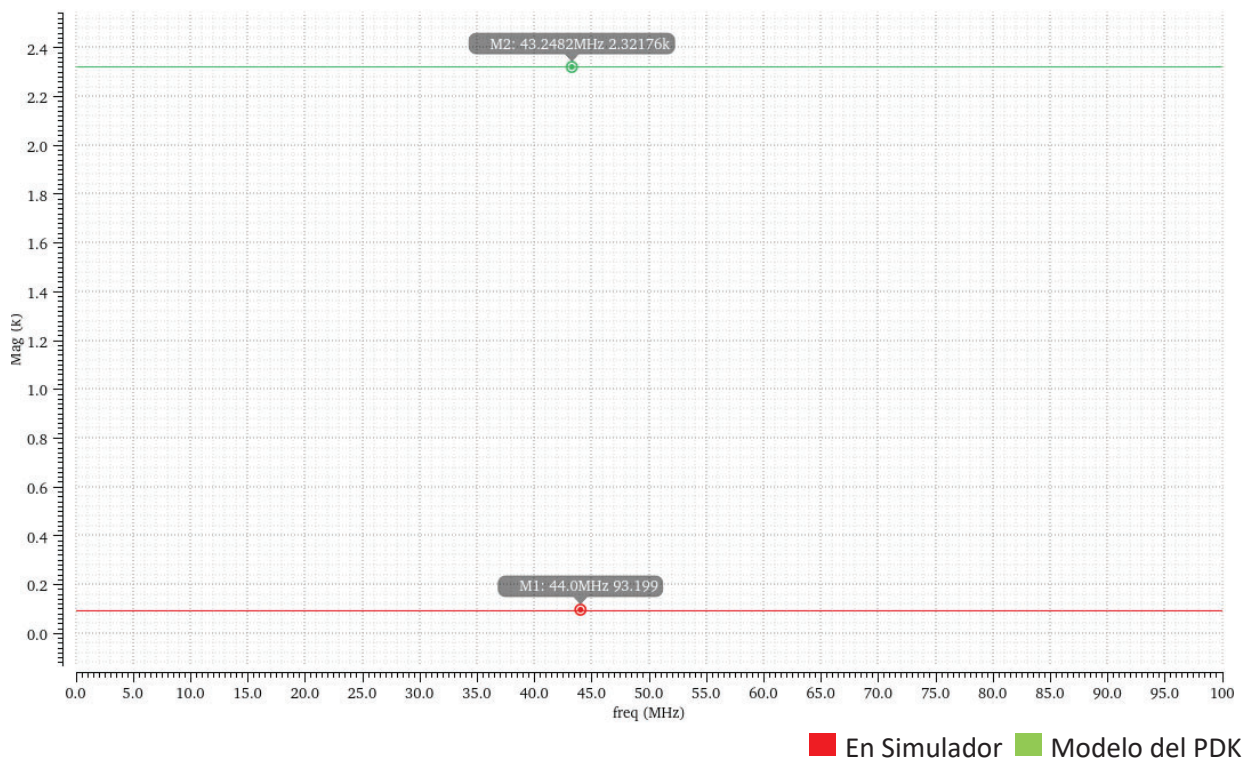


Figura 7.11. Simulación electromagnética de una resistencia de polisilicio frente al modelo del PDK



La Figura 7.12 muestra los resultados obtenidos al incorporar en el circuito la red de adaptación de salida simulada electromagnéticamente. Lo primero que se observa es un desajuste en las adaptaciones de entrada y salida, siendo especialmente relevante el caso de la de salida, que deja de estar adaptada. Como consecuencia de este desajuste, la ganancia se reduce aproximadamente 1 dB. Será necesario reajustar los valores de la red para compensar los efectos parásitos que introducen las interconexiones de los componentes.

La Figura 7.13 recoge los resultados obtenidos tras realizar el reajuste. En este caso, se ha reducido el valor de la bobina de drenador L_{drain} para compensar la inductancia introducida por la pista de metal LB. Al mismo tiempo, se ha aumentado el valor del condensador de salida C_{out} y se ha reducido la resistencia R_d , con el objetivo de recuperar la adaptación de salida sin degradar de forma significativa el resto de las prestaciones. Tras estos cambios, las adaptaciones de entrada y salida vuelven a situarse dentro de las especificaciones, y además se consigue mejorar notablemente la adaptación de salida, a costa de un ligero empeoramiento de la adaptación de entrada.

Gracias a la mejora de la adaptación de salida, la ganancia aumenta ligeramente respecto al caso anterior, en el que la red estaba formada únicamente por los componentes del PDK. Esta mejora se debe a que la nueva adaptación permite una mejor transferencia de potencia hacia el puerto de salida. Por otro lado, la figura de ruido apenas se ve afectada, ya que la red de salida se encuentra después de la etapa de entrada y su contribución al ruido total del LNA es mucho menos significativa.

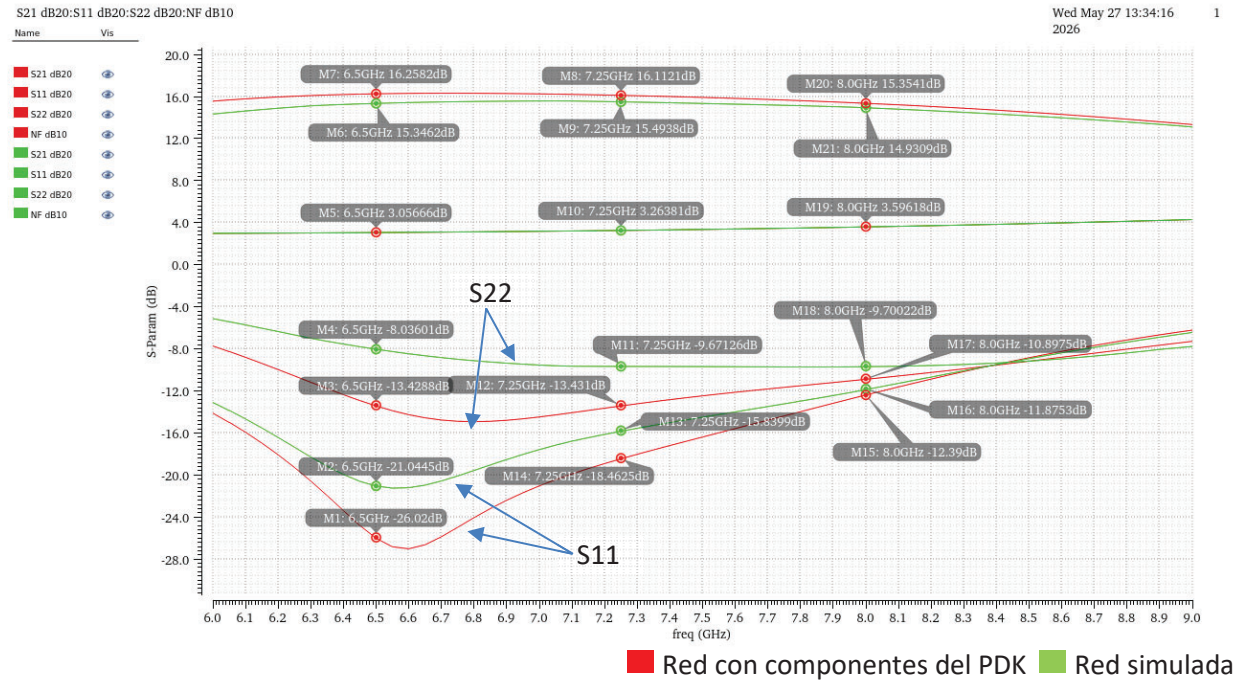


Figura 7.12. Simulación *post-layout* de la red de salida

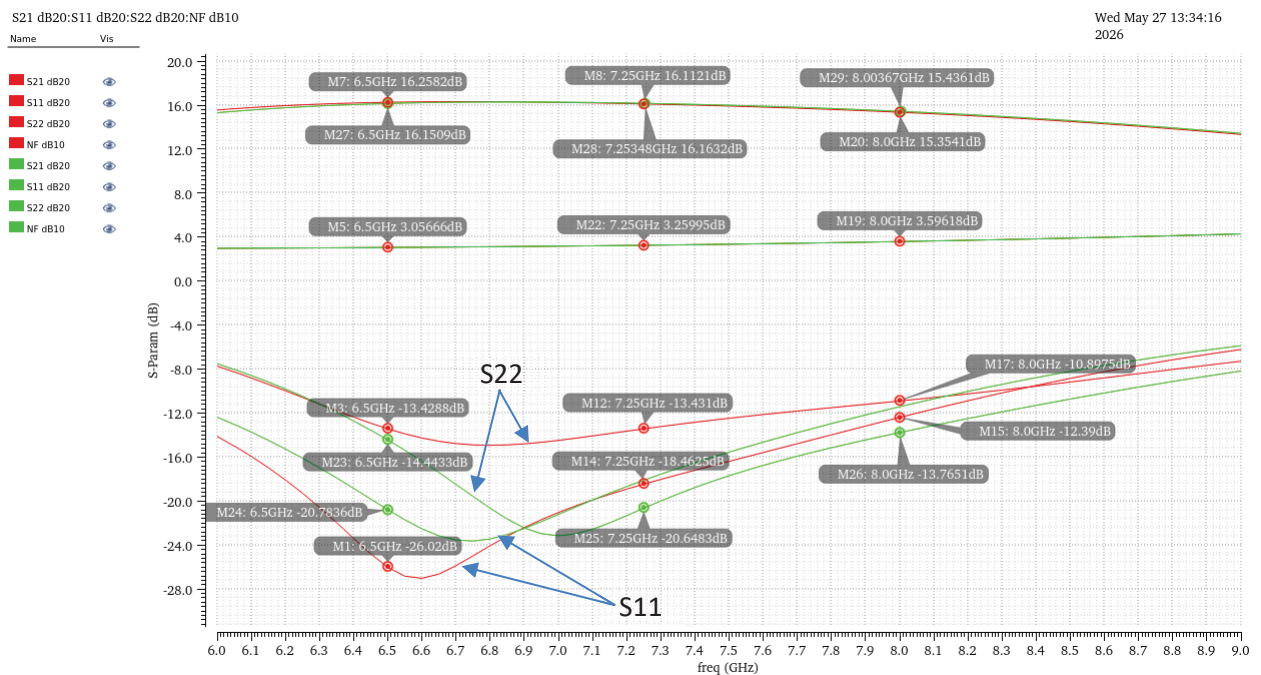


Figura 7.13. Simulación *post-layout* de la red de salida ajustada



Los resultados obtenidos muestran que, tras el ajuste, el circuito mantiene una ganancia adecuada, una figura de ruido inalterada y una adaptación de entrada y salida mucho más favorable que en casos anteriores. Una vez implementado este bloque, el siguiente apartado se centrará en el diseño del *layout* de la red de realimentación, formada por el condensador C_{fb} y la resistencia R_{fb} .

7.7. Red de realimentación

En esta sección se lleva a cabo la implementación física de la red de realimentación compuesta por el condensador C_{fb} y la resistencia R_{fb} conectados en serie entre la salida del circuito y la puerta del transistor principal del par cascode. La Figura 7.14 muestra el *layout* de esta red.

En primer lugar, el condensador C_{fb} se implementa entre los metales C1 y C3, de forma similar a los condensadores descritos en los apartados anteriores. Por otro lado, la resistencia R_{fb} está formada por tres tiras de polisilicio conectadas mediante metal M1. Se ha optado por utilizar tres tiras en serie para adaptar mejor la geometría de la resistencia al espacio entre la salida del circuito y la entrada del par cascode, buscando una integración compacta de la red de realimentación.

Asimismo, se observa que los terminales de entrada y salida de esta red presentan una geometría particular. Esta forma se ha diseñado para que la red de realimentación encaje correctamente con el *layout* de los transistores del par cascode. Durante el proceso de diseño se ha superpuesto esta instancia con el *layout* de los transistores, ajustando la posición de las pistas de C3 encargadas de realizar la interconexión. La Figura 7.15 muestra cómo se integran ambos bloques en el diseño de forma compacta. El fin de esta integración es minimizar la aparición de efectos parásitos en el camino de realimentación, ya que es un bloque crítico en el LNA y pequeñas variaciones de la impedancia de esta red pueden modificar la adaptación de entrada y salida, la estabilidad, la ganancia y la respuesta en frecuencia del circuito.

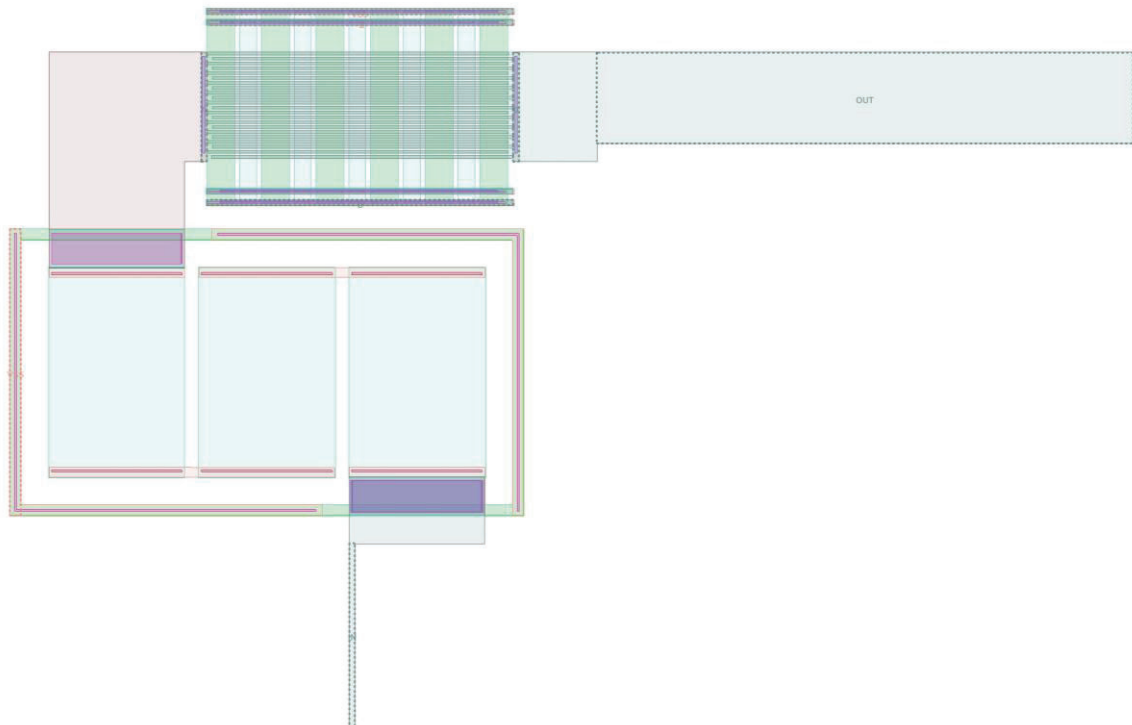


Figura 7.14. Layout de la red de realimentación

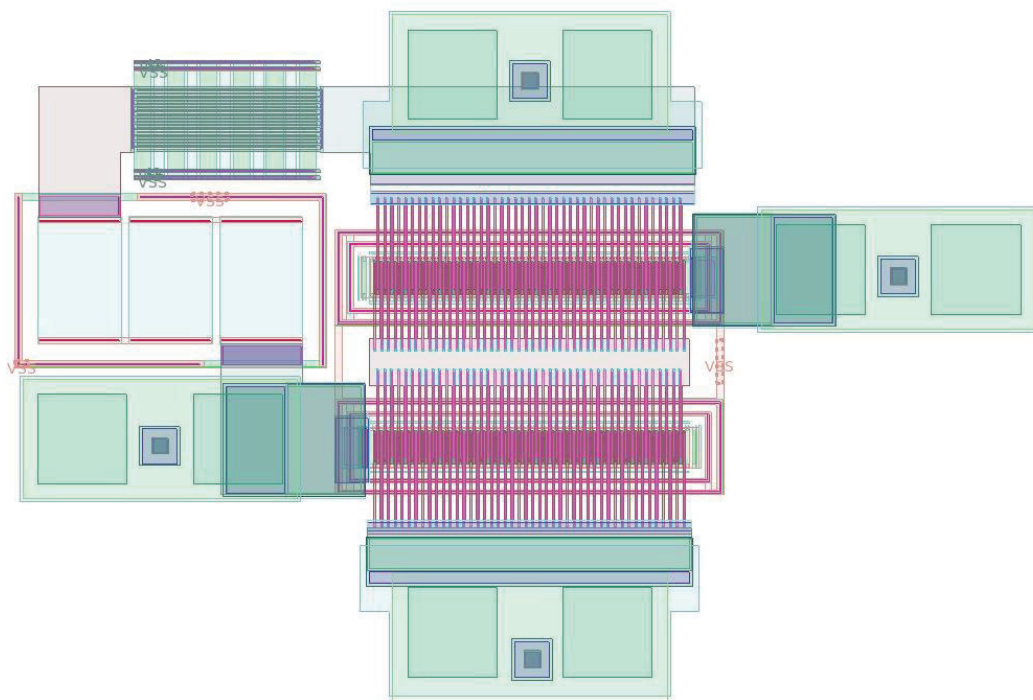


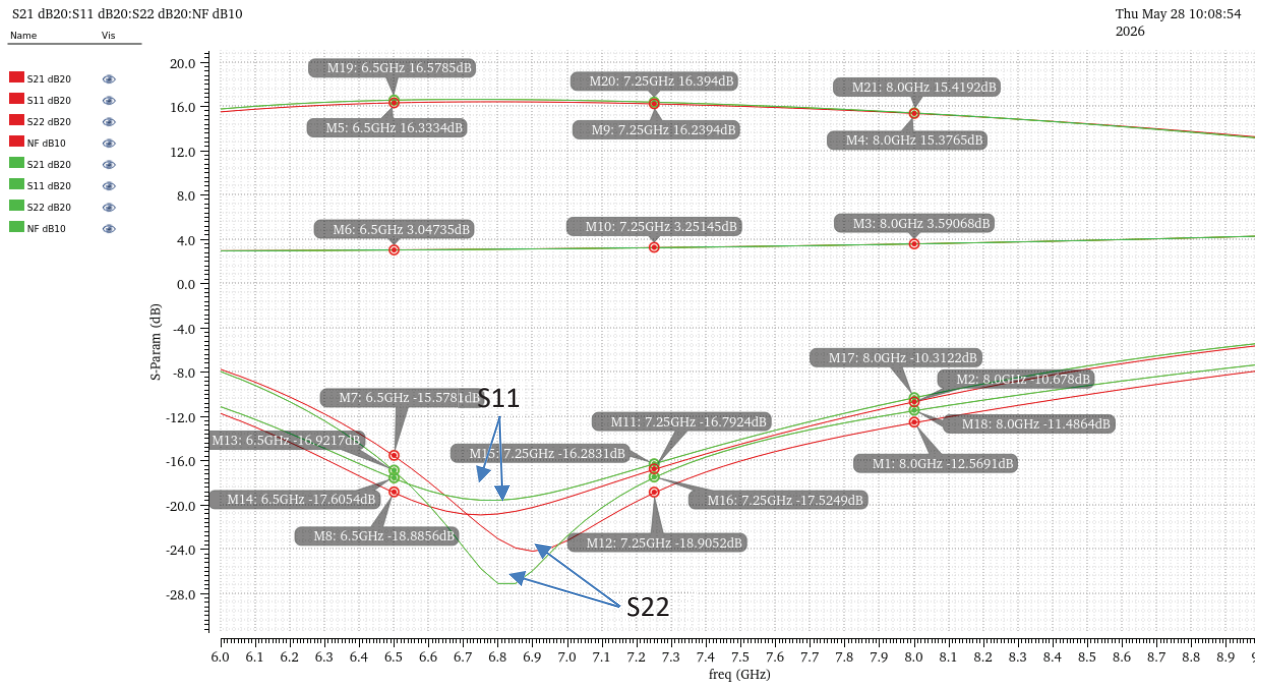
Figura 7.15. Integración de la red de realimentación junto a los transistores



En primer lugar, se realiza el DRC y LVS. Una vez verificado, se ha optado por realizar una simulación electromagnética para modelar el comportamiento de la red de realimentación, ya que, excluyendo la resistencia, la mayor parte de la red se implementa entre los metales C1 y C3. De manera similar a lo realizado en la sección anterior, la resistencia de realimentación R_{fb} se introduce como una caja negra dentro de la simulación electromagnética. De esta forma, el análisis tiene en cuenta los metales y vías hasta sus terminales en el metal M1, mientras que el componente en sí mantiene el modelo correspondiente del PDK.

La Figura 7.16 muestra los resultados tras incorporar la red de realimentación al circuito. En primer lugar, se aprecia una variación en las adaptaciones de entrada y salida. En el caso de la adaptación de entrada, el S_{11} aumenta su valor en toda la banda, lo que se traduce en una peor adaptación. La adaptación de salida, por otro lado, presenta un pico más pronunciado alrededor de los 6,8 GHz a costa de aumentar su valor en el resto de la banda. Por otro lado, la ganancia ha aumentado 0,2 dB aproximadamente en toda la banda de operación.

Este comportamiento puede relacionarse con los resultados obtenidos en el capítulo de diseño del LNA con componentes del PDK, donde se comprobó que un aumento de la resistencia en el camino de realimentación produce un incremento de la ganancia, pero también una adaptación menos favorable. Por tanto, se puede intuir que los efectos parásitos introducidos por el *layout* de la red de realimentación equivalen, en cierta medida, a un aumento de la resistencia en dicho camino. Aun así, los resultados obtenidos siguen siendo favorables y el circuito continúa cumpliendo las especificaciones en toda la banda de operación, por lo que no se considera necesario un reajuste de los valores de los componentes.



Red con componentes del PDK Red simulada

Figura 7.16. Simulación *post-layout* de la red de realimentación

En conjunto, los resultados obtenidos muestran que la implementación física de la red de realimentación se ha integrado correctamente con el par cascode y que los efectos parásitos no comprometen el funcionamiento del circuito. Aunque se observa una ligera modificación en las adaptaciones de entrada y salida, el comportamiento global del LNA continúa siendo adecuado dentro de la banda de operación.

Una vez verificada la red de realimentación, el siguiente apartado se centrará en la implementación física del espejo de polarización, encargado de generar la corriente necesaria para fijar el punto de operación de los transistores principales del LNA.



7.8. Espejo de corriente

En esta sección se lleva a cabo la implementación física del espejo de corriente encargado de polarizar al transistor principal del LNA. La Figura 7.17 muestra el *layout* de este bloque, compuesto por el transistor del espejo y dos resistencias de igual valor, cuya función es filtrar parte del ruido procedente de la rama de polarización y evitar que este se filtre al nodo de puerta del transistor principal.

Para facilitar su integración en el diseño, la resistencia situada a la izquierda se ha implementado con cuatro tiras de polisilicio. Esta disposición permite que tanto la entrada como la salida del componente queden situadas en el mismo lado, minimizando la pista de metal que necesita para conectar con la otra resistencia y con la puerta del transistor. Por otro lado, la resistencia situada a la derecha se ha decidido implementar con tres tiras de polisilicio, con el fin de orientar la salida del espejo hacia abajo. De esta manera, se consigue que la pista que conecta el espejo de corriente con la red de adaptación de entrada sea lo más corta posible, reduciendo efectos parásitos no deseados. La Figura 7.18 muestra la integración del espejo de corriente con la red de adaptación de entrada. Se ha decidido conectar el espejo por el metal C3, ya que es el último metal del condensador de entrada C_{in} y es posible reutilizar la misma vía que conecta con la bobina de entrada. De esta manera se evita tener que crear una vía exclusivamente para esta conexión. Antes de estimar sus efectos parásitos, se verifica que el *layout* cumple con las reglas de diseño y la equivalencia con el esquemático.

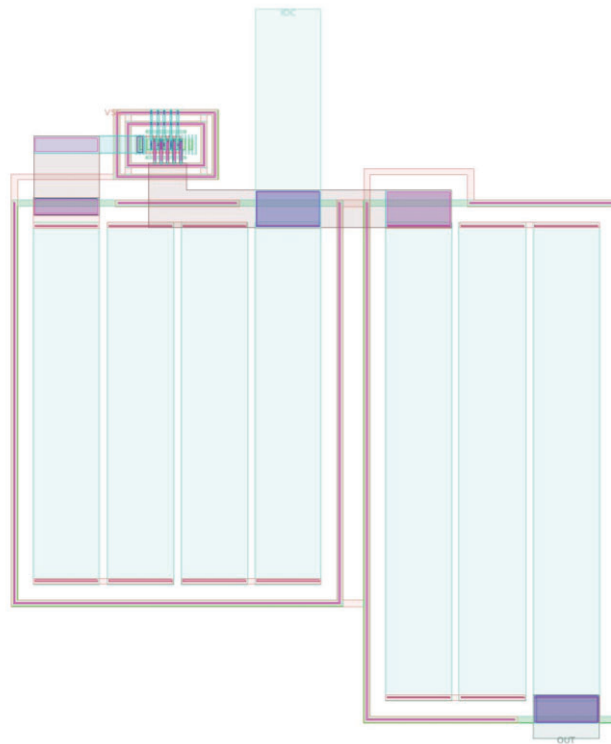


Figura 7.17. *Layout* del espejo de polarización

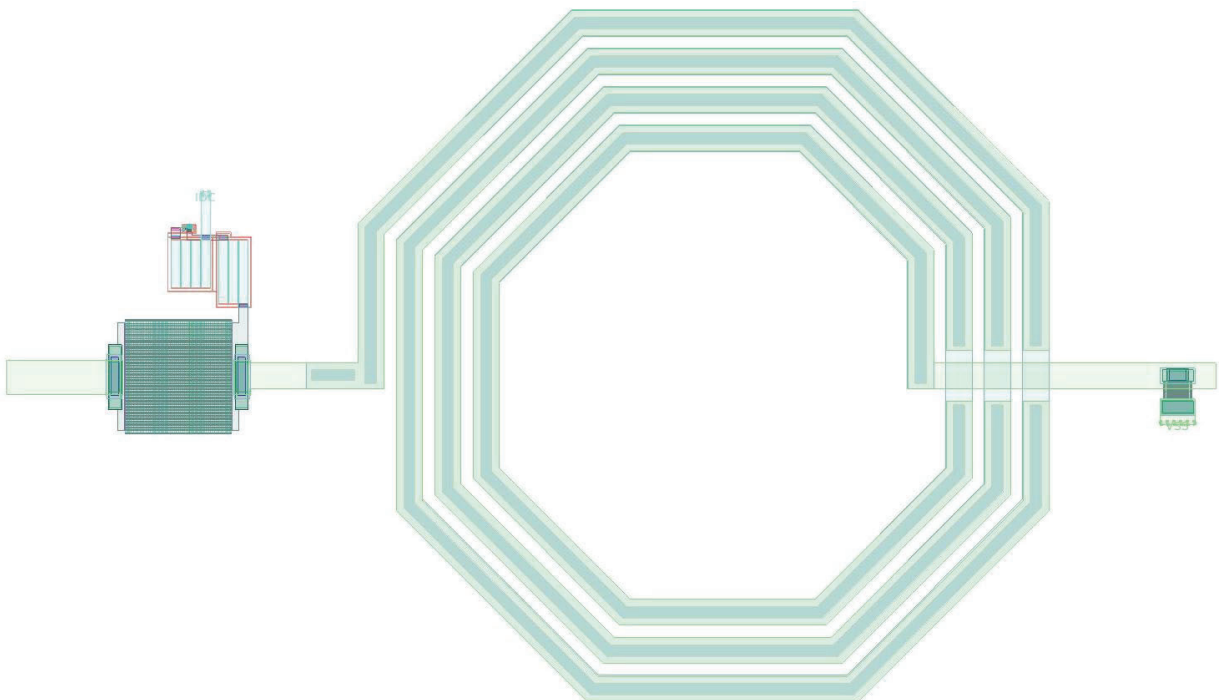


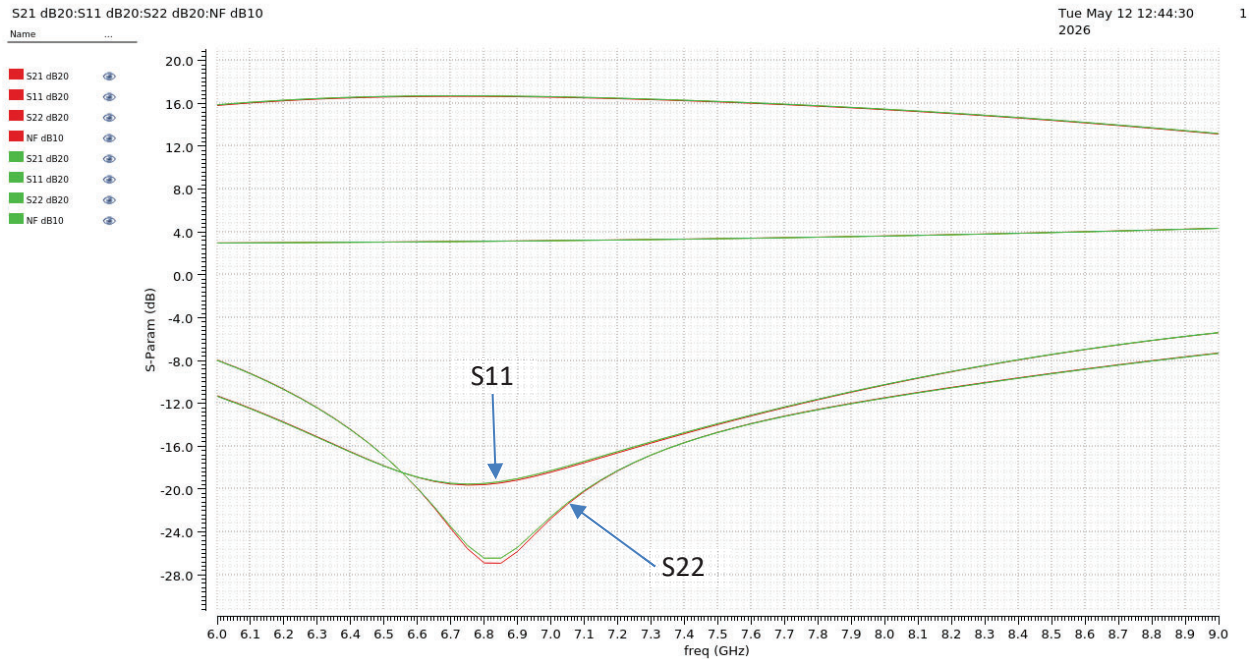
Figura 7.18. Integración del espejo de corriente junto a la red de adaptación de entrada



En este caso, debido a que gran parte del *layout* del bloque se implementa en capas bajas, siendo C3 la capa metálica más alta y utilizada únicamente en la conexión con la red de adaptación de entrada, se ha optado por realizar una extracción de parásitos en lugar de una simulación electromagnética. Esta extracción permite considerar las resistencias, capacidades y acoplos capacitivos parásitos asociados a las interconexiones del bloque. De esta manera, se obtiene un modelo más representativo de los efectos introducidos en las conexiones entre el transistor y las resistencias de filtrado.

La Figura 7.19 recoge los resultados obtenidos al incorporar en el circuito el espejo de corriente con las parásitos extraídas. Como puede observarse, el efecto de este bloque sobre las prestaciones globales del LNA es mínimo. Las principales métricas apenas presentan variaciones respecto al caso anterior. Tanto la ganancia como la figura de ruido y las adaptaciones de entrada y salida se mantienen prácticamente iguales dentro de la banda de operación.

Este comportamiento es coherente con la función que desempeña el espejo de corriente dentro del circuito. Su objetivo principal es fijar la tensión de puerta del transistor principal para polarizarlo y no forma parte del camino principal de la señal de RF. Por este motivo, las parásitos introducidas por el *layout* no aportan efectos negativos sobre la respuesta en frecuencia del LNA.



■ Espejo con componentes del PDK ■ Espejo con extracción de parásitos

Figura 7.19. Simulación *post-layout* del espejo de corriente

En conjunto, los resultados obtenidos muestran que la incorporación del *layout* del espejo de corriente apenas modifica el comportamiento del LNA. Las parásitas extraídas de este bloque no tienen impacto sobre el comportamiento del LNA.

Una vez realizado y verificado el espejo de corriente, el siguiente apartado se centrará en la implementación física de los condensadores de desacoplo que se encuentran en la puerta del transistor superior del par cascode.

7.9. Condensadores de desacoplo

Esta sección recoge el diseño del *layout* de los condensadores de desacoplo situados en la puerta del transistor superior del par cascode. Dado que esta puerta se encuentra directamente conectada a la tensión de alimentación, la función de estos condensadores es proporcionar un camino de baja impedancia a tierra para evitar que la señal de alta frecuencia se propague hacia el plano de alimentación.



La Figura 7.20 muestra el *layout* de los cuatro condensadores de desacoplo. Se han interconectado todos los condensadores por el metal O1 para las conexiones de la tensión de alimentación y por el metal LB para la conexión con el plano de masa.

Una vez superadas las verificaciones DRC y LVS, se realiza una simulación electromagnética con el objetivo de estimar las parásitas asociadas a las interconexiones de los condensadores de desacoplo. Aunque este bloque no forma parte directa del camino principal de la señal de RF, es importante asegurarse de que no modifique el comportamiento del circuito.

La Figura 7.21 muestra los resultados obtenidos al incorporar el bloque en el diseño. Se aprecia que el bloque se ha implementado correctamente y que las parásitas asociadas a sus interconexiones no afectan a las prestaciones del LNA.

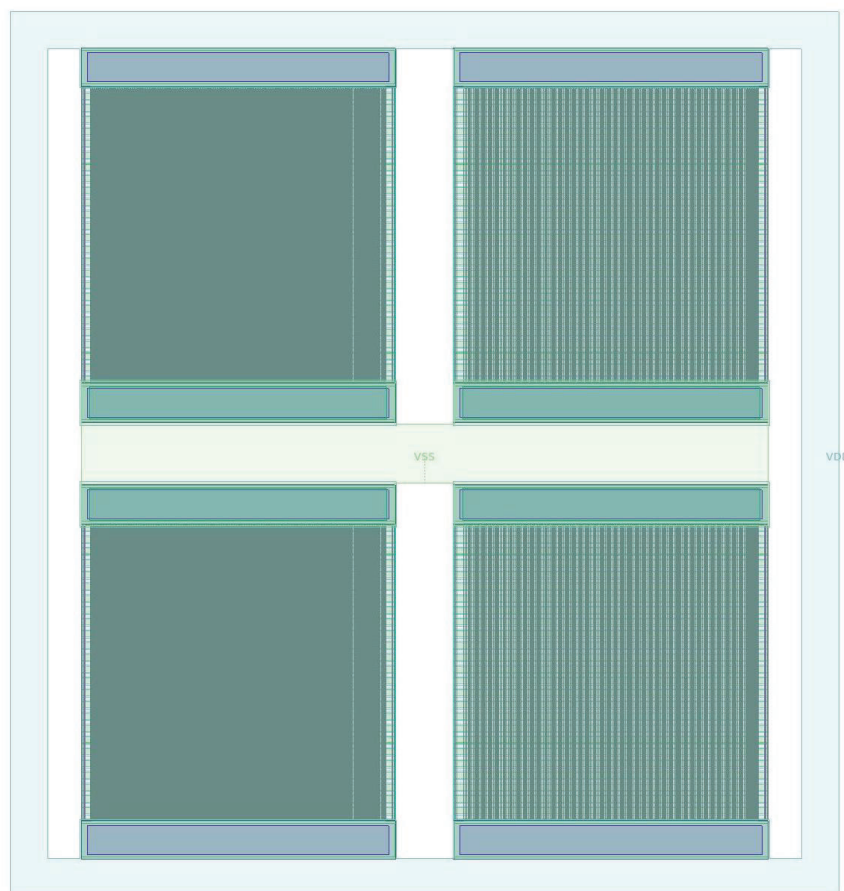


Figura 7.20. *Layout* de los condensadores de desacoplo

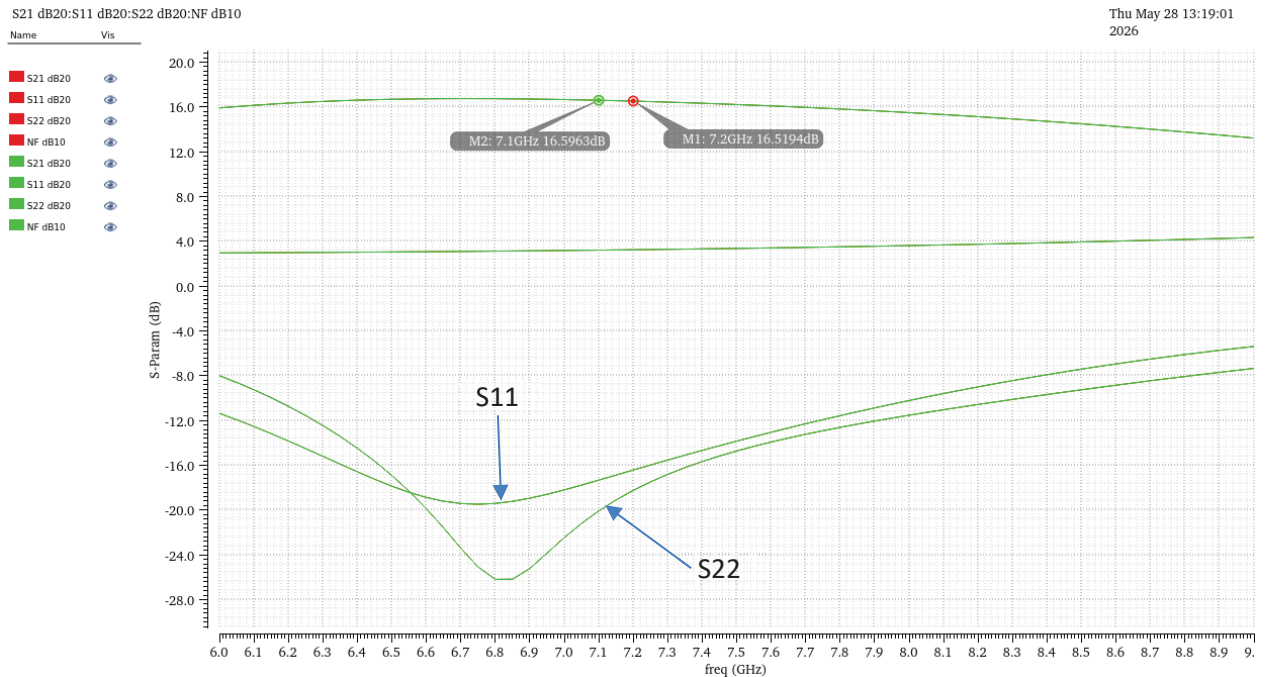


Figura 7.21. Simulación *post-layout* de los condensadores de desacoplo

Una vez verificados todos los bloques de forma individual y analizado posteriormente su impacto al incorporarlos al diseño completo, se procederá a integrar todos los componentes en un único *layout*. En esta etapa se añadirán también los planos de alimentación y masa. Esta integración permitirá observar posibles efectos de acoplo entre los distintos bloques, así como interacciones no deseadas con los planos.

7.10. *Layout* completo del LNA

En esta sección se integran todos los bloques diseñados anteriormente, conectándolos entre sí para obtener el *layout* completo del LNA. Además, se incorporan los planos de alimentación y tierra, implementados en los metales LB y OI.

En primer lugar, se realiza la conexión de todos los bloques, sin incluir los planos de alimentación y masa. El objetivo es poder comprobar que la interacción de los bloques entre sí sea correcta. La Figura 7.22 muestra el *layout* de todos los bloques conectados. Gracias al floorplan preliminar realizado al inicio, la integración de los bloques ha resultado más sencilla, ya que en la mayoría de los casos no ha sido necesario añadir pistas adicionales para completar las conexiones.



Una vez conectados todos los bloques, la primera verificación realizada es el LVS, con el objetivo de comprobar que la conectividad del *layout* coincide con la del esquemático. Posteriormente, se realiza el análisis DRC, que verifica que el diseño cumple las reglas de diseño impuestas por la tecnología.

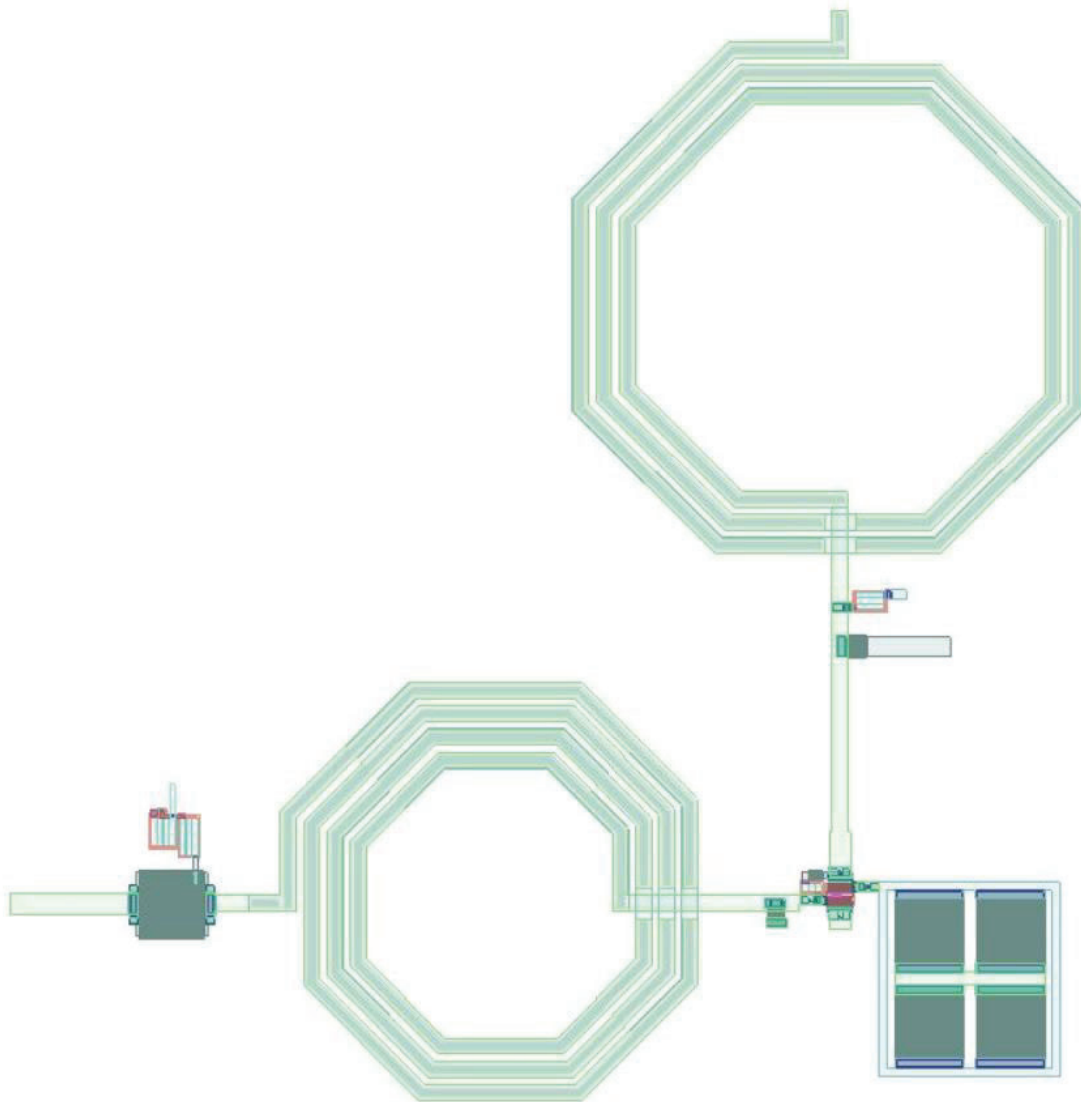


Figura 7.22. *Layout* del LNA sin planos de alimentación y masa

Tras las verificaciones físicas, se ha decidido realizar una simulación electromagnética del *layout* completo. Para ello, es necesario identificar aquellos componentes que no pueden ser simulados electromagnéticamente, como el par cascodo, el espejo de corriente y las resistencias del diseño. Estos elementos se tratarán como cajas negras dentro del simulador.



En el caso del par cascode y del espejo de corriente, se utilizarán las extracciones de parásitas obtenidas previamente, mientras que en las resistencias se usarán sus modelos del PDK. De esta forma, la simulación electromagnética se centrará en los metales, las interconexiones y las vías hasta la entrada de estos componentes, evitando que el simulador intente resolver estructuras que no modela correctamente y que podrían generar resultados incorrectos. La Figura 7.23 muestra los resultados de la simulación de las prestaciones del LNA una vez conectados todos los bloques.

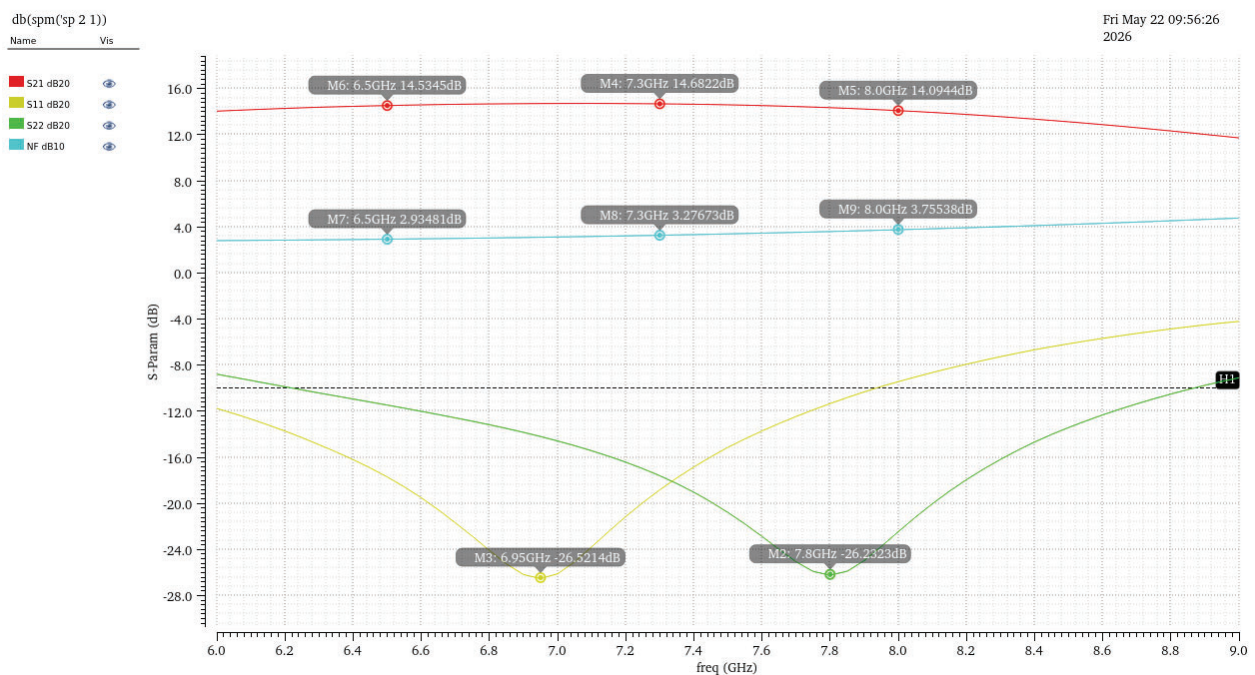


Figura 7.23. Simulación *post-layout* del LNA

En primer lugar, se aprecia una reducción notable de la ganancia y un aumento de la figura de ruido respecto a las simulaciones anteriores. Esta degradación se debe principalmente a las pistas añadidas para conectar los distintos bloques del circuito. Aunque el *floorplan* preliminar ha permitido reducir conexiones adicionales, algunas pistas han tenido que alargarse durante la integración final, introduciendo parásitas que afectan al comportamiento del LNA.

En segundo lugar, se observa un desplazamiento en frecuencia de la adaptación de salida, con un pico más pronunciado y localizado en 7,8 GHz. Por otro lado, la adaptación de entrada mantiene su respuesta dentro de la banda de operación, aunque en la parte final de la banda supera ligeramente el límite de -10 dB.



Por lo tanto, se puede intuir que esta degradación de las prestaciones se produce por la pista larga que conecta la bobina de carga con el drenador del transistor cascode y al efecto de las interconexiones y vías. Aun así, aunque la ganancia desciende ligeramente por debajo de 15 dB, los resultados se consideran aceptables, ya que la degradación no es excesiva y el circuito mantiene un comportamiento próximo a las especificaciones.

A continuación, se añaden los planos de alimentación y de masa en el diseño. Para ello, el primer paso consiste en escoger el metal más adecuado para su implementación. Desde el primer bloque diseñado, el par cascode, las conexiones de los terminales se han realizado en el metal LB, por lo que se usará este mismo metal para las conexiones con el plano de tierra. En cuanto al plano de alimentación, se ha decidido usar el plano de OI, ya que los condensadores de desacoplo y las bobinas se han colocado desde un inicio para que su conexión con V_{dd} sea a través de este metal.

La Figura 7.24 muestra el *layout* completo del amplificador incluyendo los planos de alimentación y masa. Ambos planos se han implementado dejando una separación suficiente respecto a las bobinas y las pistas de RF, con el objetivo de evitar acoplos no deseados que puedan degradar la respuesta del circuito. El objetivo es que el *layout* completo conecte los bloques entre sí y con sus respectivos planos a la vez que mantenga las prestaciones obtenidas durante la simulación anterior.

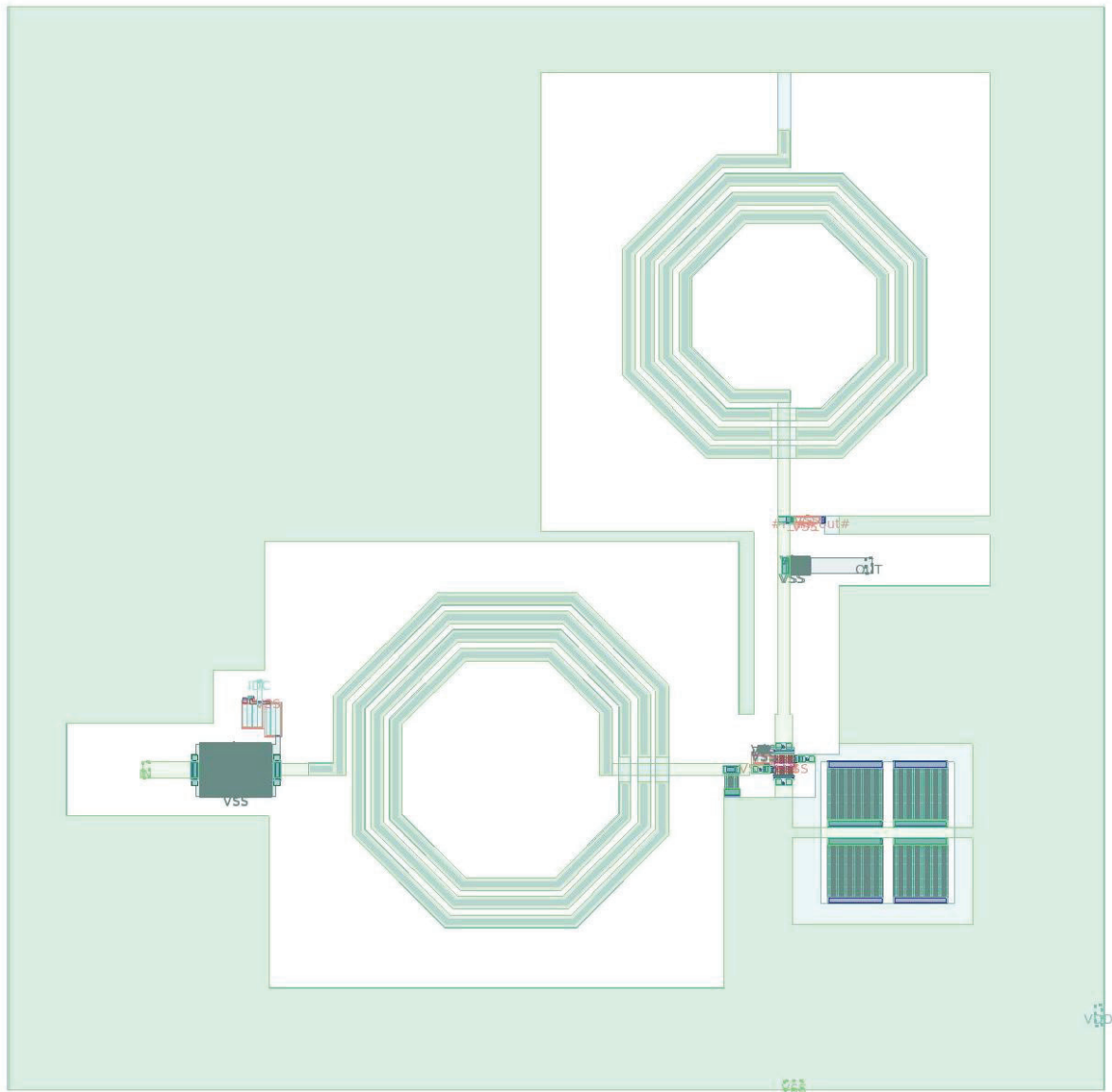


Figura 7.24. Layout completo del LNA

Tras realizar de nuevo las verificaciones físicas, se ha hecho una simulación electromagnética del circuito. De igual manera, el par cascodo, el espejo de corriente y las resistencias del diseño se tratarán como cajas negras dentro del simulador.

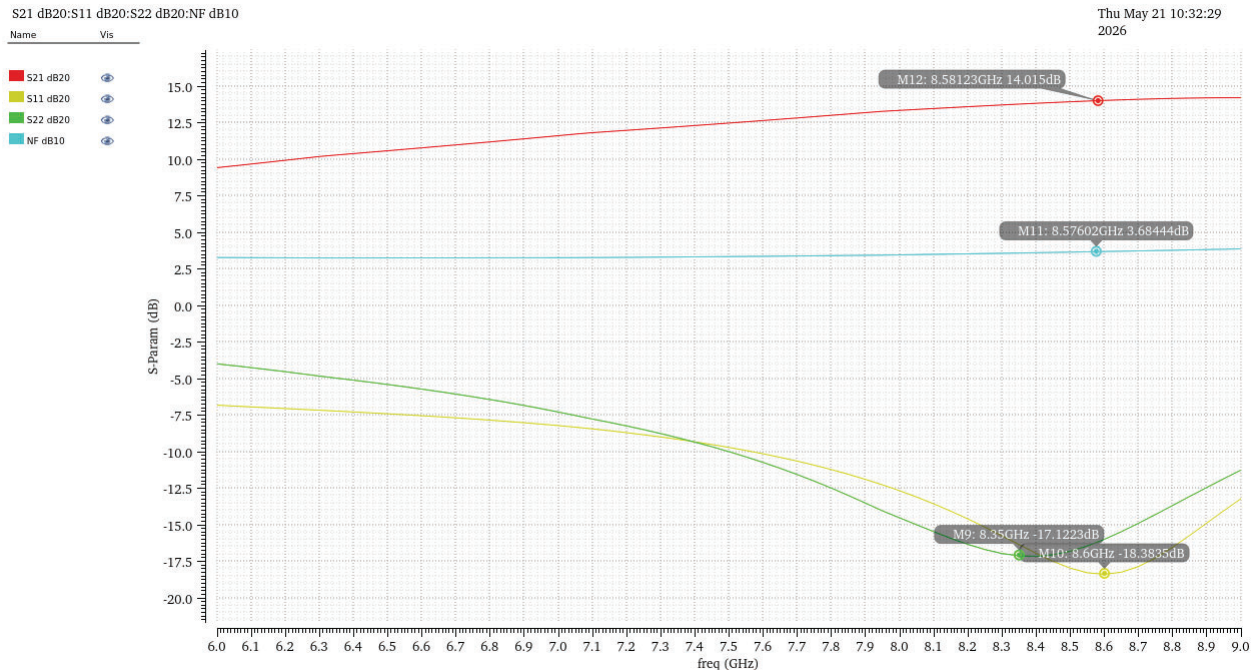


Figura 7.25. Simulación *post-layout* del LNA completo

La Figura 7.25 muestra los resultados de la simulación *post-layout* del circuito completo. La incorporación de los planos de alimentación y masa provoca un desplazamiento del comportamiento del LNA hacia frecuencias más altas. Este desplazamiento puede asociarse al aumento de la inductancia introducida por los planos metálicos y a la interacción de estos con las bobinas. Aun así, las métricas principales siguen manteniendo valores similares al caso anterior, aunque desplazados en frecuencia. Por este motivo, será necesario realizar un reajuste de los valores de los componentes de las redes de adaptación, con el fin de intentar centrar el comportamiento del LNA en frecuencia.

Para llevar a cabo este reajuste de forma eficiente, se ha optado por seleccionar todos los componentes como cajas negras, incluidas las bobinas. De esta manera, durante la simulación electromagnética se tienen en cuenta las conexiones, vías y planos de alimentación y masa hasta los terminales de entrada de cada componente, mientras que el comportamiento interno de estos se hace mediante los modelos del PDK. Este procedimiento permite modificar posteriormente los valores de los componentes en el esquemático sin necesidad de repetir la simulación electromagnética completa en cada iteración, lo que supone una reducción considerable del tiempo de diseño.

La Figura 7.26 recoge la simulación de las prestaciones finales del diseño tras reajustar los componentes modelados como cajas negras. Ambas bobinas han reducido su valor. Además, en la bobina



de drenador, se ha priorizado una solución de menor área frente a una de mayor factor de calidad, ya que, en este caso, los resultados obtenidos son más favorables debido al aumento de la resistencia equivalente asociada a la bobina. Finalmente, los condensadores C_{gate} y C_{out} han aumentado su valor para desplazar la respuesta del LNA hacia la banda de operación deseada y la resistencia de carga R_d se ha reducido.

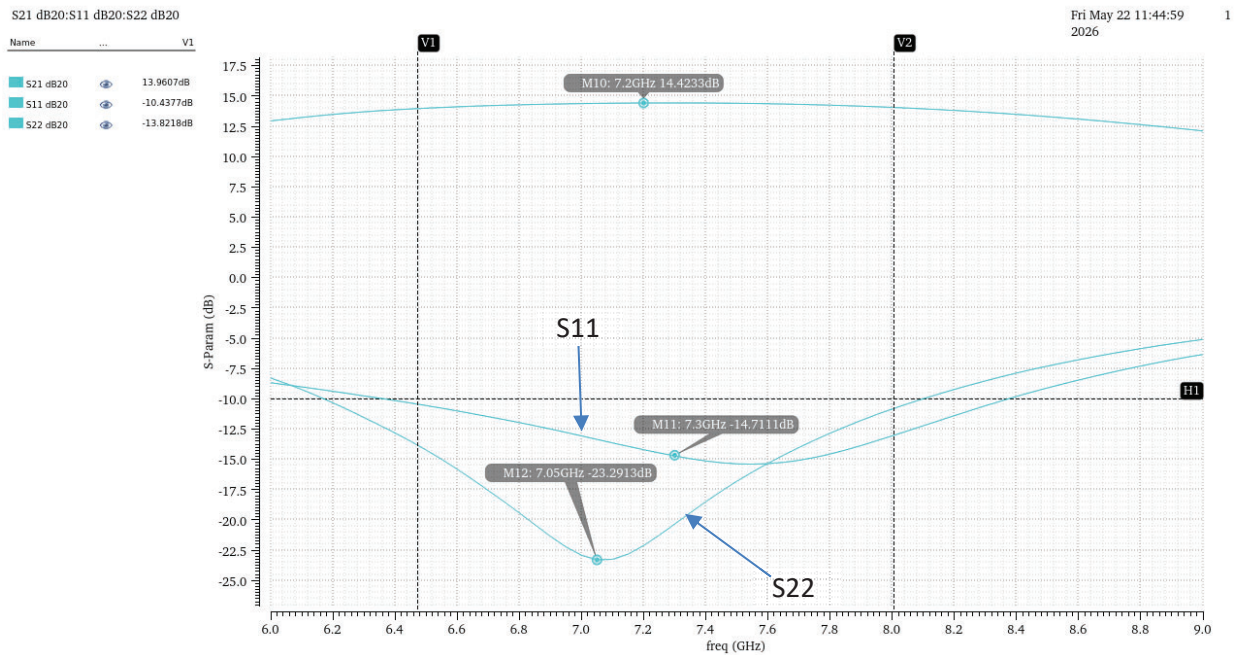


Figura 7.26. Simulación *post-layout* del LNA completo reajustado con los componentes como cajas negras

Tras el reajuste, se rediseña el *layout*, cambiando los valores de los componentes y ajustando las conexiones a sus nuevas dimensiones. Posteriormente, se realizan de nuevo las verificaciones físicas DRC y LVS y se realiza la simulación electromagnética de todo el *layout*, excepto el par cascodo, el espejo de corriente y las resistencias del diseño, que se tratarán como cajas negras dentro del simulador.

La Figura 7.27 muestra la simulación final del LNA con los componentes reajustados. En primer lugar, se observa que la ganancia se ha degradado respecto a las simulaciones anteriores, presentando un valor mínimo de 13,1 dB al inicio de la banda y un valor máximo de 14,1 dB al final de esta. Aunque estos valores se encuentran por debajo de la especificación inicial de 15 dB, la degradación no es excesiva si se considera la incorporación de todos los efectos parásitos del *layout* completo. Por otro lado, la figura de ruido se reduce de forma considerable, situándose entre 2,63 dB y 2,99 dB dentro de la banda de operación. Esta mejora se debe a la reducción del valor de la bobina de entrada, que posee un mejor factor de calidad.



En cuanto a las adaptaciones, se consigue que S_{11} se mantenga por debajo de -10 dB en toda la banda de operación, lo que indica una correcta adaptación de entrada. En el caso del S_{22} , la adaptación de salida se encuentra ligeramente por encima de este límite durante los primeros 200 MHz de la banda. No obstante, su valor máximo es de aproximadamente $-8,2$ dB, por lo que se considera aceptable teniendo en cuenta el comportamiento global del circuito y las limitaciones introducidas por el *layout* completo.

Finalmente, el coeficiente de transmisión inversa presenta un valor adecuado, lo que indica que el aislamiento entre salida y entrada sigue siendo correcto. En conjunto, los resultados finales muestran que el reajuste del circuito desplaza la respuesta dentro de la banda de operación deseada, mejora la figura de ruido y mantiene unas adaptaciones aceptables, aunque a costa de una reducción de la ganancia respecto a las etapas previas del diseño.

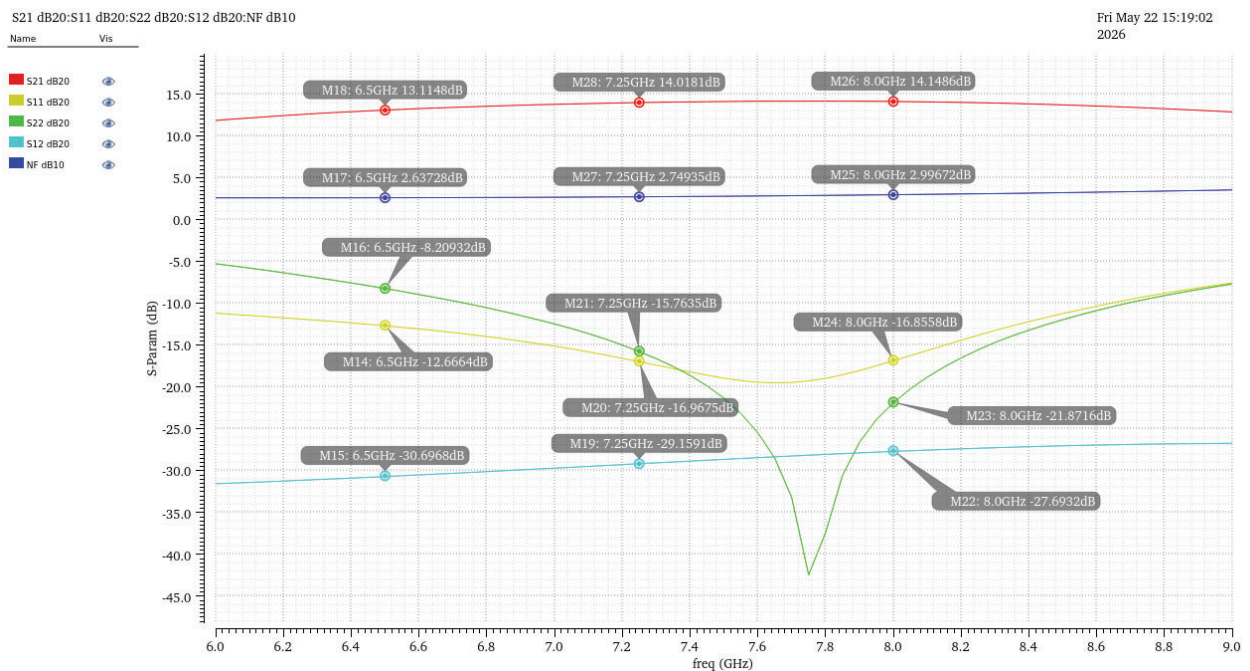


Figura 7.27. Simulación *post-layout* del LNA completo reajustado

La Figura 7.28 recoge los resultados del P_{1dB} del circuito final. Como puede observarse, el diseño cumple ampliamente la especificación establecida. El P_{1dB} referido a la entrada presenta un valor de $-14,1$ dBm, considerablemente superior al límite mínimo de -30 dBm. Este resultado indica que el LNA mantiene



un margen adecuado frente a la compresión de ganancia y puede operar con un margen suficiente antes de comprimir la señal y generar no linealidades.

La Figura 7.29 muestra los resultados de la simulación del IP3 del circuito final. En este caso, se obtiene un IIP3 aproximado de -3 dBm para una frecuencia principal de 7,29 GHz, que corresponde con un OIP3 cercano a 11 dBm. Ambos valores pueden considerarse adecuados para el diseño, especialmente teniendo en cuenta que son ligeramente superiores a los obtenidos en el capítulo anterior. Esto indica que la incorporación del *layout* completo y el reajuste posterior de los componentes han proporcionado una mejora en esta métrica.

En conjunto, los resultados de linealidad del diseño final son aceptables y cumplen las especificaciones. Tanto el P_{1dB} como el IP3 presentan valores adecuados para el LNA, incluso mejores a los obtenidos previamente.

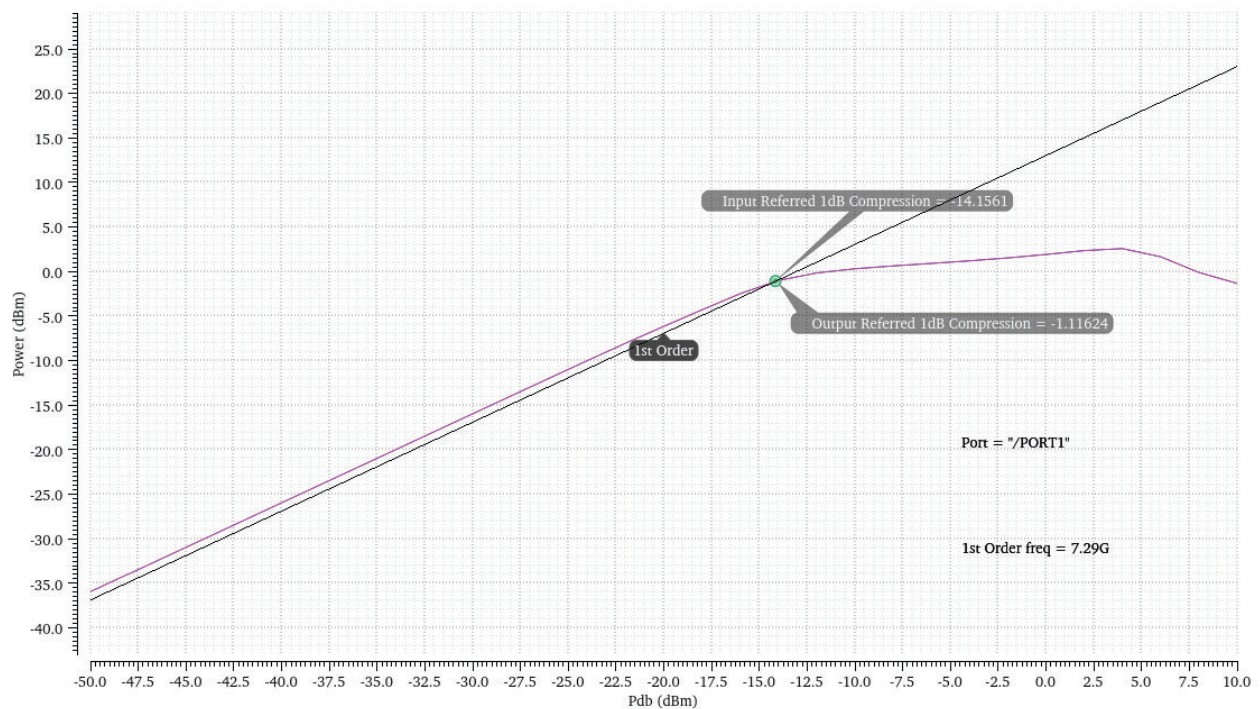


Figura 7.28. Resultados de linealidad del circuito *post-layout*: P_{1dB}

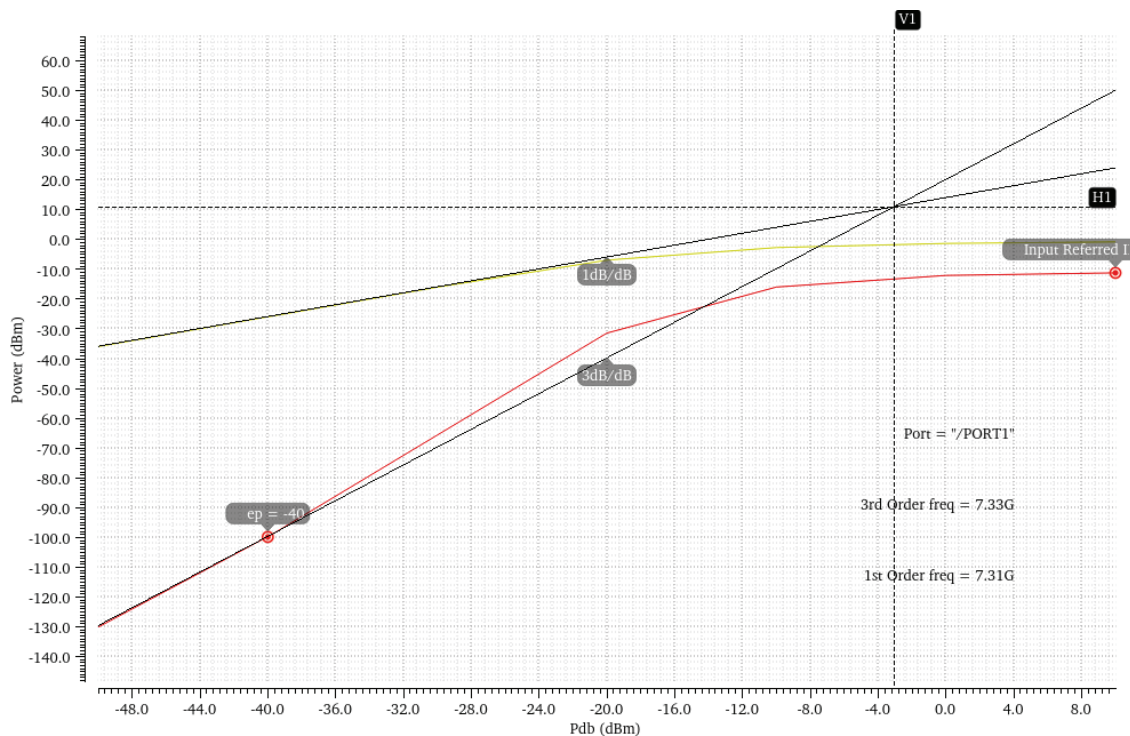


Figura 7.29. Resultados de linealidad del circuito *post-layout*: IP3

En conjunto, los resultados finales del *layout* muestran que el LNA mantiene un comportamiento adecuado tras la implementación física del circuito. Aunque la ganancia se reduce respecto a las simulaciones previas, la figura de ruido mejora notablemente. Las adaptaciones de entrada y salida se mantienen en valores aceptables dentro de la banda de operación. Además, los resultados de linealidad confirman que el circuito cumple ampliamente las especificaciones de P_{1dB} e IP3, incluso con valores ligeramente mejores que los obtenidos antes de realizar el *layout*.

Una vez validado el comportamiento nominal del diseño *post-layout*, en el siguiente apartado se realizará un análisis de *corners*. Con estas simulaciones se comprobará cómo se comporta el LNA final frente a variaciones de proceso, temperatura y tensión de alimentación. Finalmente, se llevará a cabo un análisis de Montecarlo con el fin de observar la dispersión estadística de las principales métricas de diseño del LNA teniendo en cuenta la incertidumbre del proceso de fabricación.



7.11. Análisis de *corners* y Montecarlo

En esta sección se lleva a cabo el análisis de *corners* de la implementación física del diseño. El objetivo de estas simulaciones es comprobar si el LNA mantiene un comportamiento aceptable considerando las variaciones propias del proceso de fabricación. De esta forma, se evalúa el funcionamiento del circuito ante escenarios extremos y ante la variación de los parámetros tecnológicos.

Para el análisis de *corners* se utilizarán los modelos de proceso tipo *post*, ya que en esta etapa no es necesario estimar de nuevo las parásitas del diseño. Estas ya han sido incorporadas previamente mediante la extracción de parásitas y la simulación electromagnética del *layout* completo. De forma similar al análisis realizado en el capítulo anterior, se considerarán los principales *corners* de proceso, junto con una variación de la tensión de alimentación de $\pm 10\%$ respecto a su valor nominal y en un rango de temperatura comprendido entre -40 y $150\text{ }^{\circ}\text{C}$, según dictan las condiciones de automoción.

Posteriormente, se realizará un análisis de Montecarlo con el fin de estudiar el efecto de las variaciones estadísticas del proceso de fabricación sobre las prestaciones del LNA. El análisis de Montecarlo permite observar la dispersión esperada del circuito ante variaciones aleatorias de los parámetros tecnológicos. Estas variaciones aparecen de forma inevitable durante la fabricación. Para ello, la simulación de Montecarlo genera un conjunto amplio de muestras aleatorias, donde cada una representa una posible combinación de variaciones del proceso. De esta forma, se obtiene una visión más realista del comportamiento del circuito fabricado.

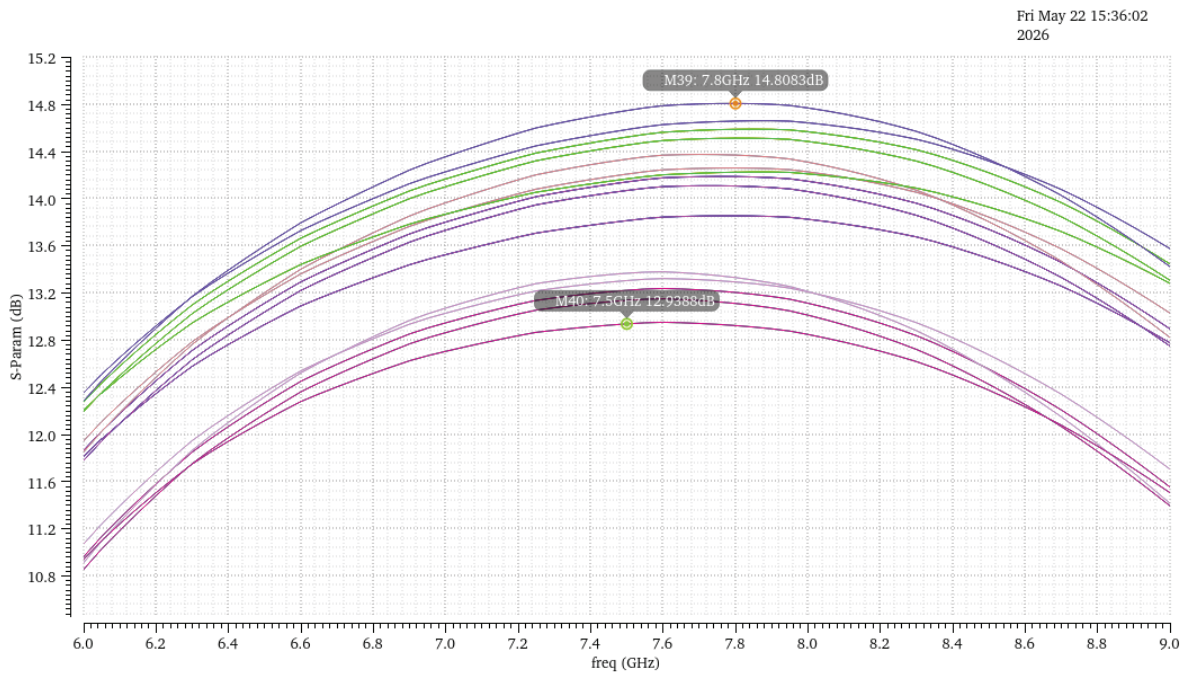
La Figura 7.30 recoge los resultados obtenidos en el análisis de los *corners* del diseño *post-layout*. En primer lugar, se observa que el mejor caso de ganancia alcanza un valor máximo de $14,8\text{ dB}$. Este resultado corresponde al *corner* de proceso SS, a una temperatura de $-40\text{ }^{\circ}\text{C}$ y con una tensión de alimentación de $0,88\text{ V}$. Este mismo *corner* también proporciona la mejor figura de ruido, con valores comprendidos aproximadamente entre 2 y $2,38\text{ dB}$ dentro de la banda de operación. Por otro lado, el peor caso se obtiene en el *corner* de proceso FF, a $150\text{ }^{\circ}\text{C}$ y con una tensión de alimentación de $0,72\text{ V}$. En estas condiciones, la ganancia máxima se reduce hasta $12,9\text{ dB}$, mientras que la figura de ruido aumenta hasta valores comprendidos entre $3,76$ y $4,1\text{ dB}$.

En cuanto a las adaptaciones de entrada y salida, los resultados pueden considerarse aceptables para todos los casos. En el caso de S_{11} , el valor se mantiene siempre por debajo del límite de -10 dB en toda

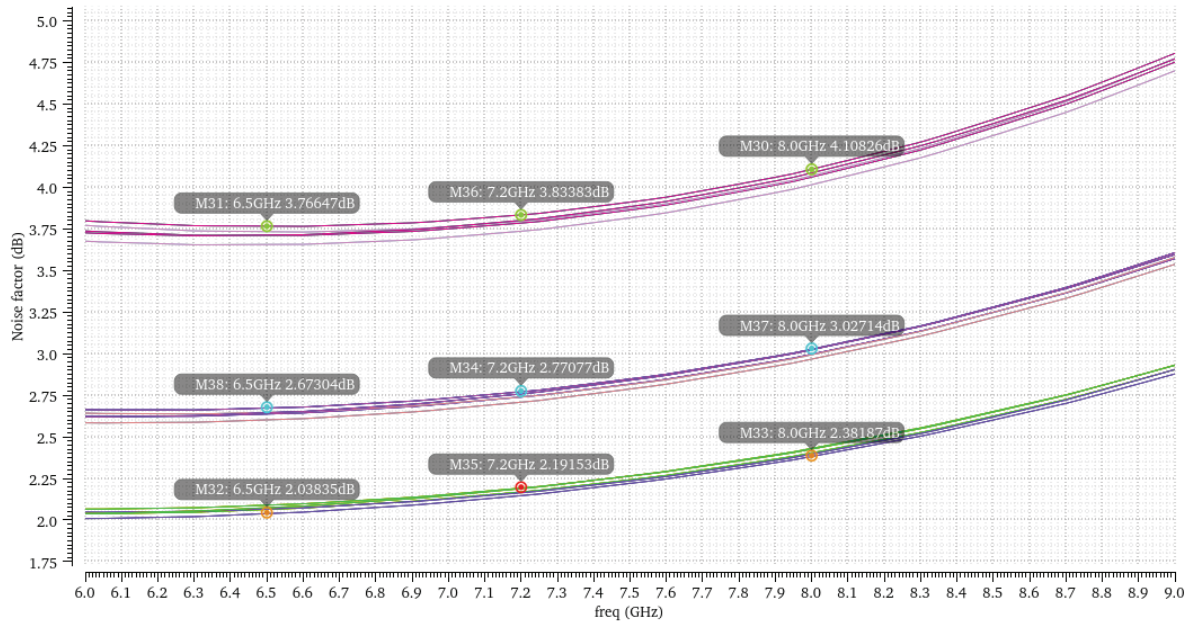


la banda. Sin embargo, en S_{22} se observan valores superiores a dicho límite al comienzo de la banda. Aun así, en el peor de los casos, el valor más desfavorable es de aproximadamente $-7,6$ dB, por lo que se considera aceptable teniendo en cuenta las variaciones extremas consideradas en el análisis.

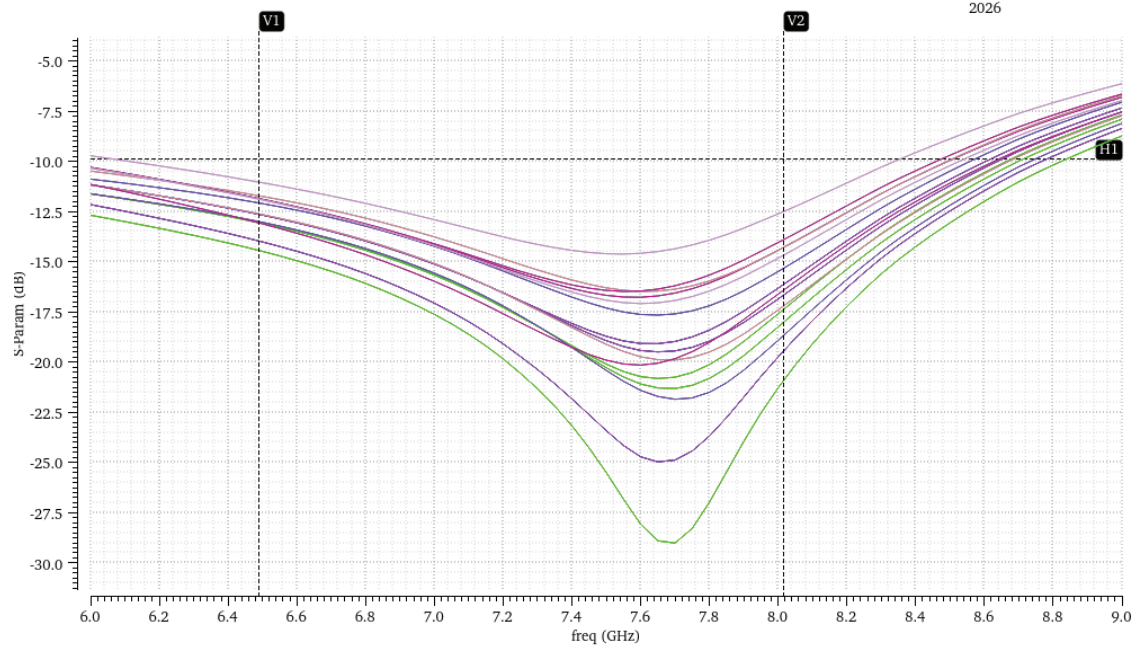
Finalmente, el consumo de corriente oscila entre 3,19 mA y 3,64 mA, valores muy favorables para el diseño. Además, durante el diseño del *layout* se había considerado una corriente de referencia de 4 mA para el análisis de electromigración, por lo que los resultados obtenidos proporcionan un margen adicional respecto al caso considerado inicialmente. Este margen contribuye a reducir el estrés eléctrico en las interconexiones y puede favorecer una mayor vida útil del circuito.



a)



b)



c)

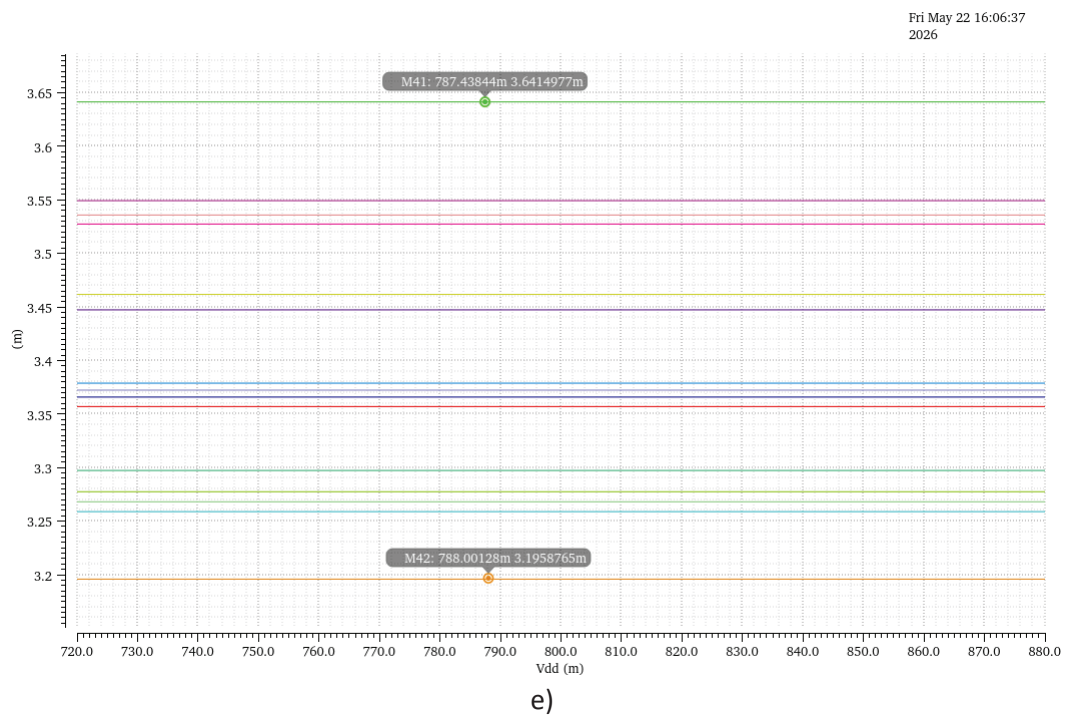
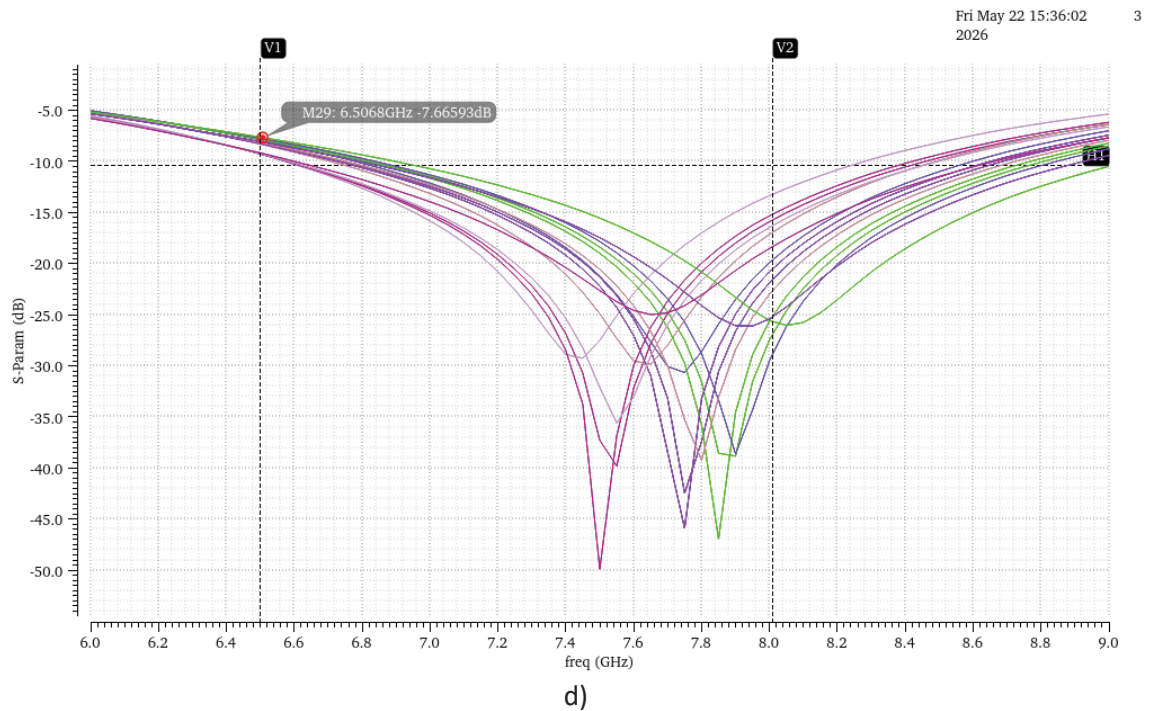


Figura 7.30. Análisis de corners post-layout: a) S_{21} , b) NF, c) S_{11} , d) S_{22} y e) Consumo de corriente



En la Figura 7.31 se muestran los resultados obtenidos tras el análisis de Montecarlo. Para este análisis se ha decidido usar un total de 1000 muestras para obtener una representación lo más realista posible de los posibles casos de operación del LNA una vez sea fabricado. Las prestaciones se analizan al comienzo, intermedio y final de banda.

En primer lugar, se analizan los valores de ganancia obtenidos en la simulación de Montecarlo. La ganancia presenta un valor medio de 13,1 dB al inicio de la banda, 14 dB en el centro de la banda de operación y 14,1 dB al final de esta. En los tres casos, la desviación típica se sitúa en torno a 0,2 dB, por lo que la dispersión puede considerarse reducida. En el peor de los casos, el valor mínimo de ganancia se encuentra alrededor de 12,5 dB al inicio de la banda, correspondiente a una desviación de 3σ , por lo que se considera un caso muy aislado.

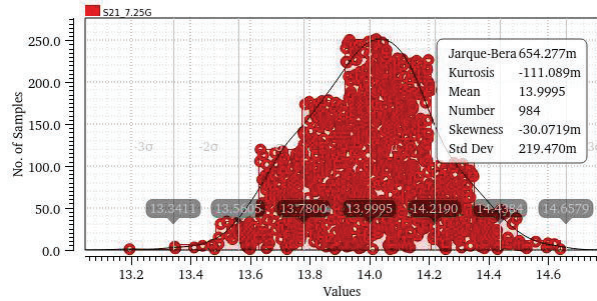
En cuanto a la figura de ruido, los resultados muestran valores medios de 2,64 dB al inicio de la banda, 2,75 dB en el centro y 3 dB al final de la banda de operación. La desviación típica es de aproximadamente 0,029 dB. En el peor caso considerado, correspondiente a una desviación de 3σ , la figura de ruido alcanza aproximadamente 3,09 dB. Esta métrica presenta un comportamiento favorable incluso en casos poco frecuentes.

Respecto a la adaptación de entrada, se observa que el diseño es adecuado en todos los casos, permaneciendo siempre por debajo de -10 dB dentro de toda la banda. En el caso de la adaptación de salida, los resultados son favorables en el centro y final de la banda. Sin embargo, al inicio de la banda se observa que se obtienen valores entre -8,7 dB y -7,7 dB en los casos de 3σ . El valor medio en esta zona se sitúa alrededor de -8,2 dB, con una desviación típica de 0,2 dB. Aunque en este punto no se alcanza el límite de -10 dB, el resultado se considera aceptable y con una dispersión reducida.

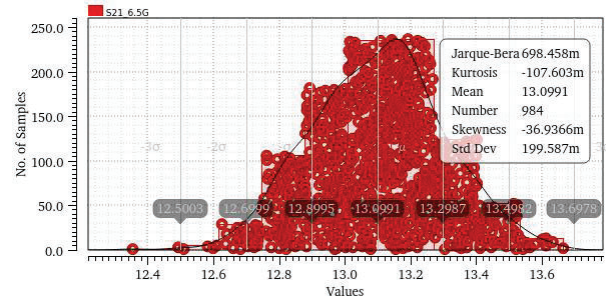
Finalmente, el consumo de corriente presenta valores comprendidos entre 2,75 mA y 3,99 mA dentro del rango de $\pm 3\sigma$, con un valor medio de 3,37 mA y una desviación típica de 0,206 mA. Estos resultados son favorables, ya que el consumo se mantiene por debajo del límite de 5 mA y también por debajo de los 4 mA considerados durante el análisis de electromigración del *layout*.



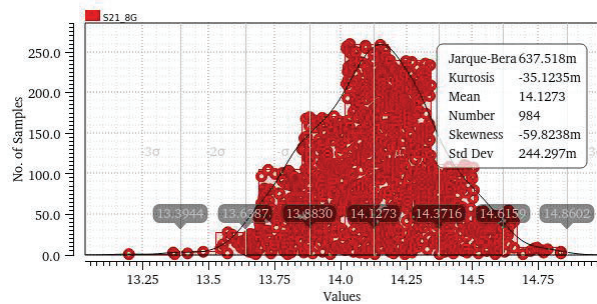
S21_7.25G



1 S21_6.5G



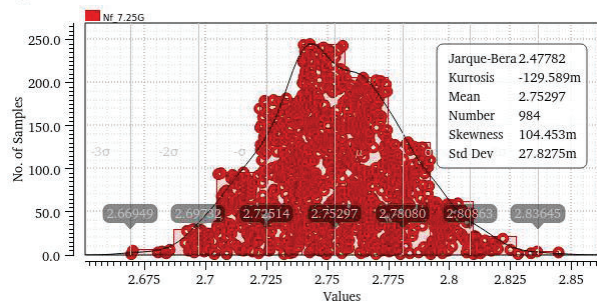
S21_8G



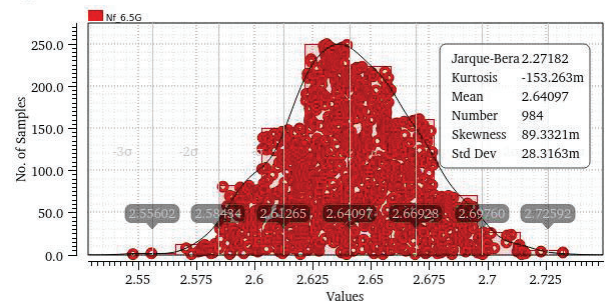
3

a)

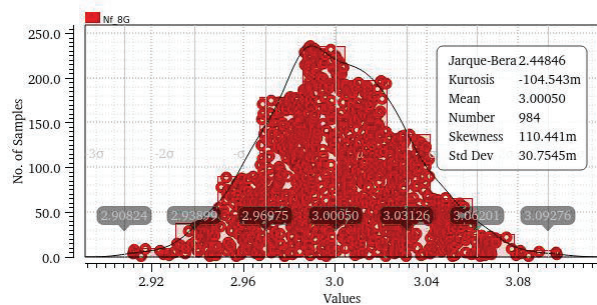
Nf_7.25G



1 Nf_6.5G



Nf_8G

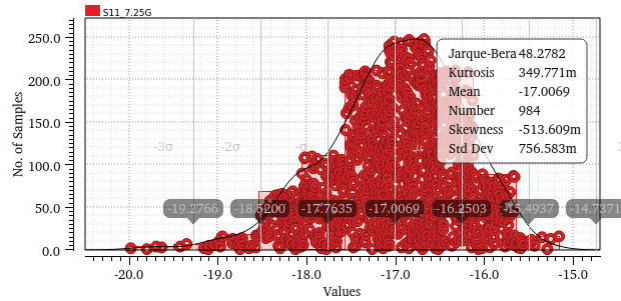


3

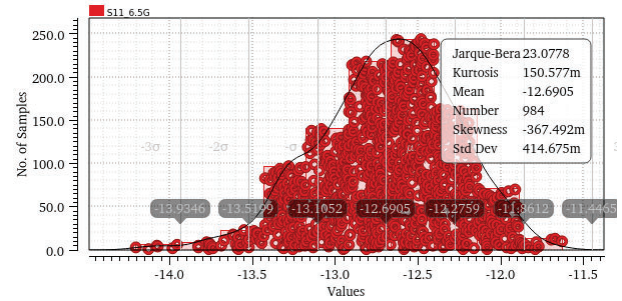
b)



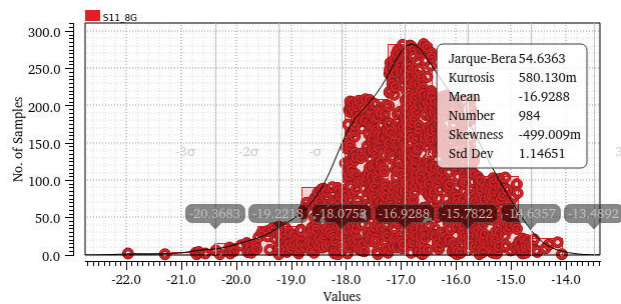
S11_7.25G



1 S11_6.5G



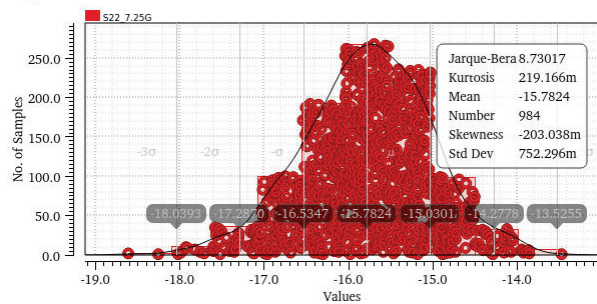
S11_8G



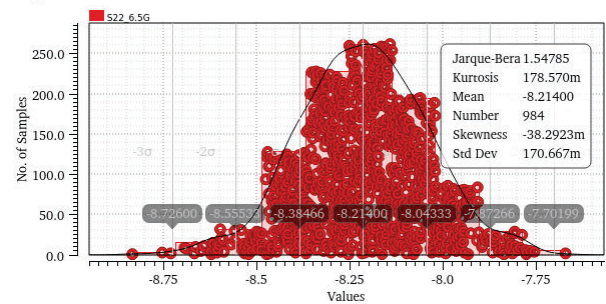
3

c)

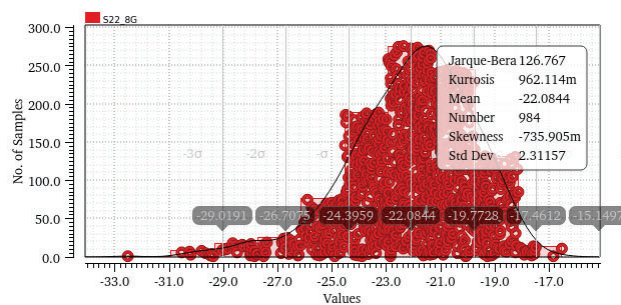
S22_7.25G



1 S22_6.5G

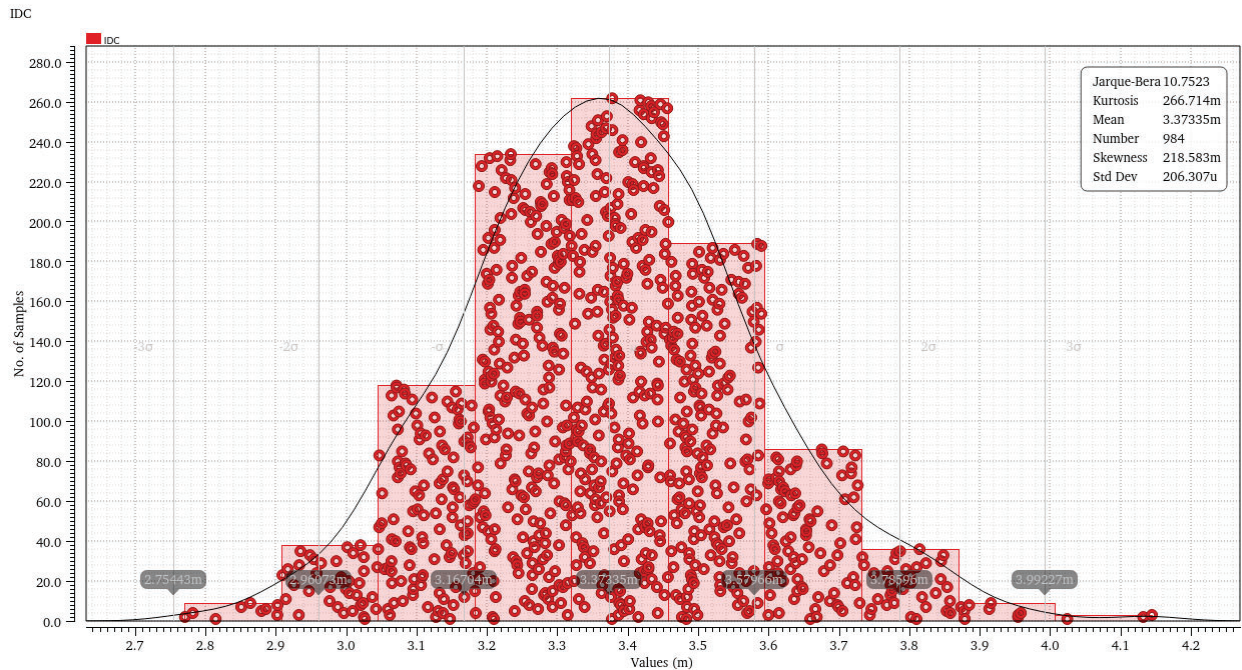


S22_8G



3

d)



e)

Figura 7.31. Análisis de Montecarlo post-layout: a) S_{21} , b) NF, c) S_{11} , d) S_{22} y e) Consumo de corriente

En conjunto, los resultados de Montecarlo muestran que el LNA presenta un comportamiento aceptable teniendo en cuenta la dispersión estadística obtenida. Aunque la ganancia queda por debajo del objetivo inicial de 15 dB tras la implementación física, el resto de las métricas principales se mantienen dentro de valores adecuados. La adaptación de salida presenta una ligera degradación al inicio de la banda, pero su variación es reducida y no compromete el comportamiento global del circuito.



7.12. Conclusiones

En este capítulo se ha llevado a cabo la implementación física del LNA en la tecnología 22FDX de GlobalFoundries. Para ello, se ha seguido un flujo de diseño progresivo, realizando el diseño individual de cada bloque, su verificación mediante DRC y LVS y la posterior incorporación de sus efectos parásitos mediante extracción o simulación electromagnética al circuito.

En primer lugar, se han analizado las consideraciones tecnológicas necesarias para el *layout*, incluyendo las capas físicas y lógicas, las restricciones de diseño y el dimensionamiento de las interconexiones frente a electromigración. Posteriormente, se ha definido un *floorplan* preliminar que ha permitido organizar la ubicación de los principales bloques del LNA y prever las conexiones necesarias entre ellos.

A continuación, se ha realizado el *layout* de cada bloque de forma progresiva, verificando su correcta implementación mediante DRC y LVS. Después, se han incorporado sus efectos parásitos al esquemático para analizar su impacto individual sobre las prestaciones del LNA. Finalmente, se han integrado todos los bloques en un único *layout*, incluyendo los planos de alimentación y tierra y se ha realizado una simulación completa del circuito. Esta simulación demostró que era necesario reajustar los valores de algunos componentes.

Tras el reajuste del *layout* completo, el LNA mantiene un comportamiento aceptable. Aunque la ganancia queda por debajo de la especificación inicial de 15 dB, la figura de ruido mejora de forma significativa. Asimismo, las adaptaciones de entrada y salida presentan un comportamiento aceptable dentro de la banda de operación y los resultados de linealidad muestran un margen suficiente respecto a las especificaciones establecidas.

Finalmente, el análisis de *corners* y las simulaciones de Montecarlo permiten comprobar el funcionamiento del diseño frente a variaciones de proceso, temperatura, tensión de alimentación y dispersión estadística de fabricación. Los resultados muestran que el circuito presenta una dispersión reducida en la mayoría de las métricas analizadas y que, en general, mantiene unas prestaciones aceptables.

Por tanto, el *layout* desarrollado puede considerarse válido como implementación física del LNA, aunque la ganancia y la adaptación de salida al inicio de la banda constituyen los principales aspectos que podrían mejorarse en futuras iteraciones del diseño.



8. Conclusiones

En este capítulo se recoge el trabajo realizado a lo largo del TFM y se presentan las principales conclusiones obtenidas. Se revisará el grado de cumplimiento de los objetivos planteados inicialmente y se valorarán los resultados alcanzados durante el diseño y la validación del LNA. Finalmente, se plantean posibles mejoras y líneas futuras que permitirían continuar el desarrollo del circuito en futuras iteraciones.

8.1. Resumen del trabajo realizado

El objetivo principal de este Trabajo Fin de Máster ha sido llevar a cabo el diseño de un amplificador de bajo ruido para aplicaciones de automoción basado en el estándar IEEE 802.15.4z, empleando la tecnología 22FDX de GlobalFoundries.

En primer lugar, se ha realizado una revisión de la importancia de UWB en aplicaciones de localización precisa, acceso seguro y automoción. Se ha estudiado la evolución del estándar IEEE 802.15.4z, sus principales características, sus bandas de operación y algunas de las soluciones comerciales disponibles en el mercado. Después, se ha llevado a cabo una revisión del estado del arte de amplificadores de bajo ruido para UWB, con el fin de conocer las prestaciones de este tipo de circuitos y establecer una base de comparación para el diseño.

Una vez finalizado el estudio previo, se ha analizado la tecnología 22FDX de GlobalFoundries y los componentes disponibles para el diseño del LNA. A partir de ellos, se ha desarrollado una primera versión del amplificador empleando componentes ideales, ajustando la topología, el punto de polarización, la adaptación de entrada y salida y su red de realimentación. Posteriormente, los componentes ideales se han sustituido por los reales de la tecnología, reajustando el circuito para compensar las desviaciones introducidas por estos elementos. Tras obtener el diseño con componentes reales, se ha verificado su comportamiento frente a variaciones de proceso, temperatura y tensión de alimentación, así como simulaciones de Montecarlo.

Después, se ha realizado el layout del LNA, comenzando por el diseño individual de cada bloque y verificándolos mediante DRC y LVS, para incorporar después los efectos parásitos mediante extracción o simulación electromagnética al circuito. Una vez validados los bloques por separado, se han integrado en un mismo layout junto con los planos de alimentación y tierra. Finalmente, se ha llevado a cabo una simulación completa de la implementación física del LNA para evaluar el comportamiento final del circuito.



8.2. Recopilación de resultados

En este apartado se analizan los resultados obtenidos para el LNA diseñado. La Tabla 8.1 muestra la comparativa entre las prestaciones del circuito con componentes ideales y con componentes reales. Como se puede apreciar, al emplear modelos reales del PDK, que tienen en cuenta pérdidas, capacidades y resistencias parásitas, las prestaciones originales se ven ligeramente degradadas. Esta reducción se observa principalmente en la ganancia y en la figura de ruido, ya que los componentes reales, especialmente las bobinas, introducen pérdidas que no estaban presentes en el diseño ideal. Aun así, el circuito mantiene un comportamiento adecuado y continúa cumpliendo las especificaciones principales.

Tabla 8.1. Métricas del LNA con componentes ideales y reales

Métrica	Especificaciones	Componentes ideales	Componentes reales
S_{21} (dB)	> 15	20,8 – 21,6	17 – 17,4
NF (dB)	< 3,5	1,05 – 1,33	2,62 – 2,97
S_{11} (dB)	< -10	< -10	< -10
S_{22} (dB)	< -10	< -10	< -10
Consumo (mW)	< 4	2,5	2,8

Una vez obtenido el diseño con componentes reales, se realizó un análisis de Montecarlo con el objetivo de estimar el comportamiento esperado del circuito teniendo en cuenta las variaciones estadísticas del proceso de fabricación. Se analizaron 200 muestras y se obtuvieron los valores medios y la dispersión de las principales métricas del LNA. En la Tabla 8.2 se recoge el rango esperado para cada métrica considerando un intervalo de $\pm 3\sigma$.

Como se puede observar, incluso en el peor caso estadístico, el LNA alcanza una ganancia mínima de 15,9 dB, por lo que se mantiene por encima de la especificación establecida. Por su parte, la figura de ruido presenta un valor máximo de 3,3 dB, manteniéndose también dentro de un rango válido. Además, tanto S_{11} como S_{22} permanecen por debajo de -10 dB en todos los casos analizados, lo que indica que la adaptación de entrada y salida se conserva frente a las variaciones del proceso. Estos resultados muestran que el diseño con componentes reales mantiene un comportamiento adecuado y cumple las especificaciones establecidas en todos los casos analizados. Por tanto, el circuito queda validado a nivel de esquemático con componentes reales y se procede a la implementación física del LNA.



Tabla 8.2. Dispersión de las métricas del LNA

Métrica	Valor mínimo	Valor medio	Valor máximo
S_{21} (dB)	15,9	17,4	18,4
NF (dB)	2,42	2,75	3,29
S_{11} (dB)	-46,2	-30,6	-13,1
S_{22} (dB)	-29,5	-16,2	-12,5
Consumo de corriente (mA)	3 ^a	3,5 ^b	4,05 ^c

^a 2,4 mW, ^b 2,8 mW, ^c 3,2 mW

Tras realizar el layout completo del LNA, se compararon las prestaciones obtenidas con las del diseño basado en componentes reales del PDK. Esta comparación permite observar el impacto de la implementación física y de los efectos parásitos introducidos por el layout sobre las principales métricas del circuito. La Tabla 8.3 muestra los resultados obtenidos.

Como se puede apreciar, la implementación del layout completo provoca una reducción de la ganancia respecto al diseño con componentes reales, debido principalmente a las pérdidas y acoplos parásitos introducidos por las interconexiones, las vías y los planos de alimentación y masa. Aun así, la figura de ruido se mantiene en un rango adecuado y el circuito conserva unas prestaciones aceptables dentro de la banda de operación. Además, destaca la mejora obtenida en términos de linealidad tras la implementación física. El diseño *post-layout* presenta un valor de P_{1dB} referido a la entrada de -14,2 dBm y un IIP3 aproximado de -3 dBm, valores superiores a los obtenidos previamente.

En conjunto, los resultados *post-layout* muestran que el LNA mantiene unas prestaciones muy competitivas, especialmente si se tiene en cuenta que el diseño incluye ya los efectos parásitos de la implementación física. Aunque la ganancia se reduce respecto al esquemático y queda por debajo de las especificaciones iniciales, el circuito conserva una figura de ruido baja, una adaptación aceptable, bajo consumo y una linealidad adecuada.

Estos resultados confirman la validez del diseño completo y reflejan el alcance del trabajo realizado, que abarca desde la definición de especificaciones y el diseño a nivel de esquemático hasta la implementación física y la validación *post-layout* del LNA.

Tabla 8.3. Métricas del LNA con componentes reales y *post-layout*

Métrica	Componentes reales	Post-layout
S_{21} (dB)	17 – 17,4	13,1 – 14,1
NF (dB)	2,62 – 2,97	2,63 – 2,99
S_{11} (dB)	< –10	< –10
S_{22} (dB)	< –10	> –10 al principio de banda
P_{1dB} (dBm) @7,3 GHz	$IP_{1dB} = -19$	$IP_{1dB} = -14,2$
	$OP_{1dB} = -2,7$	$OP_{1dB} = -1,1$
IP3 (dBm) @7,3 GHz	IIP3 = –7,3	IIP3 = –3
	OIP3 = 10	OIP3 = 11
Consumo (mW)	2,8	2,7

Finalmente, se realizó un análisis de Montecarlo sobre el layout completo del LNA para evaluar el efecto de las variaciones estadísticas de fabricación una vez incorporados los efectos parásitos de la implementación física. Los resultados obtenidos se muestran en la Tabla 8.4 y permiten estimar el rango esperado de las principales métricas del circuito dentro del intervalo de $\pm 3\sigma$.

A partir de estos resultados, se puede destacar que la figura de ruido mantiene valores muy favorables tras la implementación física, con un valor máximo de 3,09 dB. Del mismo modo, la adaptación de entrada presenta un comportamiento adecuado en todos los casos, ya que S_{11} permanece por debajo de –10 dB incluso en el peor caso estadístico. Además, el consumo de corriente se mantiene reducido, con un valor máximo de 3,99 mA.

Tabla 8.4. Dispersión de las métricas del LNA *post-layout*

Métrica	Valor mínimo	Valor medio	Valor máximo
S_{21} (dB)	12,5	13,5	14,8
NF (dB)	2,55	2,75	3,09
S_{11} (dB)	–20,3	–16	–11,4
S_{22} (dB)	–29	–15,3	–7,7
Consumo de corriente (mA)	2,75 ^a	3,37 ^b	3,99 ^c

^a 2,2 mW, ^b 2,7 mW, ^c 3,2 mW



Finalmente, en la Tabla 8.5 se compara el LNA desarrollado en este trabajo con los diseños analizados en el estado del arte. Como se puede observar, el diseño propuesto presenta un consumo de 2,7 mW, inferior al de varios trabajos de referencia y solo superior al diseño de [12]. La ganancia obtenida se mantiene en un rango adecuado para la aplicación considerada, similar a alguno de ellos. Además, la figura de ruido se sitúa entre 2,63 dB y 2,99 dB, con valores similares respecto a otros diseños. En cuanto a la adaptación, el S_{11} se mantiene por debajo de -10 dB, mientras que el S_{22} presenta margen de mejora al inicio de la banda. Por último, el área ocupada es menor que la del diseño multibanda de [16], aunque superior a la de los trabajos que no emplean bobinas.

Tabla 8.5. Comparación de las métricas del LNA

	Tecnología	Rango de frecuencia (GHz)	Ganancia (dB)	NF (dB)	S_{11} (dB)	S_{22} (dB)	Consumo (mW)	IIP3 (dBm)	Área (mm ²)
[12] AEU	CMOS 28 nm	1,7–12,52	12,5–15,3	1,21–4,9	< -10	> -10	1,8	-2,6@6,5 GHz	0,011
[15] ASICON ^a	CMOS 22 nm	0,2–7,3	10,3–13,3	2,83–4	< -10	< -10	5,5	6,7@5,5 GHz	0,0016
[16] JSSC	22FDX	5,3 – 9,4 (LFB)	23	1,6 – 1,8	> -10	> -10	20	-12,7	0,18
Este trabajo ^a	22FDX	6,5 – 8	13,1 – 14,1	2,63 – 2,99	< -10	> -10 al principio de banda	2,7	-3@7,3 GHz	0,13

^aNo fabricado

Finalmente, se calcula la figura de mérito (Figure of Merit, FoM) del LNA diseñado. Esta métrica permite relacionar parámetros como la ganancia, la figura de ruido, el consumo, la linealidad y la frecuencia de operación, proporcionando una visión global del compromiso alcanzado por cada diseño. La expresión utilizada para el cálculo de la FoM [15] se recoge en (7), mientras que los resultados obtenidos para el LNA propuesto y para los trabajos comparados se presentan en la Tabla 8.6

$$FoM(GHz/mW) = \frac{Gain(lin.) \times BW(GHz) \times IIP3(lin.)}{P_{DC}(mW) \times (NF(lin.) - 1)} \quad (7)$$

Tabla 8.6. Comparativa de la figura de mérito

FoM	
[12] AEU	16,03
[15] ASICON	19,65
[16] JSSC	0,32
Este trabajo	1,46



A partir de los resultados obtenidos, se observa que algunos trabajos del estado del arte presentan una *FoM* superior a la obtenida en este trabajo. Sin embargo, esta diferencia debe interpretarse teniendo en cuenta el objetivo de cada trabajo. Mientras que algunos de los LNAs comparados están optimizados principalmente para maximizar las prestaciones nominales, el diseño desarrollado en este TFM se ha planteado con un enfoque más completo, buscando que el circuito mantenga un funcionamiento adecuado en todos los casos analizados.

Aun así, los resultados obtenidos pueden considerarse muy favorables. En conjunto, se destaca que el LNA diseñado en este trabajo obtiene una ganancia comparable a la de otros LNAs del estado del arte, manteniendo un consumo reducido. Además, la figura de ruido se sitúa dentro de valores adecuados para la aplicación considerada, al igual que la adaptación de impedancias. La linealidad del circuito también presenta valores muy favorables en comparación con los trabajos revisados en la literatura.

Otro aspecto muy importante es que en este trabajo se ha comprobado el funcionamiento del circuito teniendo en cuenta las restricciones propias del entorno de automoción, un factor que no se aborda en varios de los diseños analizados. El LNA opera correctamente en un rango de temperatura de $-40\text{ }^{\circ}\text{C}$ a $150\text{ }^{\circ}\text{C}$, con variaciones de tensión de alimentación de $\pm 10\%$ y considerando los distintos corners del proceso de fabricación de la tecnología. Además, mediante las simulaciones de Monte Carlo, se ha estimado el comportamiento esperado del circuito tras fabricación, teniendo en cuenta la dispersión estadística de los parámetros tecnológicos.

Por tanto, el trabajo desarrollado abarca prácticamente todo el flujo de diseño de un circuito integrado de radiofrecuencia: definición de especificaciones, selección de la topología, diseño a nivel de esquemático, sustitución por componentes reales del PDK, verificación frente a condiciones de automoción, análisis de Monte Carlo, implementación física, simulaciones electromagnéticas y validación *post-layout* mediante corners y análisis de Monte Carlo nuevamente. De esta forma, el único paso pendiente para completar el ciclo de desarrollo sería la fabricación y medida del circuito.



8.3. Líneas futuras

El circuito diseñado en este trabajo da lugar a varias líneas futuras. Algunas posibles continuaciones de este Trabajo Fin de Máster son las siguientes:

- Estudiar el uso de Forward Body Bias con el objetivo de reducir el consumo del circuito o mejorar algunas de sus prestaciones.
- Mejorar la adaptación de salida en la implementación física del LNA.
- Reducir el área ocupada mediante un layout más compacto y una optimización de la disposición de los componentes pasivos.
- Aumentar la ganancia del circuito sin penalizar de forma significativa la figura de ruido, el consumo o la estabilidad.



Referencias

- [1] AspenCore, "The Current State of Embedded Development," *Embedded Survey*, May 2023. [Online]. Available: <https://www.embedded.com/wp-content/uploads/2023/05/Embedded-Market-Study-For-Webinar-Recording-April-2023.pdf>
- [2] P. Sedlacek, M. Slanina, and P. Masek, "An Overview of the IEEE 802.15.4z Standard and its Comparison to the Existing UWB Standards," in 2019 29th International Conference Radioelektronika (RADIOELEKTRONIKA), Pardubice, Czech Republic, 2019, pp. 1–6, doi: 10.1109/RADIOELEK.2019.8733537.
- [3] N. Salman, I. Rasool, and A. H. Kemp, "Overview of the IEEE 802.15.4 standards family for Low Rate Wireless Personal Area Networks", in *2010 7th International Symposium on Wireless Communication Systems*, York, UK, 2010, pp. 701–705, doi: 10.1109/ISWCS.2010.5624516.
- [4] J. Y. G. Fleitas, "Implementación física y verificación de un cabezal de recepción para estándar IEEE 802.15.4 en tecnología CMOS 65 nm," Trabajo Fin de Grado, Universidad de Las Palmas de Gran Canaria, Las Palmas de Gran Canaria, Spain, 2018.
- [5] Volkswagen. (2021, Mar. 17). Mayor seguridad en tiempo real gracias a la banda ultraancho (UWB). [Online]. Available: <https://www.volkswagen.es/comunicacion/stories/mayor-seguridad-en-tiempo-real-gracias-a-la-banda-ultraancho-uwv/>
- [6] A. R. Jiménez Ruiz and F. Seco Granja, "Comparing Ubisense, BeSpoon, and DecaWave UWB Location Systems: Indoor Performance Analysis," *IEEE Transactions on Instrumentation and Measurement*, vol. 66, no. 8, pp. 2106–2117, Aug. 2017, doi: 10.1109/TIM.2017.2681398.
- [7] W. Kim *et al.*, "A Fully Integrated IEEE 802.15.4/4z-Compliant UWB System-on-Chip RF Transceiver Supporting Precision Positioning in a CMOS 28-nm Process," *IEEE Journal of Solid-State Circuits*, vol. 58, no. 12, pp. 3408–3420, Dec. 2023, doi: 10.1109/JSSC.2023.3317433.
- [8] G. Singh *et al.*, "An IR-UWB IEEE 802.15.4z Compatible Coherent Asynchronous Polar Transmitter in 28-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 12, pp. 3799–3810, Dec. 2021, doi: 10.1109/JSSC.2021.3116895.
- [9] "Amplificadores de Bajo Ruido", class notes for 43731 Electrónica de Comunicación, Universidad de Las Palmas de Gran Canaria, 2024.
- [10] Automotive Electronics Council, "Failure Mechanism Based Stress Test Qualification for Integrated Circuits," AEC-Q100, Rev. J, 2023.



- [11] E. Kobal, T. Siriburanon, R. B. Staszewski and A. Zhu, "A Compact, Low-Power, Low-NF, Millimeter-Wave Cascode LNA With Magnetic Coupling Feedback in 22-nm FD-SOI CMOS for 5G Applications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 70, no. 4, pp. 1331–1335, April 2023, doi: 10.1109/TCSII.2022.3224412.
- [12] D. Jatoth, P. Gorre, M. Gupta, S. Kumar, A. Al-Shidaifat, and H. Song, "A 28nm CMOS Low-Noise Amplifier with Novel Redundant Noise Cancellation Technique beyond Ultra-Wideband for 6G-Based Wireless Systems," *AEU - International Journal of Electronics and Communications*, vol. 174, Art. no. 155054, 2024, doi: 10.1016/j.aeue.2023.155054.
- [13] Z.-F. Hu, M.-L. Liu, R.-X. Ding, Z.-M. Zhu, and Y.-T. Yang, "The Ultra-Wideband 0.5–15 GHz LNA for Reconfigurable Receiver System in 28 nm CMOS," in *2020 15th IEEE International Conference on Solid-State & Integrated Circuit Technology (ICSICT)*, Kunming, China, 2020, pp. 1–3, doi: 10.1109/ICSICT49897.2020.9278188.
- [14] O. El-Aassar and G. M. Rebeiz, "Design of Low-Power Sub-2.4-dB Mean NF 5G LNAs Using Forward Body Bias in 22-nm FDSOI," *IEEE Transactions on Microwave Theory and Techniques*, vol. 68, no. 10, pp. 4445–4454, Oct. 2020, doi: 10.1109/TMTT.2020.3012538.
- [15] K. Deng, Z. Zhou, Y. Liu, H. Dong and H. Feng, "A 0.2–7.3-GHz Compact LNA with Super Linearity for 5G NR in 22-nm CMOS Technology," in *2025 IEEE 16th International Conference on ASIC (ASICON)*, Kunming, China, 2025, pp. 1–4, doi: 10.1109/ASICON66040.2025.11325985.
- [16] A. Afifi and G. M. Rebeiz, "A Multi-Band 5.3–18 GHz LNA for FR3 Bands Using Hybrid Switching With Sub-2 dB NF in FDSOI," *IEEE Journal of Solid-State Circuits*, vol. 61, no. 2, pp. 538–548, Feb. 2026, doi: 10.1109/JSSC.2025.3568823.
- [17] K. Deng, Y. Liu, H. Dong, Q. Xiao, H. Feng and Z. Wang, "A 0.028-mm² 0.4-6.2-GHz Noise-Canceling LNA for Sub-6G Applications in 22-nm CMOS Technology," *IEEE Microwave and Wireless Technology Letters*, vol. 36, no. 2, pp. 253–256, Feb. 2026, doi: 10.1109/LMWT.2025.3619111.
- [18] T. Glocker, T. Mantere, and M. Elmusrati, "A protocol for a secure remote keyless entry system applicable in vehicles using symmetric-key cryptography," in *2017 8th International Conference on Information and Communication Systems (ICICS)*, Irbid, Jordan, 2017, pp. 310–315. doi: 10.1109/IACS.2017.7921990.



- [19] D. Knobloch, "Practical challenges of particle filter based UWB localization in vehicular environments," in *2017 International Conference on Indoor Positioning and Indoor Navigation (IPIN)*, Sapporo, Japan, 2017, pp. 1–5. doi: 10.1109/IPIN.2017.8115895.
- [20] E. Karapistoli, F.-N. Pavlidou, I. Gragopoulos, and I. Tsetsinas, "An overview of the IEEE 802.15.4a Standard," *IEEE Communications Magazine*, vol. 48, no. 1, pp. 47–53, January 2010, doi: 10.1109/MCOM.2010.5394030.
- [21] FiRa Consortium. (2024, Jun. 18). The History of Ultra-Wideband (UWB) [Online]. Available: <https://www.firaconsortium.org/resource-hub/blog/the-history-of-ultrawideband-uwbb>
- [22] DecaWave, "APR001 UWB Regulations: A Summary of Worldwide Telecommunications Regulations Governing the Use of Ultra-Wideband Radio," Appl. Note APR001, v. 1.2, 2015.
- [23] IEEE, "Standard for Low-Rate Wireless Networks," IEEE Std 802.15.4-2015, 2015
- [24] Poder tecnología. (2020, Apr. 28). ¿Qué es UWB? Ultra Wideband explicado y sus aplicaciones reales [Online]. Available: <https://youtu.be/5JhjT2OmMfs>
- [25] B. Grosswindhager, M. Manninger, and S. Jogi. (2024, Sep. 26). The Power of UWB: A Single Technology Transforming Automotive, Mobile and Industrial IoT Experiences [Online]. Available: <https://www.nxp.com/company/about-nxp/smarter-world-blog/BL-UWB-CONVERGENCE>
- [26] Qorvo, "DWM3000 Data Sheet," Rev. B, May 2021.
- [27] Qorvo, "DWM3001C Data Sheet," Rev. B, May 2022.
- [28] NXP Semiconductors, "NCJ29D6: Ultra-Wideband IC Combining Ranging and Radar User Manual," User Manual, Apr. 9, 2025.
- [29] NXP Semiconductors, "Trimension SR250 User Manual," User Manual, Mar. 16, 2026.
- [30] Samsung Semiconductor. Exynos Connect U100 [Online]. Available: <https://semiconductor.samsung.com/processor/uwbb/exynos-connect-u100/>
- [31] Samsung Semiconductor. Exynos Auto UA100 [Online]. Available: <https://semiconductor.samsung.com/processor/uwbb/exynos-auto-ua100/>
- [32] TechInsights Inc., "Apple U1 Ultra Wideband (UWB) Analysis," Product Brief, Oct. 2019. [Online]. Available: <https://forum.qorvo.com/uploads/short-url/uhCupY69fW8GDAYpdAKwKB1Nzfq.pdf>
- [33] F. Correa Quinchía, "Estudio teórico-experimental de la propagación en interiores en la banda FR3," Trabajo Fin de Máster, Universidad Politécnica de Cartagena, Cartagena, España, 2024.



- [34] ChipEstimate.com. (2017, Aug. 21). GLOBALFOUNDRIES webinar: Analog Design Workshop for 22FDX 22nm FD-SOI Technology part I [Online]. Available: <https://www.youtube.com/watch?v=Rf2kL1lUJ10&t=9s>
- [35] GlobalFoundries, “22FDX-EXT RF and MM-Wave Model Reference Guide,” Model Reference Guide, 2021.
- [36] J. Jeong. (2024, Aug. 3). Capacitor [Online]. Available: <https://julielayout.tistory.com/22>
- [37] F. Zafar, A. R. Qureshi, H. R. Khan, and Q. Wahab, “Eliminating tie-down diodes in process technologies,” in *2013 16th International Multitopic Conference (INMIC)*, Lahore, Pakistan, 2013, pp. 110–114, doi: 10.1109/INMIC.2013.6731334.
- [38] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2nd ed. New York, NY, USA: McGraw-Hill Education, 2017.
- [39] K.-W. Yeom, *Microwave Circuit Design: A Practical Approach Using ADS*. Upper Saddle River, NJ, USA: Prentice Hall, 2015.
- [40] J. M. López-Villegas, J. Samitier, C. Cané, P. Losantos, and J. Bausells, “Improvement of the quality factor of RF integrated inductors by layout optimization,” *IEEE Trans. Microw. Theory Techn.*, vol. 48, no. 1, pp. 76–83, Jan. 2000, doi: 10.1109/22.817474.
- [41] GlobalFoundries, “22FDX-EXT Technology Design Manual,” Technology Design Manual, 2021.